

터널링 전계효과 트랜지스터 구조 특성 비교

심언성, 안태준, 유운섭*

한경대학교

Comparative Investigation on Tunnel Field Effect transistors(TFETs) Structure

Un-Seong Shim, Tae-Jun Ahn, Yun Seop Yu*

Hankyong National University

E-mail : unsung18@hknu.ac.kr

요 약

TCAD 시뮬레이션을 이용하여 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistor; TFET) 구조에 따른 특성을 조사하였다. Single-Gate TFET, Double-Gate TFET, Pocket TFET, L-shaped TFET 구조 중에서 Pocket TFET와 L-shaped TFET이 on-current와 subthreshold swing에서 가장 좋은 성능을 보였다. 본 논문은 터널링 전계효과 트랜지스터의 새로운 구조에 대한 가이드라인을 제시하고자 한다.

ABSTRACT

Four types of structure of tunnel field-effect transistors (TFETs) have been investigated by TCAD simulation. Pocket and L-shaped TFETs are better performance than single-gate and double-gate TFETs in terms of on-current and subthreshold swing. New guideline of TFETs is presented for the structure design.

키워드

line tunneling, point tunneling, subthreshold swing, on-current, hump effects

I. 서 론

1965년 18개월 마다 반도체 집적회로의 성능이 2배 증가한다는 무어의 법칙(Moore's Law)이 발표된 이래 반도체업계에서는 MOSFET기술에 기반을 두고 급속한 성장을 이루었다. 그러나 반도체업계의 지나친 경쟁으로 인하여 반도체소자의 크기는 급속하게 줄어들게 되었지만, 단채널 효과의 심화 및 미세공정의 어려움 등이 심각한문제로 대두되고 있다. 이러한 문제들을 해결하기 위해서 게이트 유전막을 기존의 산화실리콘(SiO_2)보다 높은 유전율을 갖는 물질로 대체하는 high-k 기술[1], 3차원구조의 FinFET 기술[2] 등이 있다. 하지만 이런 기술이 있음에도 MOSFET은 근본적인 한계를 가지고 있으며 그 중 심각한 것중의 하나는 문턱전압이하 기울기(subthreshold swing; SS)가 상온에서 60mV/dec 이하로 낮아 질수 없는 물리적 한계에 도달하게 되었다[3]. 이를 극복하기

위해서 양자역학적 현상인 밴드에서 밴드로 터널링 현상을 활용한 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistor; TFET)에 대해 활발히 연구가 진행되고 있다. 현재 다양한 구조의 TFET가 많이 발표 되었으나 이것들의 구조별 성능 비교는 이루어지지 않았다. 따라서 본 논문은 single-gate TFET(SG-TFET), double-gate TFET(DG-TFET), L-shaped TFET, Pocket TFET 구조를 종합적으로 비교 분석하여 새로운 구조의 가이드라인을 제시하고자 한다[4].

II. 터널링 전계효과 트랜지스터 구조

그림 1은 시뮬레이션에서 이용한 SG-TFET, DG-TFET, L-shaped, Pocket TFET 구조를 나타낸 것이다. 소스, 채널, 드레인의 도핑농도는 각각 $N_a=10^{20}$, $N_{ch}=10^{15}$, $N_d=10^{18}$ 으로 도핑하였다. 각 구조의 채널길이는 $L_{ch}=50nm$, 드레인 길이 L_{dr}

=50nm, 소스 길이 $L_{so}=50\text{nm}$ (L-shaped TFET는 소스길이 $L_{so}=46\text{nm}$, 소스 두께 $T_{so}=40\text{nm}$, 산화막층과 소스사이의 intrinsic 길이 $L_i=4\text{nm}$), 산화막층 두께 $T_{oxide}=2\text{nm}$ 실리콘두께 $T_{si}=10\text{nm}$ 으로 설정하였다. Pocket TFET 경우는 pocket 길이 $L_p=40\text{nm}$, 두께 $T_p=4\text{nm}$ 이다.

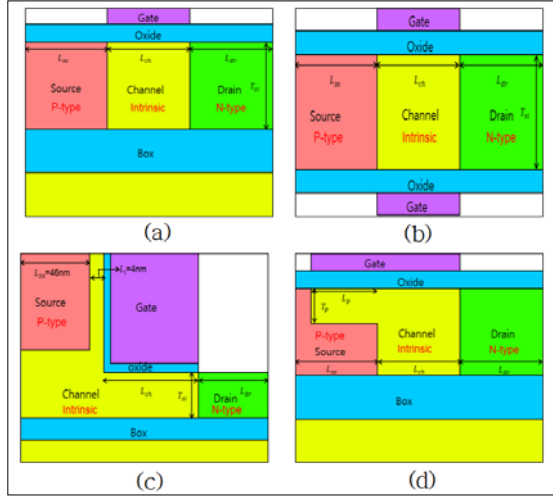


그림 1. (a) SG-TFET 구조, (b) DG-TFET 구조, (c) L-shaped TFET 구조, (d) Pocket TFET 구조

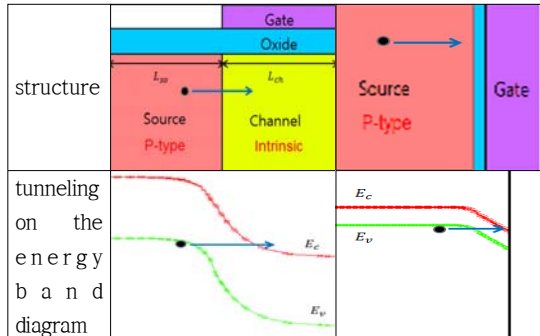


그림 2. (a) 포인트 터널링, (b)라인 터널링

III. 터널링(tunneling)

TFET는 가전도대에 있는 전자들이 전기장 영향에 의해 에너지 장벽을 뚫고 전도대로 이동하는 band-to-band 터널링 현상이 발생한다. 터널링은 포인트 터널링과 라인 터널링이 2가지 방법이 존재한다[5]. 그림 2을 보게 되면 포인트 터널링과 라인 터널링을 크게 구분하는 방법은 전계방향으로 결정이 된다. 포인트 터널링은 채널부분에 전계가 걸려 터널링을 발생시킨다. 반면 라인 터널링 같은 경우 채널부분이 아닌 Source 부분에서 게이트 방향으로 전계가 걸려 터널링을 발생시키는 것이다. 포인트 터널링은 채널에서 멀어질수록 터널링이 약해지는 반면에 라인 터널링은 Source 벌크부분에서 게이트 방향으로 전계를 가

하므로 동일한 면적에 터널링이 발생되어 포인트 터널링보다 터널링이 잘 일어난다. 하지만 라인 터널링이 일어나기 위해선 포인트 터널링보다 더 강한 전계를 가해야 하기 위해서 소스부분에 intrinsic 채널이 매우 얇게 추가되어 있다.

IV. 시뮬레이션 모델 및 결과

각 구조 별 비교를 하기 위해 Silvaco사의 ATLAS 시뮬레이션을 이용하여 2차원 구조를 사용하였다. 터널링 모델은 non-local 모델을 사용하였으며 재결합 모델은 Auger 와 Consrh 모델을 사용하였다.

그림 3은 게이트 산화막이 SiO_2 인 TFET들의 게이트전압-드레인전류($I_{ds}-V_{gs}$) 특성을 나타낸다. L-shaped TFET와 Pocket TFET에서는 SG-TFET, DG-TFET보다 큰 On-current와 더 가파른 SS를 확인하였다. 그러나 Pocket-TFET에서 1V 지점에서 hump현상이 발생되었다. hump현상은 Pocket 구조상 라인터널링과 포인트터널링 사이의 지점에서 생기는 현상으로써 hump현상은 SS에 안좋은 영향을 끼친다[6].

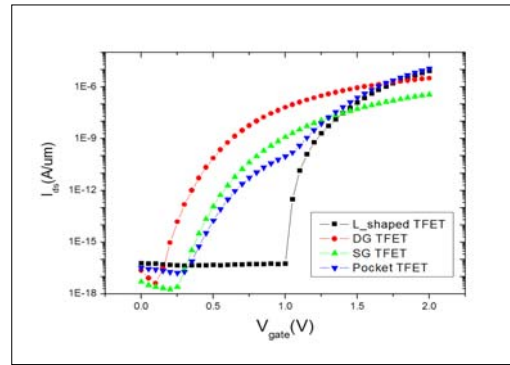


그림 3. $I_{ds}-V_{gs}$ 특성(게이트 산화막: SiO_2)

그림 4 게이트 산화막이 HfO_2 인 TFET들의 $I_{ds}-V_{gs}$ 특성을 나타낸다. 4가지 구조 별로 문턱전압의 차이는 발생하지 않았지만, 게이트 산화막을 SiO_2 로 사용할 때는 hump 현상이 발생되었는데 HfO_2 에서는 hump 현상이 발견되지 않았다. 따라서 hump 현상을 없애기 위해 유전율이 높은 high-k 유전체를 사용할 수 있다.

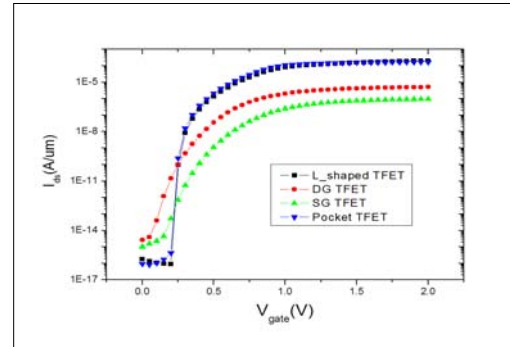


그림 4. $I_{ds}-V_{gs}$ 특성(게이트 산화막: HfO_2)

그림 5는 게이트 산화막이 SiO₂인 TFET의 각 구조별 터널링 분포를 표시한 것이다. SG-TFET 경우에 게이트와 멀어질수록 터널링이 급격하게 약해지는 걸 확인하였고 DG-TFET 같은 경우에 실리콘 두께에 대칭인 터널링 현상을 보였다. Pocket TFET 같은 경우 Pocket에서 라인 터널링이 발생하였으며 포켓 이하 부분에서는 포인트 터널링이 발생하는 것이 보였다. L-shaped TFET는 소스쪽에서 게이트 산화막층에 가까운 영역에서 터널링 분포가 가장 높았다.

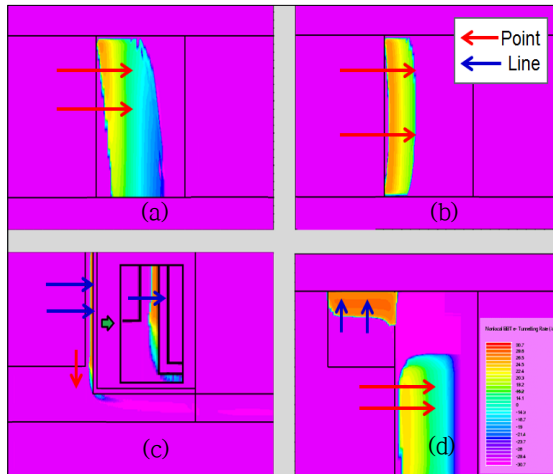


그림 5. 각 구조별 터널링 분포. (a) SG-TFET, (b) DG-TFET, (c) L-shaped TFET, (d) Pocket TFET

V. 결론

본 논문에서는 4가지 TFET 각 구조에 따른 특성을 비교 및 분석하였다. SG-TFET와 DG-TFET은 포인트터널링을 이용하여 트랜지스터 동작을 하지만 L-shaped TFET와 Pocket TFET 같은 경우는 라인 터널링과 포인트터널링을 동시에 이용한다. 고유전율 게이트 산화막을 갖는 L-shaped TFET와 Pocket TFET가 포인트 터널링과 라인 터널링의 hump 효과를 줄이면서 On-current와 SS의 성능을 향상시킴을 보였다. 이 결과를 바탕으로 high-k 기술과 라인 터널링을 이용한 구조가 더 좋은 미래소자로 활용이 가능할 것으로 예측한다.

Acknowledgement

본 연구는 산업통상자원부(프로젝트번호: 10054888)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업의 연구결과로 수행되었음.

참고문헌

[1] K. Mistry, *et. al.*, "A 45nm Logic Technology with High-k+Metal Gate transistors, Strained Silicon, 9 Cu interconnected Layers, 193nm Dry patterning, and 100% Pb-free Packing", in *IEDM Tech. Dig.*, 2007, pp. 247-250, 2007.

[2] D.Hisamoto, *et. al.*, "FinFet-a self-aligned double-gate MOSFET scalable to 20nm", *IEEE Trans. Electron Devices*, vol. 47, pp. 2320-2325, 2000

[3] K. Gopalakrishnan, *et. al.*, "I-MOS: a novel semiconductor device with a subthreshold slope lower than kT/q," in *IEDM Tech. Dig.*, 2002, pp. 289

[4] Anne S. Verhulst, Bart Soree, "Modeling the single-gate, double-gate, and gate-all-around tunnel field-effect transistor" *J. Appl. Phys.* vol. 107, pp. 024518, 2010.

[5] W. Vandenberghe, *et. al.*, "Analytical model for point and line tunneling in a tunnel field-effect transistor," in *SISPAD 2008*, pp. 137-140. 2008.

[6] S. W. kim, *et. al.*, "Design Guideline of Si-Based L-shaped Tunneling Field-Effect Transistors," *Jpn. J. Appl. Phys.* vol. 51, no. 6S, pp. 06FE09, 2012.