

# Junctionless FET로 구성된 적층형 3차원 인버터의 전기적 상호작용에 대한 연구

장호영, 김경원, 안태준, 유운섭\*

한경대학교

## Electrical Coupling of Monolithic 3D Inverter Consisting of Junctionless FET

Ho-Yeong Jang, Kyung-won Kim, Tae-Jun Ahn, Yun Seop Yu\*

Hankyong National University

E-mail : jhy1187@naver.com

### 요 약

Junctionless FET(JLFET)로 구성된 적층형 3차원 인버터의 전기적 상호작용을 연구하였다. 상단과 하단 트랜지스터의 사이에 Inter Layer Dielectric (ILD) 두께가 50 nm 이하일 때에 하단 트랜지스터의 게이트 전압에 따라서 상단 트랜지스터에 전류-전압 특성이 급격히 변화하는 모습을 보였다. 따라서, 적층형 구조를 사용할 때에도 두 트랜지스터의 거리에 따른 전기적 상호작용을 고려해야 한다.

### ABSTRACT

I studied electrical coupling of monolithic 3D inverter(M3D-INV) consisting of Junctionless FET(JLFET). If the thickness of Inter Layer Dielectric (ILD) between top JLFET and bottom JLFET is less than 50nm, current-voltage characteristic of top JLFET is rapidly changed by the gate voltage of bottom JLFET. Therefore, you have to consider about the electrical interaction according to the thickness between top JLFET and bottom JLFET in M3D-INV.

### 키워드

3D IC, Junctionless FET, threshold Voltage, monolithic 3D inverter

### I. 서 론

반도체 집적 회로의 개발 방향은 앞으로도 단위 면적당 집적되는 반도체소자의 수를 늘리는 무어의 법칙에 있다. 따라서 현재까지는 단순히 반도체의 크기를 줄이는 데에 많은 관심을 가졌다. 하지만, 반도체 소자 크기가 물리적 한계에 부딪히면서 더 이상의 발전이 힘들어졌다. 따라서 더 이상 소자의 크기에만 국한된 것이 아닌, 적층형 3D 집적회로에 대해 관심을 가지게 되었다[1]. 적층형 3D 집적회로란 2개의 트랜지스터를 쌓아 올라가는 구조로, 현재의 물리적 한계를 극복할 수 있다[2]. 이번 연구에서는 이러한 적층형 3차원(3D) 집적회로(IC)를 Junctionless FET(JLFET)로 적용시켜 전기적 상호작용에 대한 연구를 하였다. JLFET란, MOSFET과 구조상 같고 별다른 차이가 없다. 하지만 도핑의 방식이 n/p/n, p/n/p와는 달리 n+/nn+, p+/p/p+으로 구성되어 있으며,  $V_g$ 에

의한 동작이 정반대로 나타나는 소자이다[3]. JLFET로 구성된 적층형 3차원 집적회로의 소자간의 전기적 상호작용에 대한 연구가 아직까지 없었고, 그에 따라 연구를 하게 되었다. 본 논문에서는 JLFET로 구성된 적층형 3D 인버터(monolithic 3D inverter; M3D-INV)의 전기적 상호작용에 대해 비교 및 분석한다.

### II. 본 론

M3D-INV의 구조는 다음 그림 1. 과 같이 트랜지스터 위에 또 다른 트랜지스터를 쌓아 올리는 것이다. 이에 따라 위에 있는 트랜지스터의 게이트는 하단 트랜지스터에 영향을 주지 않고 반대로 하단 트랜지스터의 게이트는 상단 트랜지스터에 영향을 준다. 상단 트랜지스터는 N-type JLFET이고 하단 트랜지스터는 P-type JLFET로 구성되어 있다. 즉, N-type JLFET는 P-type

JLFET의  $V_{bg}$ 에 의해 영향을 받고, P-type JLFET는 아무런 영향을 받지 않는 상태의 구조이다. 따라서 P-type JLFET의  $V_{bg}$ 을 0V, 1V, -1V 3 구간으로 나누어, 이 변화에 따른 N-type JLFET의 변화를 확인할 것이다. 또한, 구조 및 물질 파라미터들의 변화는 N-type JLFET에 한정하여 변화시켜 실험하였다. 이번 실험에서 초기 값은 동일하게 하였고 원하는 파라미터를 변화시켜 가며 비교 실험을 진행하였다. 본 실험에서의 비교대상 초기 값은 임의로  $L_g=30\text{nm}$ ,  $T_{si}=10\text{nm}$ ,  $T_{ox}=1.5\text{nm}$ ( $\text{SiO}_2$ ), 소스 도핑 농도  $N_s=1 \times 10^{21}$ , 채널 도핑 농도  $N_c=1 \times 10^{18}$ , 드레인 도핑 농도  $N_d=1 \times 10^{21}$ ,  $N_{idd}=1 \times 10^{19}$ 로 하였다. 또한 P-type JLFET의  $V_{bg}$ 을 -1V, 0V, 1V로 나누어 실험하였다.

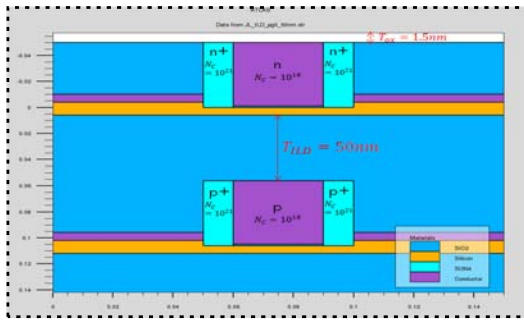


그림 1. M3D-INV의 구조

### III. 실험 결과

위에서 임의로 정한 초기 값으로 기본구조를 만들고 Inter Layer Dielectric (ILD) 두께인  $T_{ILD}$  값만 10nm, 30nm, 50nm, 100nm로 변화시켜 가며 문턱전압의 변화량( $\Delta V_{th}$ )을 비교하였다.

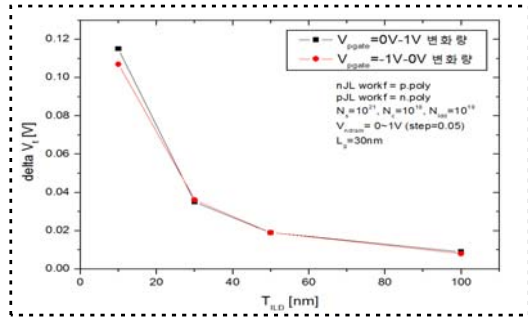


그림 2.  $T_{ILD}$  변화에 따른  $\Delta V_{th}$  비교

위 그래프 그림 2는 P-type JLFET의 -1V 0V, 1V의 실험 데이터를 -1V와 0V의 차이, 1V와 0V의 차이 값으로  $\Delta V_{th}$ 를 나타내었다.  $T_{ILD}$ 가 50nm 이하에서 급격히  $\Delta V_{th}$ 가 증가함을 보였다.

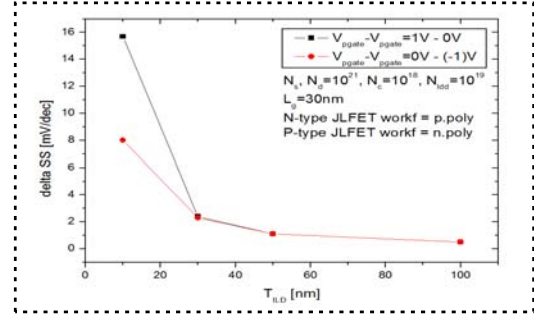


그림 3.  $T_{ILD}$  변화에 따른  $\Delta SS$  비교

위 그래프 그림 3에서는 P-type JLFET의 게이트 전압에 따른 소자의 SS(subthreshold swing)를 모두 나타내었다. P-type JLFET의 게이트 전압이 -1V일 때 SS가 가장 좋은 모습을 보였고 전체적으로 전압이 낮을 때 SS값이 좋게 나오는 것을 확인하였다.

### IV. 결론

반도체 집적회로의 물리적 한계를 극복하기 위해 제안된 JLFET로 구성된 적층형 3차원 집적회로의 기본 셀인 M3D-INV의 상단 트랜지스터와 하단 트랜지스터의 전기적 상호작용을 조사하였다. 이 때 전기적 특성에 중요한 영향을 끼치는 두 트랜지스터 사이의 거리인  $T_{ILD}$ 가 50nm이하에서 급격히  $\Delta V_{th}$ 와  $\Delta SS$ 가 증가함을 보였으므로  $T_{ILD}$ 가 50nm이하를 가진 구조에서는 적층된 트랜지스터의 전기적 상호작용을 고려해야한다.

### 참고문헌

[1] L. Clavelier, *et. al.*, "Engineered substrates for Future More Moore and More Than Moore Integrated Devices," in *IEDM 2010*, San Francisco: pp. 2.6.1-2.6.4, 2010.  
 [2] M. Vinet, *et. al.*, "3D monolithic integration: Technological challenges and electrical results," *Microelectronic Engineering*, Vol. 88, pp. 331-335, 2011.  
 [3] Elena Gnani, *et. al.* "Theory of the Junctionless Nanowire FET," *IEEE Trans. Electron Devices*, Vol. 58 pp.2903-2909, 2011.