

3상 전압형 인버터의 데드타임 보상기법

심동준, 조춘호, 이원혁, 백운길, 김태웅
경상대학교

Deadtime Compensation Scheme of 3 Phase Voltage Source Inverter

Dong Jun Sim, Choon Ho Cho, Won Hyeok Lee, Woon Gil Baek, Tea Woong Kim
Gyeongsang National University

ABSTRACT

본 논문은 출력전류에 저역통과필터를 적용함으로써 최적으로 보상할 수 있는 데드타임 보상기법을 제안한다. 제안된 보상기법은 출력전류에 필터보상 알고리즘 적용으로 출력전류의 고조파성분을 저감할 수 있음을 시뮬레이션 해석을 통해 검증한다.

1. 서 론

3상 전압형 인버터의 경우 각 레그의 단락을 방지하기 위해 단락방지 시간, 즉 데드타임을 설정해야 한다. 데드타임의 영향으로 왜형전압이 발생하며, 왜형전압의 영향으로 출력전압과 출력전류파형을 왜형시키고 발생토크에서는 3상의 전류왜형이 합성되어 운전 주파수의 6배인 토크 맥동이 나타난다. 이와 같은 문제는 높은 캐리어 주파수에 있어서 출력전압이 낮은 저속 운전영역에서 영향이 크게 된다. 이러한 문제를 해결하기 위해 데드타임 보상기법이 필요하며 기존의 데드타임 보상기법은 출력전압을 검출하여 PWM 지령과 비교하여 전압지령을 보상하는 전압방식과 출력전류의 위상을 검출하여 전압지령을 보상하는 전류방식이 있다.^[1]

기존의 전류방식으로 출력전류의 위상을 검출하여 d q 변환 후 복잡한 수식 계산을 하여 데드타임을 보상하거나 출력전류의 위상을 검출하여 여러 조건을 분석하여 구간에 따라 보상을 다르게 해주는 기법을 사용하고 있다.^{[2][3][4][5]}

본 논문에서는 출력전류의 정확한 검출을 위해 필터의 차단 주파수를 이용하여 출력전류의 리플을 저감하고 필터에 의한 위상차를 보상하는 알고리즘을 적용하여 출력전류의 0점을 정확히 판단하는 데드타임 보상기법을 제안한다.

2. 3상 전압형 인버터의 데드타임 보상기법

2.1 데드타임 설정에 따른 출력파형의 영향

3상 전압형 인버터의 경우 각 레그의 단락을 방지하기 위한 데드타임의 설정으로 인해 Fig.1과 같은 왜형전압 발생으로 출력파형에 영향을 준다.^[1]

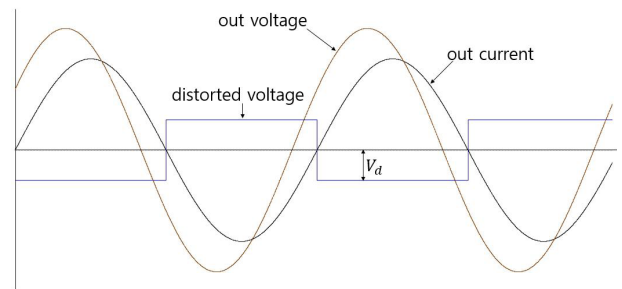


Fig.1. 데드타임에 의한 왜형전압 및 출력 전압 전류

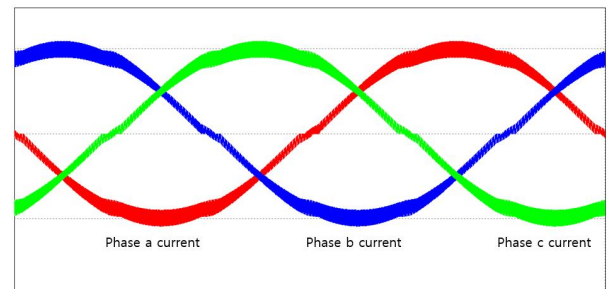


Fig.2. 왜형전압에 영향을 받은 3상 출력 전류

발생하는 왜형전압 V_d 는

$$V_d = V_{dc} \times T_d \times f_{sw} \quad (1)$$

여기서, V_{dc} :입력전압, T_d :데드타임, f_{sw} :스위칭 주파수

V_d 의 영향은 Fig.2와 같이 나타난다.

2.2 기존 데드타임 보상기법

기존의 데드타임 보상기법은 전류방식을 사용하며 출력전류의 극성을 검출하여 식 (2)와 같이 사용한다.

$$V_{CPS} = \text{sign}(I_{out}) \times V_d \quad (2)$$

여기서, V_{CPS} :보상전압, $\text{sign}(I_{out})$:출력전류의 극성

그러나 기존 데드타임 보상 방법은 저전류, 저주파수 운전에서 출력 전류의 리플로 인하여 정확한 '0'점을 찾을 수 없다.

이 리플은 필터를 사용하여 저감할 수 있지만 필터에 의한 위상차가 발생하기 때문에 필터의 차단 주파수를 사용하는데 제한되어 저전류, 저주파수일 때 출력 전류의 '0'점에서의 채터링을 저감해주진 않는다.

2.3 제안 데드타임 보상기법

본 논문에서 제안하는 보상기법은 3상 출력전류를 검출하고 이 검출된 3상 전류의 리플을 필터를 사용하여 전류가 '0'일 때 채터링을 제거하여 정확한 전류의 '0'점을 찾고, 필터에 의해 발생한 위상차를 보상해주는 식 (3)을 필터 측정전류에 적용하여 출력전류와 동일한 위상을 만들어 극성을 검출한다.

$$\Delta I = \frac{I_{peakLPF}}{e^{(I_{peak} - I_{peakLPF})}} \times \frac{f_{out}}{f_{LPF}} \quad (3)$$

여기서, $I_{peakLPF}$: 필터전류의 피크, I_{peak}^* : 피크전류 레퍼런스, f_{out} : 출력주파수, f_{LPF} : 필터차단주파수

검출된 극성으로 식 (2)를 보상함으로써 데드타임 적용으로 발생하는 출력파형의 영향을 개선할 수 있다.

3. 시뮬레이션

3.1 시뮬레이션 해석

데드타임 보상기법의 유효성을 검증하기 위해 PSIM기반 시뮬레이션을 통해 3상 전압형 인버터를 Fig.3과 같이 구성하였으며, 시뮬레이션 파라미터는 표 1에 나타낸다.

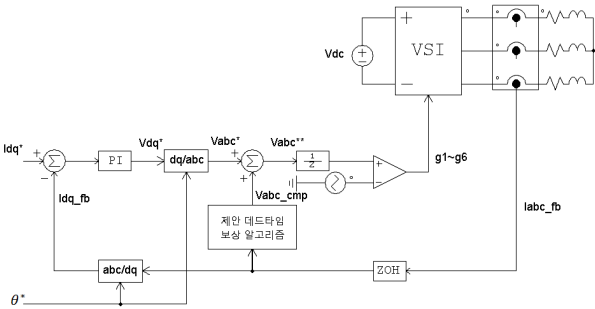


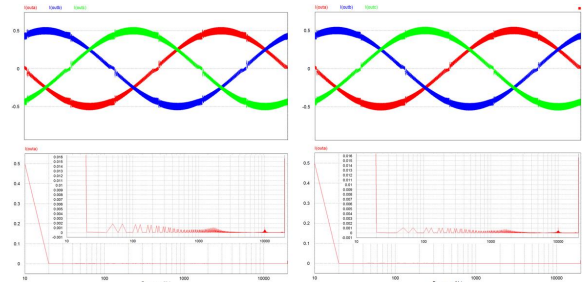
Fig.3. 제안 데드타임 보상기법 시스템 블록도

Table 1. 시뮬레이션 파라미터

item	value	
input DC voltage	100V	
output frequency	10Hz	
switching frequency	10kHz	
load	R	8.333Ω
	L	2.09mH

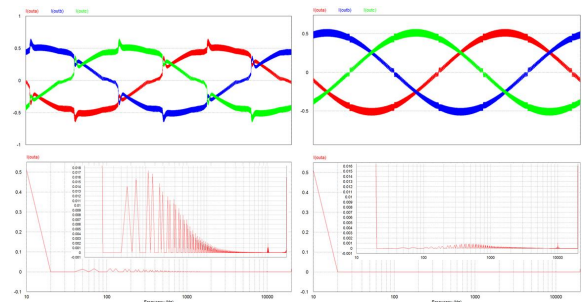
시뮬레이션 결과 기존 데드타임 보상기법은 필터차단주파수의 제약으로 전류의 극성 검출에서 정확한 정보를 얻을 수 없기 때문에 보상을 제대로 적용할 수 없는 문제점을 Fig.4에 나타냈으며, 제안된 데드타임 보상기법은 필터차단주파수를 최소 출력주파수의 5배 값으로 해주어도 보상을 제대로 해주는 것을

Fig.5에 나타내었다.



(a) 기존 보상기법 (b) 제안 보상기법

Fig.4. 3상 출력 전류 및 FFT 분석
($f_{out} = 10Hz, I_{peak} = 0.5A, f_{LPF} = 1000Hz$)



(a) 기존 보상기법 (b) 제안 보상기법

Fig.5. 3상 출력 전류 및 FFT 분석
($f_{out} = 10Hz, I_{peak} = 0.5A, f_{LPF} = 50Hz$)

4. 결론

본 논문에서는 전압형 인버터의 데드타임 영향으로 발생하는 출력 파형의 왜형을 보상하는 데드타임 보상기법을 제안하였으며 시뮬레이션을 통해 유효성을 검증하였다.

이 논문은 호남광역경제권 선도산업 육성사업의 지원을 받아 수행한 연구과제입니다.

참고 문헌

- [1] 김태웅, 최재호, "전력전자회로", 내하출판사, pp.199-200, 2005.
- [2] Xi Zhengwen, "Dead time Compensation Strategy of Three Phase SVPWM Inverter", Proceedings of IEEE IASP, pp.1-3, 2012.
- [3] 김홍민, "SVPWM 방식의 3상 인버터에 대한 간단한 데드타임 보상 알고리즘", 전력전자학회, 전력전자학회논문지, vol.16, no.6, pp.610-617, 2011.
- [4] 유호선, "전압형 PWM 인버터에서의 새로운 데드타임 보상 기법", 전력전자학회, 전력전자학회논문지, vol.11, no.5, pp.395-403, 2006.
- [5] 김경화, "파라미터 변화에 무관한 인버터 구동 PMSM의 데드타임 보상 기법", 한국조명·전기설비학회, 조명·전기설비학회논문지, vol.25 no.4, pp.124-134, 2011.