

GaN FET을 적용한 위상 천이 DC-DC 컨버터의 문제점 분석

주동명*, 김동식**, 이병국*, 김종수†**
성균관대학교*, 대진대학교**

Problem Analysis of Phase Shifted DC-DC Converter Using GaN FET

Dong Myoung Joo*, Dong Sik Kim**, Byoung Kuk Lee*, and Jong Soo Kim†**
Sungkyunkwan University*, Daejin University**

ABSTRACT

본 논문에서는 Si MOSFET을 차세대 반도체인 GaN FET (Gallium Nitride Field Effect Transistor)으로의 대체 할 시 발생하는 문제점을 분석한다. 다양한 전력변환 시스템에 적용 가능한 위상 천이 풀브리지(Phase Shifted Full Bridge) DC DC 컨버터를 대상으로 각각 Si MOSFET 및 GaN FET를 적용하고 실험을 통해 문제점을 확인 및 분석한다.

1. 서 론

MOSFET은 지난 수십 년간 전력반도체 중 하나의 축을 차지해왔다. 그러나 Si MOSFET 물성 특성의 기술 한계에 다름에 따라 이에 종속된 전력변환 시스템 또한 근본적인 효율 개선 및 고전력밀도 달성에 어려움을 겪고 있다. 고전압에서 FOM을 크게 개선한 Super junction 구조의 MOSFET이 출시되었으나 body diode의 성능 문제로 인해 인버터 등의 토폴로지에는 사용이 제한되는 단점이 있다^[1].

따라서 기존의 실리콘(Si) 기반 전력반도체 소자를 대체하기 위해 SiC 및 GaN 등 WBG (Wide Band Gap) 특성의 소자에 대한 연구가 진행되고 있다. 특히 GaN 반도체는 Si 반도체에 비해 내압 및 고주파 특성이 유리한 장점이 있으며 최종적으로 현재 MOSFET이 차지하고 있는 600V 급 소자 시장을 대체할 것으로 예측되고 있다^[2]. 그러나 600V 급 GaN FET에 대한 연구는 초기 단계이며 특히 Bridge 구조의 공진형 컨버터의 적용 사례는 미비한 실정이다.

본 논문에서는 600V급 캐스코드 GaN FET을 PSFB DC DC 컨버터에 적용했을 때 발생하는 문제점을 분석한다. 시뮬레이션 및 실험을 통하여 GaN FET의 특성에 의해 나타나는 문제점을 확인 및 분석한다.

2. Si MOSFET과 GaN FET 특성 비교

2.1 캐스코드 GaN HEMT

현재 600V 급의 단일 GaN 전력 반도체는 Normally on 특성을 갖는 공핍형 GaN FET이 개발 된 상태이다. 공핍형 GaN FET의 Turn off 상태를 유지하기 위해서는 음전압을 걸어주어야 하므로 회로가 복잡해지며 현재 사용되는 Gate Driver를 그대로 사용할 수 없다.

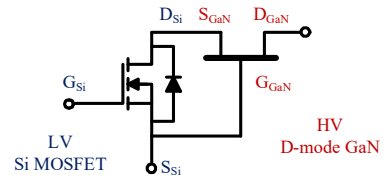


그림 1 캐스코드 구조의 GaN FET
Fig. 1 GaN FET of cascode structure

따라서 그림 1과 같이 저내압 증가형 Si MOSFET과 고내압의 공핍형 GaN HEMT가 직렬로 연결된 Normally off 특성을 갖는 캐스코드 GaN FET가 개발되었다. 캐스코드 FET의 On/Off는 직렬로 연결된 Si MOSFET의 On/Off를 통해 가능하며 기존의 Si MOSFET 용 게이트 드라이버를 그대로 사용할 수 있는 장점이 있다. 따라서 Pin map이 동일하면 하드웨어 수정 없이 기존 Si MOSFET을 대체할 수 있다.

2.2 PSFB DC-DC 컨버터 설계

PSFB DC DC 컨버터를 대상으로 GaN HEMT의 적용 시의 문제점을 분석한다. GaN FET 및 Si MOSFET은 각각 rfmd의 RFJS1506Q 및 Infineon의 IPL60R199CP를 선정하였다.

3. 실험 문제점 분석

3.1 Gate faulty turn-on

캐스코드 GaN FET의 On Off 제어는 Si MOSFET에 의해 제어되기 때문에 소자의 문턱전압 $V_{GS(th)}$ 은 Si MOSFET의 특성을 따르게 된다. 그러나 캐스코드 GaN FET의 Si MOSFET은 3~40V의 저전압 소자로서 고전압 MOSFET에 비해 낮은 $V_{GS(th)}$ 를 갖는다. 표 2는 선정된 FET의 문턱 전압 비교이며 문턱전압의 최저값은 특히 1.3V의 큰 차이를 나타낸다.

$$V_{GS} = L_S \frac{di}{dt} \quad (1)$$

표 1 PSFB 컨버터의 설계 사양
Table 1 Design Specification of PSFB DC-DC Converter

Parameter	Value	Parameter	Value
Vin	300 V	Vout	14 V
Fsw	100 kHz	Rated Pout	600 W

표 2 소자 별 문턱 전압 비교

Table 2 Comparison of $V_{GS(th)}$ of each FET

Device	Min.	Typ.	Max.
RFJS1506Q (GaN)	1.2 V	2 V	2.5 V
IPL60R199CP (Si)	2.5 V	3 V	3.5 V

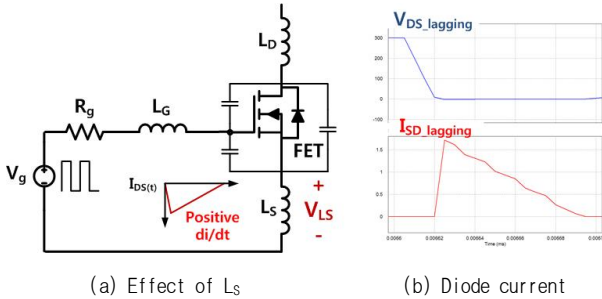


그림 2 MOSFET 구동 등가 회로

Fig. 2 Equivalent circuit of MOSFET driving

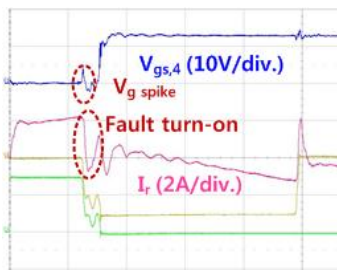


그림 3 GaN FET의 fault turn-on
Fig. 3 Fault turn-on of GaN FET

식 (1)은 그림 2 (b)와 같이 역병렬 다이오드 전류의 di/dt에 따라 소스 인덕턴스 L_S 의 영향에 의해 형성되는 게이트 전압을 나타낸다. 따라서 di/dt가 동일할 때 GaN FET의 Faulty turn on을 막기 위해서는 PCB의 L_S 값을 기존의 2/3 내지 1/2 이하로 관리하여야 한다.

그림 3은 GaN FET의 워터 Lagging lag 스위칭 과정을 나타내며 스위치의 Faulty turn on에 의해 1차 측 전류가 왜곡되는 것을 확인할 수 있다.

3.2 Dead time 미 최적화

표 3은 각 FET의 출력 캐패시턴스(C_{oss}) 비교이며 GaN FET는 Si MOSFET에 비해 1/3 이하의 C_{oss} 값을 갖는다.

그림 4 (a)와 같이 Lagging lag transition($Q_2 \rightarrow Q_4$) 과정에서 Q_2 및 Q_4 가 모두 Turn off 되는 데드타임 구간 동안 공진 인덕터 L_R 에 저장된 에너지에 의해 C_4 및 C_2 는 각각 방전 및 충전된다. 이 때 ZVS를 위해 캐패시터를 모두 만족하기 위한 L_R 의 에너지는 식 (2)와 같다.

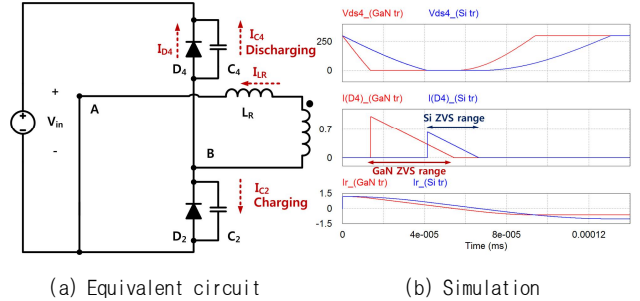
$$\frac{1}{2} L_R^2 I_{pri}^2 \geq 2 C_{oss} V_i^2 \quad (2)$$

GaN FET은 작은 C_{oss} 를 가지므로 Si MOSFET에 비해 더 적은 L_R 의 에너지로 ZVS가 가능하며 캐패시터의 충·방전도 더 빠르게 진행된다. 또한 더 많은 L_R 의 잔여 에너지 때문에 역병렬 다이오드 D_4 로 전류가 흐르는 시간이 증가되므로 그림 4 (b)와 같이 동일 부하 조건에서 넓은 ZVS range를 갖는다.

표 3 소자 별 C_{oss} 비교

Table 3 C_{oss} comparison of each FET

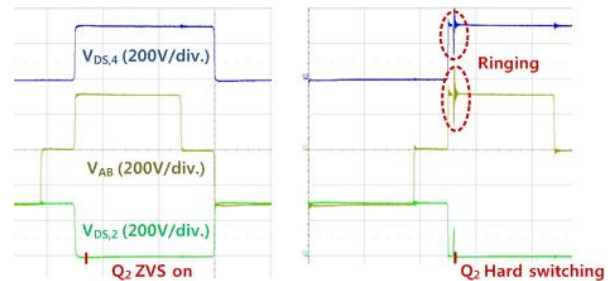
Device	$C_{oss(ER)}$	$C_{oss(TR)}$	Condition
RFJS1506Q (GaN)	26 pF	50 pF	0 to 480 V
IPL60R199CP (Si)	69 pF	180 pF	0 to 480 V



(a) Equivalent circuit (b) Simulation

그림 4 각 FET의 lagging lag transition 비교

Fig. 4 Lagging lag transition comparison of each FET



(a) Si MOSFET (b) GaN FET

그림 5 잘못된 데드타임에 의한 GaN FET의 하드 스위칭

Fig. 5 Hard Switching of GaN FET due to incorrect dead time

그러나 그림 5와 같이 Si MOSFET과 동일한 Dead time을 적용하는 경우 L_R 에 저장된 에너지가 소모된 뒤에 Turn on 하므로 ZVS를 하지 못하게 된다. 따라서 그림 5 (b)와 같이 하드 스위칭을 하게 되어 각 부의 ringing 및 시스템 효율 저하의 원인이 되므로 소자 특성 및 부하 조건을 고려한 Dead time 최적화가 필요하다.

4. 결 론

본 논문에서는 차세대 반도체인 캐스코드 GaN FET를 PSFB 컨버터에 적용했을 때의 faulty turn on 및 Dead time 미 최적화 시의 하드 스위칭 문제점을 분석하였으며 각 문제점의 원인 및 해결책을 제시하였다.

이 논문은 2013년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임. (No. NRF 2013R1A1A1076109)

참 고 문 헌

[1] Stefan Linder, "Power Semiconductors", EPFL Press, 2006.
[2] Millan, J, "A Survey of Wide Bandgap Power Semiconductor Devices", IEEE Transactions on Power Electronics, vol 29, no. 5, pp. 2155 2163, May, 2014