

# 전산모사를 통한 Schottky Barrier MOSFETs 의 Schottky Barrier 높이 측정 방법의 최적화 연구.

서준범, 이재현

한국과학기술원 전기 및 전자공학과, 대전광역시 305-701, 대한민국.

e-mail : jkse@kaist.ac.kr, jaehyun.lee@kaist.ac.kr

## ABSTRACT

쇼트키 장벽 모스펫(Schottky barrier MOSFETs : SB-MOSFETs)은 SB높이( $\Phi_B$ )에 매우 민감하다. 그래서  $\Phi_B$ 를 줄이는 공정 방법에 대한 연구가 활발히 진행 중이다. 이러한  $\Phi_B$ 를 측정할 때, SB-MOSFETs에서가 아닌 SB 다이오드에서 측정이 이뤄지고 있다. 본 논문에서는  $\Phi_B$ 를 SB-MOSFETs에서 측정 할 수 있는 방법을 제안하고 전산모사를 통하여 채널의 길이와 두께, Overlap / Underlap 구조, 온도 등에 대한 의존성을 살펴 보았다. 그 결과 채널의 길이와 두께, Overlap / Underlap 구조에 따른 의존성은 없는 것으로 확인되었다. 하지만 20nm 이하의 채널의 소자에 대해서는 소스/드레인간 터널링 전류로 인해 정확한  $\Phi_B$  측정이 불가능하였다. 그리고 저온에서 측정할 때 정확도가 높아짐을 확인하였다.

## INTRODUCTION

반도체의 집적화가 심화됨에 따라 단채널 효과(short channel effects)가 큰 이슈가 되고 있다. 이러한 단채널 효과를 개선할 수 있는 방법으로 shallow junction, pocket implant 등의 공정들이 적용되고 있다. 하지만, shallow junction 을 만드는 공정에서 저항을 낮추기 위해 junction depth 는 얇게 하면서 doping 농도는 크게 해야 하는 공정의 어려움이 따른다. 이러한 문제를 해결하기 위해 소스/드레인을 금속으로 하는 쇼트키 장벽 모스펫 구조가 연구되고 있다.[1]

이러한 SB-MOSFETs 의 특성에 큰 영향을 주는 SB 높이( $\Phi_B$ )를 측정하는 방법은 일반적으로 SB 다이오드로부터 측정을 하고 있다. 하지만 MOS 공정 및 기타 후속 공정들이 금속과 채널의 경계 면에 영향을 주게 되므로  $\Phi_B$ 가 변할 수 있으며, 그로 인해 실제 소자의 실험 결과와 예측되는 특성에서 차이가 있을 수 있다.

따라서 본 논문은 이러한 점을 보완하고자 SB-MOSFETs 에서  $\Phi_B$  측정 방법을

제안하고 전산모사를 통하여 다양한 요인에 대한 의존성을 살펴보았다. 이를 통하여 실험에서 측정의 정확도를 높이기 위한 조건을 보았다.

## METHODS

본 논문의 전산모사에 사용한 소자는 Fig 1 에 나타나있는 것처럼 Single-gate Ultra-thin-body (UTB) SB-MOSFETs 를 사용하였다.

Fig 2 에서는 SB-MOSFETs 의 게이트 전압( $V_G$ )에 따른 potential profile 을 보여주고 있다. Fig 2 (a)와 (b)에서처럼  $V_G$ 가 Flat band 전압( $V_{FB}$ )보다 작거나 같을 때에는 열전자 방출에 의한 전류만 존재하게 된다. 그래서 식(1)을 이용하여 전류로부터 potential 장벽 높이( $\phi_B$ )를 측정할 수 있다. 만약  $V_G=V_{FB}$ 라면, 이때 측정된  $\phi_B$ 는  $\Phi_B$ 라는 것을 Fig 2 를 보면 알 수 있다.

$$J_D = A^*T^2 \exp\left(\frac{-q\phi_B}{k_B T}\right) \quad (1)$$

$J_D$ : 전류밀도,  $A^*$ : 리차드슨 상수 (Richardson constant),  $\phi_B$ : Potential 장벽

높이,  $k_B$ : 볼츠만 상수 (Boltzmann constant),  $T$ : 온도.

하지만 Fig 2 (c)에서처럼  $V_G > V_{FB}$  에 대해서는 터널링 전류가 존재하게 된다. 이러한 이유로 식(1)에서 계산된  $\phi_B$ 는 실제 형성된  $\Phi_B$ 와 차이가 발생하게 된다. [1~3]

이러한 동작 원리를 바탕으로 Mantl 그룹과 Appenzeller 그룹에서는 각각 다른 방법으로  $V_{FB}$  를 찾고 식 (1)을 이용하여  $\Phi_B$  를 측정하였다.

먼저 Mantl 그룹의 방식을 이용한  $\Phi_B$  측정 방법을 보면 채널 길이( $L_{ch}$ )만 다르고 모든 조건이 동일한 두 소자를 이용하여  $V_{FB}$  를 찾았다. Fig 3 에서 볼 수 있듯이,  $L_{ch}$ 가 30nm, 160nm 인 두 소자의  $I_D$ - $V_G$  특성을 보면  $V_G=0.3V$  에서 교점이 보인다. Fig 4 는  $V_G=0.3V$  에서의 potential profile 과 전류 밀도를 보여주고 있다. 그림에서 보는 것처럼  $V_{FB}$  가 형성되었고 모든 전류가 장벽 위로 열전자 방출에 의해 발생하고 있다는 것을 알 수 있다. 그리고  $V_{FB}$ 에서 식(1)을 적용하여  $\Phi_B$ 를 구할 수 있다.[4]

Appenzeller 그룹에서 사용한 방식은 앞서 Fig 3 의  $I_D$ - $V_G$ 특성을 식 (1)을 이용하여 Fig 5 의  $\phi_B$ - $V_G$ 특성으로 나타낼 수 있다. Fig 5 에서 볼 수 있듯이 특정  $V_G$ 에서 기울기가 변하게 된다. 이처럼 기울기가 변하는 지점의  $V_G$ 를  $V_{FB}$ 라 할 수 있다.  $V_G \leq V_{FB}$ 에서는  $V_G$ 와  $\phi_B$ 가 선형 관계를 보이다가,  $V_G > V_{FB}$ 에서는  $\phi_B$ 는 변하지 않지만, 터널링 전류로 인하여 다른 기울기를 가지고  $\phi_B$ 가 감소하게 된다. 다시 말하면  $V_G > V_{FB}$ 에서는 실제  $\Phi_B$ 는 변하지 않지만, 터널링에 의해 effective  $\phi_B$ 가 측정되는 것이다.[5]

두 방법 모두 기본적인 원리는 동일하지만, Mantl 그룹에서 제안한 방법은  $L_{ch}$ 가 다른 두 개의 소자가 있어야 하는 단점이 있다. 하지만 Appenzeller 그룹에서 제안한 측정 방법에서는 하나의 소자를 이용하여 측정을 할 수 있다는 장점을 가진다. 따라서 본

연구에서는 Appenzeller 그룹의 측정 방법을 이용하여  $L_{ch}$ , 온도( $T$ ), 임의의 금속에 따른 소자의 실제 SB 높이( $\Phi_{B0}$ ), 채널의 두께( $T_{Si}$ ), 채널과 게이트의 Overlap / Underlap 크기( $L_{space}$ )에 따라  $\Phi_B$  측정 결과에 대한 영향을 전산모사를 통해 확인해보았다.

## RESULT AND DISCUSSION

Fig 6 은  $L_{ch}$ 에 따른 결과를 보여주고 있다.  $L_{ch}$ 는 10nm, 20nm, 30nm, 50nm, 100nm, 150nm 에 대하여 진행하였다. Fig 6 (a)는  $L_{ch}$ 에 따른  $\Phi_B$ 를 보여주고 있고 Fig 6 (b)는  $\Phi_{B0}$  와  $\Phi_B$  의 차이( $\Delta \Phi_B = \Phi_B - \Phi_{B0}$ )를 보여주고 있다.  $\Phi_{B0}$ 는 work-function 차이로 인해 발생하는 SB 높이와 quantization 효과에 의해 증가되는 SB 높이를 모두 고려하였다. Fig 6 (a)에서 볼 수 있듯이,  $L_{ch} \leq 20nm$  인 소자에서는 정상적인  $\Phi_B$ 를 측정하지 못하고 있는데, 그 이유는 소스/드레인간의 터널링 전류 때문이다. 하지만 20nm 이상의  $L_{ch}$ 를 가진 소자의 경우에 대해서는 평균적으로 0.314eV 의  $\Phi_B$ 를 얻을 수 있었다.

Fig 7 은  $T_{Si}$ 에 대한 전산모사 결과를 보여주고 있다.  $T_{Si}$ 는 3nm, 5nm, 6nm, 7nm, 8nm, 10nm 에 대하여 진행하였다. Fig 7 (a)을 보면,  $T_{Si}$ 가 증가함에 따라  $\Phi_B$ 의 값은 감소하는 것으로 보인다. 하지만 Fig 7 (b)에서 볼 수 있듯이,  $T_{Si}$ 와  $\Delta \Phi_B$ 에 대해서는 의존성이 작다는 것을 알 수 있다. 이는  $\Phi_B$ 가 감소하는 것은  $T_{Si}$ 가 커짐에 따라 quantization 효과의 감소에 의한  $\Phi_{B0}$ 의 감소의 영향에 의한 것으로 보인다.

Fig 8 는  $L_{space}$ 에 대한 결과를 보여준다.  $L_{space}$ 를 5nm, 2nm, 0, -2nm, -5nm에 대해 전산모사를 진행하였다. 음수는 Overlap 게이트를 의미한다. Fig 8 (a)에서는  $L_{space}$ 에 관계없이  $\Phi_B$ 가 평균적으로 0.315eV 값으로 측정되고 있다. 그리고 Fig 8 (b)에서 볼 수 있듯이  $L_{space}$ 에 의한  $\Delta \Phi_B$ 가 거의 동일한

것으로 보인다. 이 결과에 따라  $L_{space}$  의 영향은 크지 않음을 알 수 있다.

Fig 9는 T에 대한 결과는 나타내고 있다. T는 100K, 200K, 300K, 400K에 대하여 고려하였다. 주목할 점은 앞의 결과들과는 다르게 Fig 9 (a)에서 볼 수 있듯이 T가 낮아질수록  $\Phi_B$ 가 선형 관계를 보이며 감소하고 있다. 또한 Fig 9 (b)에서는 T=400K일 때  $\Delta \Phi_B=0.086\text{eV}$ 이지만 T=100K일 때  $\Delta \Phi_B=0.069\text{eV}$ 까지 감소하는 것을 알 수 있다. 이는 T가 낮을수록 더 정확한  $\Phi_B$ 를 측정할 수 있다는 것을 의미한다.

마지막으로 Fig 10에서  $\Phi_{B0}$ 의 변화에 따른 영향을 나타내고 있다.  $\Phi_{B0}$ 은 0.035eV, 0.135eV, 0.235eV, 0.335eV, 0.435eV, 0.535eV에 대해 전산모사를 진행하였다. Fig 10 (a)에서 볼 수 있듯이  $\Phi_{B0}$ 에 따라  $\Phi_B$ 가 비례하여 증가하는 것으로 보이나 Fig 10 (b)에서 나타나듯이 높은  $\Phi_{B0}$ 일수록 작은  $\Delta \Phi_B$ 를 보이는 것을 알 수 있다. 이는 높은  $\Phi_{B0}$ 를 가진 소자에서 더 정확한  $\Phi_B$ 를 측정할 수 있다는 것을 의미한다.

전산 모사를 통해  $\Phi_B$ 를 측정했을 경우 평균적으로  $\Delta \Phi_B$ 가 0.08eV 정도로 나타나고 있다. 이러한 차이는 금속과 반도체의 접합 계면에서 potential이 증가했기 때문이다. 더 정확한  $\Delta \Phi_B$  측정을 위해서는 이러한 오차를 개선하는 방법에 대한 연구가 더 필요할 것으로 보인다.[6~8]

### CONCLUSION

본 논문에서는 Appenzeller 그룹과 Mantl 그룹에서 제안한  $\Phi_B$  측정 방법을 비교해보고 두 방법 모두 유사한  $\Phi_B$  측정 결과를 보인다는 것을 확인하였다. 또한 Appenzeller 그룹에서 제안한 방법을 통해  $L_{ch}$ ,  $T_{Si}$ ,  $L_{space}$ , T, 와  $\Phi_{B0}$ 에 대한 유효성 및 최적의 조건에 대해 살펴 보았다.

$L_{ch} \geq 20\text{nm}$  를 가진 소자에 대해서는

$\Phi_B$  측정시  $L_{ch}$ ,  $T_{Si}$  와  $L_{space}$  의 변화에 민감하지 않았다. 하지만 T가 낮을수록  $\Phi_{B0}$ 가 큰 소자에 대해서는  $\Phi_B$ 가 더 정확하게 측정됨을 확인할 수 있었다. 하지만 20nm 이하의  $L_{ch}$ 를 가진 소자는 터널링 전류에 의해 정확한  $\Phi_B$  측정이 불가능하였다.

### REFERENCES

- [1] John M. Larson, IEEE Trans. Electron Devices, 53, 1048 (2006)
- [2] S.M. Sze, Physics of semiconductor Devices. NewYork : Willey, pp 154-166, (1981)
- [3] M. Shin, IEEE Trans. Electron Devices, 55, 737 (2008)
- [4] L. Knoll, et al, Solid-State Electron, 71, 88 (2012)
- [5] Saptarchi Das, et al, Nano latt, 13, 100 (2013)
- [6] S.M. Sze, Physics of semiconductor Devices. NewYork : Willey, pp 146-149 (1981)
- [7] Raymond T. Tung, Material Science and Engineering : R : Report, 35, 1 (2001)
- [8] J. Guo and M. Lundstrom, IEEE Trans. Electron Device, 49, 1897 (2002).

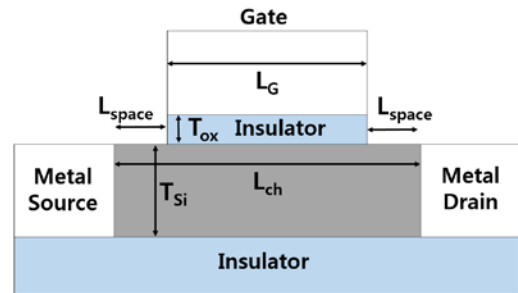


Fig 1. Single gate Ultra-thin-body (UTB) SB-MOSFETs의 구조.  $T_{ox}=1\text{nm}$ ,  $L_{space}=\frac{1}{2}(L_{ch} - L_G)$ .

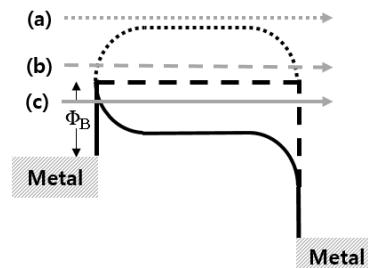


Fig 2. SB-MOSFETs의  $V_G$ 에 따른 potential profile 및 전류 성분 변화에 대한 개념도. (a)  $V_G < V_{FB}$ 와 (b)  $V_G = V_{FB}$ 에서는 열전자 방출에 의한 전류를 보이며, (c)  $V_G > V_{FB}$ 에서는 터널링 전류와 열전자 방출에 의한 전류를 보인다.

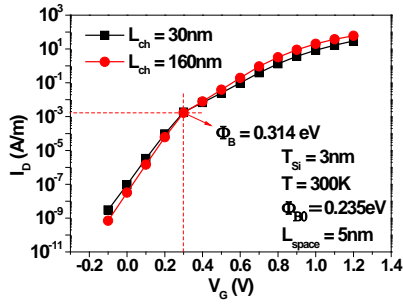


Fig 3  $L_{ch}$  가 다른 두 소자에 대한  $I_D-V_G$  특성. Mantl 그룹의 측정방식을 이용하여 0.314eV 의  $\Phi_B$  값을 구할 수 있다.

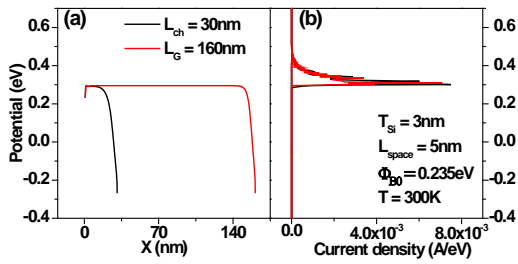


Fig 4.  $V_G=V_{FB}$ 에서의 (a) Potential profile 과 (b) 전류 밀도.

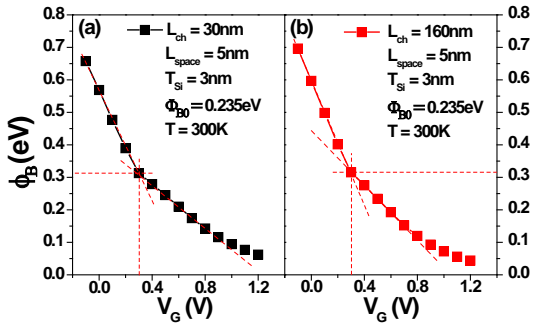


Fig 5.  $\Phi_B-V_G$  특성. Appenzeller 그룹의 방법을 이용한  $\Phi_B$  측정. (a)  $L_{ch}=30nm$  에서 0.314eV 의  $\Phi_B$  를 측정 할 수 있으며 (b)  $L_{ch}=160nm$  에서 0.316eV 의  $\Phi_B$  를 측정 할 수 있다.

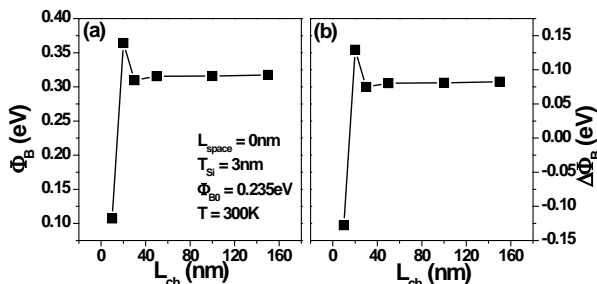


Fig 6.  $L_{ch}$  를 10nm~150nm 로 변화시킬 때에 따른 (a)  $\Phi_B-L_{ch}$  특성과 (b)  $\Delta\Phi_B-L_{ch}$  특성.

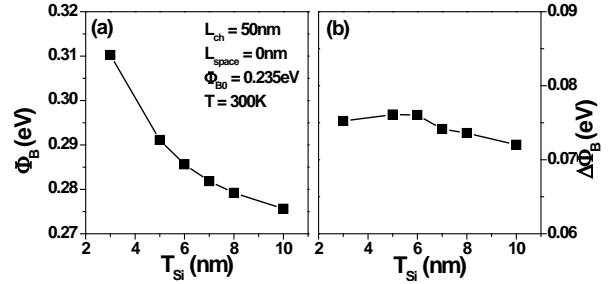


Fig 7.  $T_{Si}$  를 3nm~10nm 로 변화시킬 때의 (a)  $\Phi_B-T_{Si}$  특성과 (b)  $\Delta\Phi_B-T_{Si}$  특성.

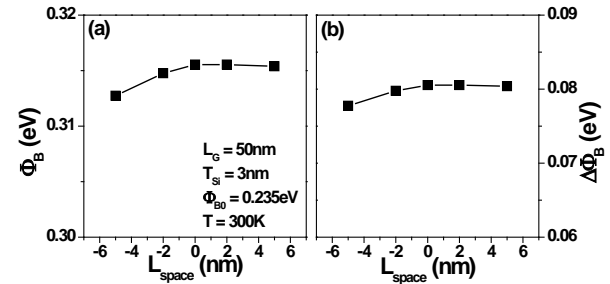


Fig 8.  $L_{space}$  를 -5nm~5nm 로 변화시킬 때의 (a)  $\Phi_B-L_{space}$  특성과 (b)  $\Delta\Phi_B-L_{space}$  특성.

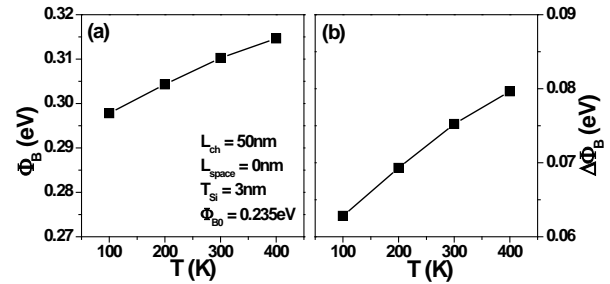


Fig 9.  $T$  를 100K~400K 로 변화시킬 때의 (a)  $\Phi_B-T$  특성과 (b)  $\Delta\Phi_B-T$  특성.

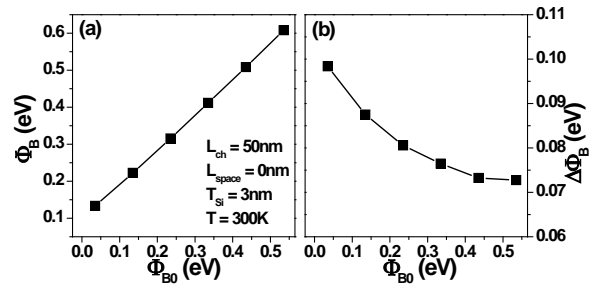


Fig 10.  $\Phi_{B0}$  를 0.035eV~0.535eV 로 변화시킬 때의 (a)  $\Phi_B-\Phi_{B0}$  특성과 (b)  $\Delta\Phi_B-\Phi_{B0}$  특성.