

# Size Scaling에 따른 Gate-All-Around Silicon Nanowire MOSFET의 특성 연구

이대한, 정우진

한국과학기술원 전기 및 전자공학과, 대전광역시 305-806, 대한민국  
e-mail: volentedeo@kaist.ac.kr, jee-nee0919@kaist.ac.kr

## ABSTRACT

CMOS의 최종형태로서 Gate-All-Around(GAA) Silicon Nanowire(NW)가 각광받고 있다. 이 논문에서 NW FET(Field Effect Transistor)의 채널 길이와 NW의 폭과 같은 size에 따른 특성변화를 실제 실험 data와 NW FET 특성분석 simulation을 이용해서 비교해보았다. MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 소형화에 따른 쇼트 채널 효과(short channel effect)에 의한 threshold voltage( $V_{th}$ ), Drain Induced Barrier Lowering(DIBL), subthreshold swing(SS) 또한 비교하였다. 이에 더하여, 기존의 상용틀로 NW를 해석한 시뮬레이션 결과와도 비교해봄으로써 NW의 size scaling에 대한 EDISON NW 해석 simulation의 정확도를 파악해보았다.

## INTRODUCTION

트랜지스터 사이즈 스케일링에 대한 무어의 법칙은 지난 40년 동안 계속해서 트랜지스터의 성능과 밀도를 증가시켜왔다 [1]. 트랜지스터의 사이즈가 감소하면 성능을 증가시킬 수 있지만 사이즈가 줄어들수록 쇼트 채널 효과는 증가한다. 그러므로 어떠한 트랜지스터의 형태가 쇼트 채널 효과에는 영향을 덜 받는지에 대해 연구가 진행되어왔다. 따라서 gate controllability를 높일 수 있는 Gate-All-Around (GAA) 구조의 device가 떠올랐다 [2]. 이 구조는 planar device보다 높은 구동 전류를 가지며 쇼트 채널 효과를 최소화시킬 수 있다 [3-4].

그러나 GAA silicon NW field effect transistor(FET) 또한 쇼트채널 효과에 자유롭지 못하므로 size에 따른 성능을 분석하는 것은 중요한 과제이다. 그러므로 GAA silicon NW MOSFET의 성능을 실험한 data와 NW특성 simulation을 비교해봄으로써 두 data간의 경향성을 비교하고 nano size device의 문제가 되는 쇼트 채널 효과가 어떻게 나타나는지 분석해보는 것이 GAA silicon NW의 size에 따른 특성을 이해하는데 도움이 될 것이다. 또한 기존의 상용틀을 통하여 다시 한번 시뮬레이션함으로써 사용한 simulation틀의 신뢰도를 확보하였다.

## SIMULATION DETAILS

본 연구는 EDISON 나노물리 센터에서 제공하는 NW FET 소자 성능 및 특성 분석용 SW를 사용해서 NW FET의 size에 따른 성능을 분석하였다. EDISON NW simulator는 양자효과를 고려한 시뮬레이션으로, 수 나노 사이즈의 device 분석에 적합하다. 그러므로 size에 따른 성능 분석에는 쇼트 채널 효과가 필수적이고 쇼트 채널 효과를 더욱 정확히 분석하기 위해서 EDISON 시뮬레이터가 본 연구에 적합하였다.

특히 NW FET의 channel width, thickness, length의 변화에 대한 simulation을 중점적으로 쇼트 채널 효과를 실제 NW와 비교 및 분석하였다.

Simulation에서 사용하는 NW 모델은 Fig. 1의 형태이며, 실험에서 사용한 NW의 모델과 비슷한 형태를 띈다.. 실제 NW는 channel의 size가 작아질수록 사각형보단 원형에 가까워지지만[3] 이에 따른 영향은 결과에 영향을 미칠 만큼 크지 않으므로 channel의 형태는 simulation과 같은 형태라고 보았다.

## RESULTS AND DISCUSSION

실제 실험 결과와 시뮬레이션 결과를 비교하기 위하여 S. Bangsaruntip의 논문[3]에서 실제 GAA NW FET 실험 data를 발췌하였다. 발췌한 data로는 일반적으로 FET의 분석에 쓰이는 I-V characteristic 외에도 쇼트 채널 효과를 분석할 수 있는 threshold voltage( $V_{th}$ ), DIBL, subthreshold swing(SS) 등의 실험 분석 결과 자료를 확인할 수 있다. Fig. 2.에는 circumference로 normalize한 transfer characteristics를 비교해 보았다.

각각의 transfer characteristics로부터  $V_T$  matching을 하였으며 전류를 얻은 FET의 size는 gate length는 35nm, channel width는 13.3nm, channel height는 20.4nm이다. 결과를 보면 Simulation은 실제 data보다 subthreshold slope가 더 작고, drain voltage에 따른 전류의 이동이 크지 않으므로 DIBL 또한 더 작다는 것을 알 수 있다. Simulation에서의 DIBL이 실험 data에 비해 작아지는 이유를 분석하기 위해서 DIBL이 어떠한 요소에 영향을 받는지 보자. DIBL은  $V_{DS}$ 가 커짐에 따라서 barrier가 낮아지는 것에 의해서 생기는 데, threshold voltage에서 전류가 상승한 양을 통해서 알 수 있다. (1)을 보면 barrier가 낮아진 만큼 DIBL도 상승한다. 두 data 모두 같은  $V_{DS}$ 가 가해졌으므로 barrier lowering이 일어나기 전 초기의 barrier height를 분석하였다.

$$\Delta I_D = I_D e^{\Delta E_B / k_B T_L} \quad (1)$$

Barrier height는 (2)로 표현되는데, 실제 공정을 거친 소자에서의 도핑 농도는 시뮬레이션과 차이가 있기 때문에 built-in potential에서 차이가 생겼다.

$$E_B = q(V_{bi} - \psi_s) \quad (2)$$

Simulation과 실험 data의 on current를 비를 구함으로써 ballisticity를 구해보았다 [5]. EDISON simulation의 ballisticity를 구함으로써 본 simulator에서 scattering에 의한 영향, 즉 ballistic transport가 어느 정도 일어났는지 알아보았다. (3), (4)로 구한 ballisticity를 보면 ballistic simulation의 결과와의 비율을 알 수 있다.

$$B_{lin} = \frac{I_{ON\_MEA}}{I_{ON\_SIM}} \Big|_{V_{DS}=50mV} = 0.1233 \quad (3)$$

$$B_{sat} = \frac{I_{ON\_MEA}}{I_{ON\_SIM}} \Big|_{V_{DS}=1V} = 0.303 \quad (4)$$

Fig. 3.에는 drain 전압에 따른 전류를 비교해보았다. 이 FET의 size 또한 Fig. 2.의 FET size와 동일하다. Fig. 3.를 통해서 실험 data에서 구동전류의 크기가 simulation 보다 작다는 것을 알 수 있다. 이는 scattering, contact resistance의 영향으로 보인다. 실제로는 소스/드레인 양단의 contact으로 인한 저항이 존재하며, channel 내부의 전자들이 scattering에 의한 효과로 이동이 제한되므로 전류가 더 작아진다.

쇼트채널 효과를 분석하기 위한 NW FET의 size에 대한 data는 Fig. 4.에서 볼 수 있다.  $V_{TLIN}$ 은 Fig. 4a.에 나와 있다. 전반적인 경향성,  $V_{th}$  reduction이 일어나는 것이 실험 data와 비슷하다. Fig. 4b.에서는 DIBL을,

Fig. 4c.에서는 subthreshold slope를 비교하였다. EDISON simulation의 정확도를 파악하기 위해서 기존의 NW 해석 상용툴 'Sentaurus'로 얻은 data들과 함께 비교해보았다. DIBL과 SS 모두 전반적인 경향성은 일치하였고, 더하여 EDISON과 Sentaurus의 값들이 매우 비슷함을 알 수 있었다. 두 simulator의 결과가 상당히 비슷하게 나왔다는 것은, 정확도면에서 EDISON이 기존의 상용툴과 같은 수준임을 말해준다.

EDISON simulation 값의 보편성을 보기 위해서 gate length를 geometric screening length ( $\lambda$ )로 나눈 값에 따른 DIBL과 SS를 분석해 보았다. 이는 Fig. 4d.(DIBL), 4e.(SS)에 나와 있다. 실험 data의 보편성과 EDISON, Sentaurus의 보편성을 보기 위해서 점들이 이루는 곡선을 그려보았다. DIBL은 세 곡선이 모두 비슷한 형태를 이루었고 SS는 EDISON의 곡선이 실험 data가 이루는 곡선과 곡률이 거의 일치함을 볼 수 있었다. DIBL과 SS의 보편성의 측면에서는 EDISON이 Sentaurus보다 실험에 더욱 근접했다.

## CONCLUSION

본 연구에서는 EDISON을 통해서 GAA silicon NW FET의 size에 따른 특성을 실제 실험 data와 비교 및 분석하였다. I-V characteristics에서부터 쇼트 채널 효과와 밀접하게 관련있는  $V_{th}$ , DIBL, SS의 경향성을 비교하여보고, 각각의 NW의 ballisticity까지 분석해보았다.

Nanoscale의 device는 쇼트 채널 효과에 의해서 size의 축소에 제한을 받는다. 따라서 nanoscale의 FET, 그 중에서도 가장 차세대 FET으로 각광받고 있는 GAA NW FET의 쇼트채널 효과에 대해 분석하고 해결하는 것은 중요한 과제이다. 그러므로 simulation을 통해서 실제 실험 data와 서로 보완해나가는 과정이 필요할 것이다. 그러나 실제 실험과 simulation에서 동일한 조건을 줄 수는 없기 때문에 가장 효율적으로 실험 data를 예측할 수 있는 방법을 찾는 것이 연구되어야만 할 것이다. 또한 underlapping, 도핑 농도 등의 일정할 수 없는 변수들을 최대한 실제 FET과 비슷하게 맞춰주는 것도 더욱 정확한 simulation data를 얻을 수 있는 방법이 된다.

Sentaurus와 EDISON을 비교해본 결과 두 simulation data는 매우 비슷한 경향성과 값들을 가졌다. 이를 통해서 EDISON simulation이 본 연구의 input range에 속하는 GAA NW FET을 분석하는데 있어서 기존에 있던 고가의 상용툴 Sentaurus와 비슷한 정확도를 가진다는 결론을 얻었다. 그러나 Sentaurus와 같은 상용툴

은 현재까지 수 나노 영역에서 필수적으로 고려해야 하는 양자 효과를 예측하기 어렵다는 점에서 개선이 필요하다. 이러한 점에서 본 연구에서 사용한 EDISON tool이 상용툴의 부족한 점을 채울 수 있는 발전 가능성을 확인해 볼 수 있었다.

### REFERENCES

- [1]. M. Bohr, The evolution of scaling from the homogeneous era to the heterogeneous era
- [2]. Kelin J. Kuhn, Fellow, IEEE, Considerations for ultimate CMOS scaling
- [3]. S. Bangsaruntip, High performance and uniform gate-all-around silicon nanowire MOSFETs with wire size dependent scaling, 2009
- [4]. Sarunya Bangsaruntip, Universality of short-channel effect in undoped-body silicon nanowire MOSFETs, 2010
- [5]. Changwook Jeong, On backscattering and mobility in nanoscale silicon MOSFETs, 2009

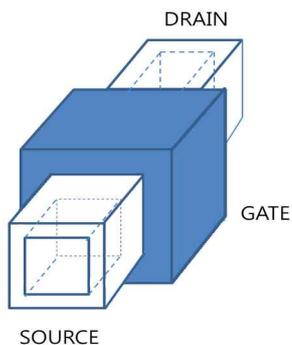


Fig. 1. Simulation에서 사용하는 NW model

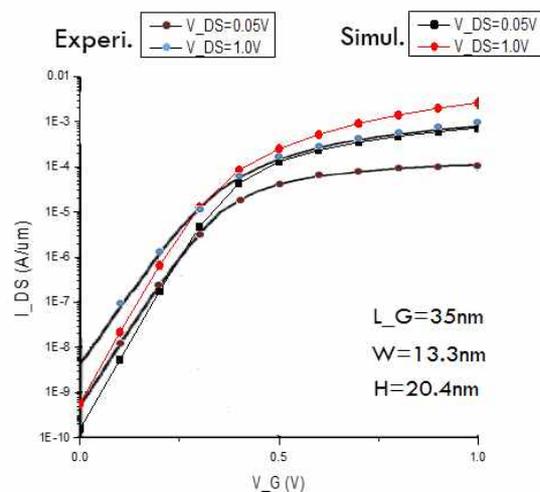


Fig. 2.  $V_{DS} = 0.05, 1.0V$  일 때  $V_G$  에 따른 drain current (실선 - 실험 data, 점선 - simulation data)

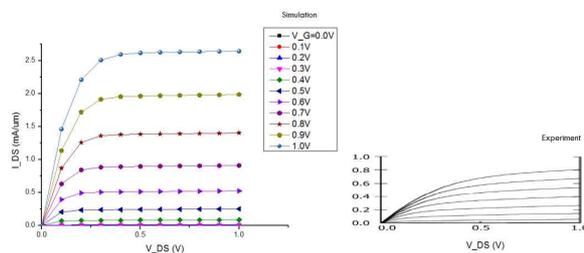


Fig. 3.  $V_G=0.0V$ 부터  $1.0V$ 까지  $0.1V$  간격으로 측정된  $V_{DS}$ 에 따른 drain current (Fig. 2.과 동일한 size의 channel)

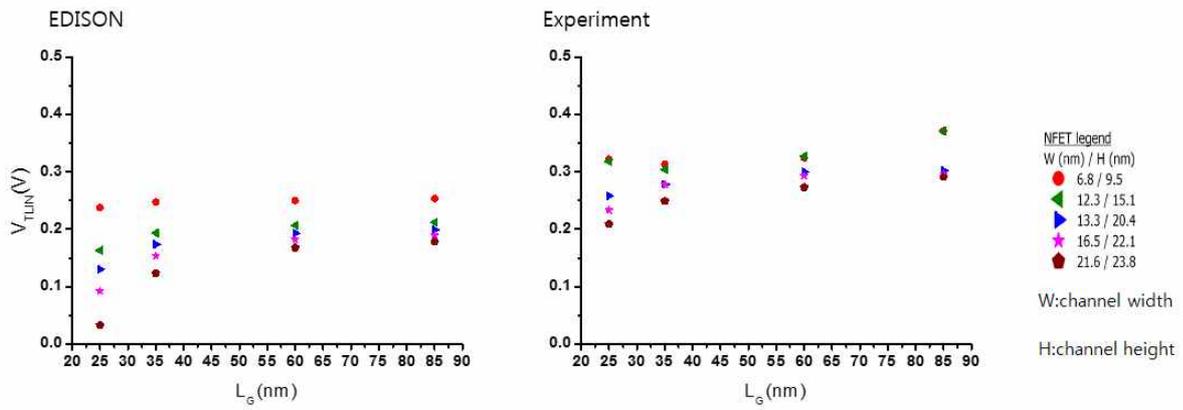


Fig. 4a.

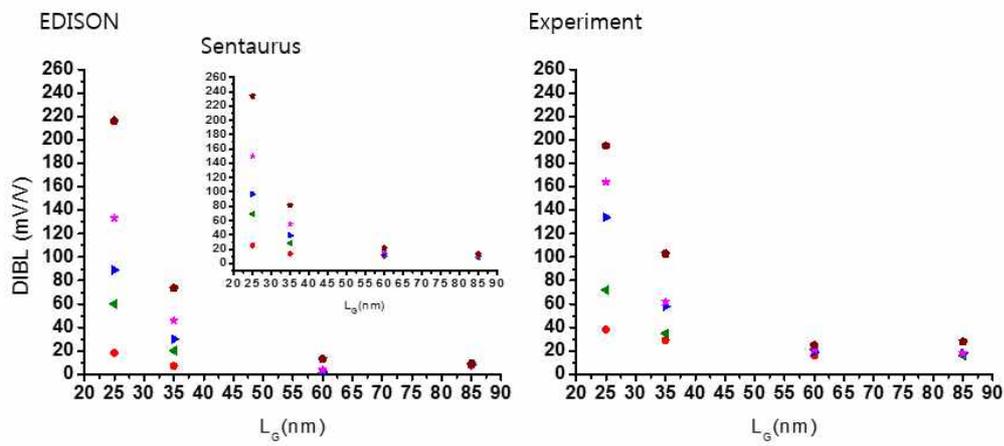


Fig. 4b.

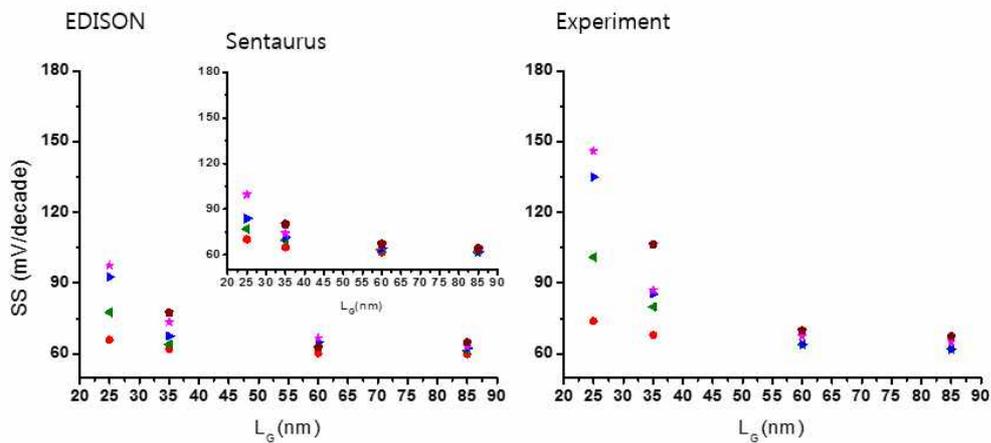


Fig. 4c.

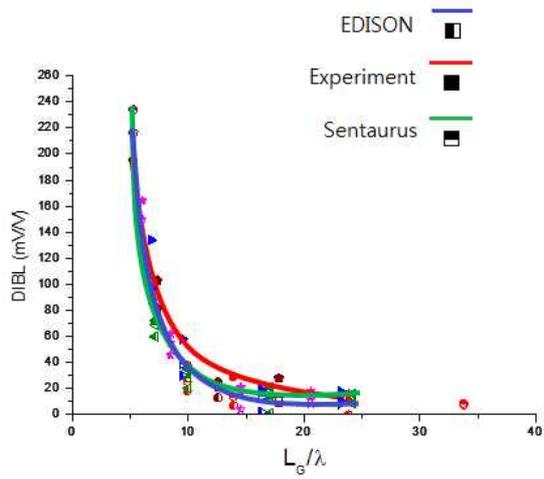


Fig. 4d.

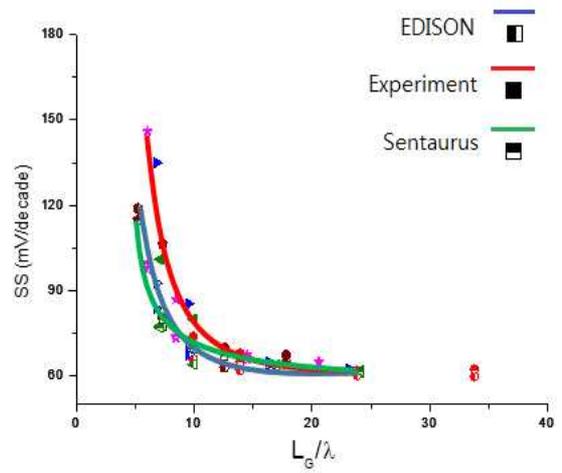


Fig. 4e.

Fig. 4. channel size에 따른 short channel effect의 비교 (a)threshold voltage(Fig 4a~e까지 a에 나와 있는 범례 적용), (b)DIBL ( $V_{TLLN} : V_{DS}=0.05V$ ,  $V_{TSAT} : V_{DS}=1.0V$ 에서 측정), (c)SS ( $V_{DS}=1.0V$ ), (d) $L_G/\lambda$ 에 따른 DIBL의 보편성 (EDISON: half left plot & blue line, Experiment: solid plot & red line, Sentaurus: half up plot & green line, Fig. 4(e)도 같은 범례) (e) $L_G/\lambda$ 에 따른 SS의 보편성