

시각보조기기를 위한 실시간 영상처리 SoC 하드웨어 설계

조흥선, 김지호, 신현택, 임준성, 류광기
한밭대학교 정보통신공학과

e-mail : (bong8398, joeandjiho, rizzo2s, junseong_im)@naver.com, kkryoo@gmail.com

The Hardware Design of Real-time Image Processing System-on-chip for Visual Auxiliary Equipment

Heungsun Jo, Jiho Kim, Hyuntaek Shin, Junseong Im, and Kwangki Ryoo
Department of Information and Communication Engineering
Hanbat National University

요 약

본 논문에서는 저시력자의 개선된 독서 환경을 제공하는 시각보조기기를 위한 실시간 영상처리 SoC(System on Chip) 하드웨어 구조 설계에 대해서 기술한다. 기존의 시각보조기기는 화면 영상이 실제 움직임보다 늦게 출력되는 잔상 현상이 발생하며, 색 변환 기능도 제한적이다. 따라서 본 논문에서 제안하는 실시간 영상처리 SoC 하드웨어 구조는 데이터 연산을 최소화함으로써 잔상 현상이 감소되며, 저시력자를 위한 다양한 색상 모드를 지원한다. 제안하는 영상처리 SoC 하드웨어 구조는 Core-A 모듈, Memory Controller 모듈, AMBA AHB bus 모듈, ISP(Image Signal Processing) 모듈, TFT-LCD Controller 모듈, VGA Controller 모듈, CIS Controller 모듈, UART 모듈, Block Memory 모듈로 구성된다. 시각보조기기를 위한 실시간 영상처리 SoC 하드웨어 구조는 Virtex4 XC4VLX80 FPGA 디바이스를 이용하여 검증하였으며, TSMC 180nm 셀 라이브러리로 합성한 결과 동작주파수는 54MHz, 게이트 수 197k이다.

1. 서론

사람은 시각, 청각, 후각, 미각, 촉각의 오감을 통하여 정보를 습득하고 인지한다. 특히, 시각은 5개의 감각 중 80% 이상을 차지하며, 그만큼 중요한 감각으로 작용한다. 시각 정보는 눈을 통해 들어온 빛을 정보로 전환시키고, 이 정보를 뇌로 전달하여 인식하는 과정을 통해 습득된다. 이러한 과정의 어느 한 부분이라도 이상이 있다면 시각 정보를 올바르게 인식하는데 문제가 생기게 되며, 이를 시각장애라 한다. 시각장애는 크게 시력이 0인 전맹과 활용 시력을 가지고 있지만 일반적인 생활이 어려운 저시력으로 구분되며, 시각장애인 중 80%~90%가 저시력자이다 [1].

현대 사회에서 다양한 환경적인 영향으로 사람들의 시력저하가 발생하고 있으며, 사회적으로 고령화가 진행되어 저시력자의 수가 점점 증가하고 있다. 이로 인하여 저시력자에게 잔존시력의 활용 능력을 향상시키기 위한 시각보조기기의 필요성이 증가되고, 다수의 시각보조기기가 상용화되어 보급되고 있다.

대부분의 시각보조기기는 영상처리를 이용한다. 영상처리 시스템은 소프트웨어와 하드웨어 두 가지 방법으로 구현할 수 있다. 소프트웨어를 이용한 방식은 부동소수점 연산 등 복잡도가 높은 연산이 사용되는 시스템을 쉽게 구현 가능하지만, 다수의 모듈을 하나의 시스템으로 집적하

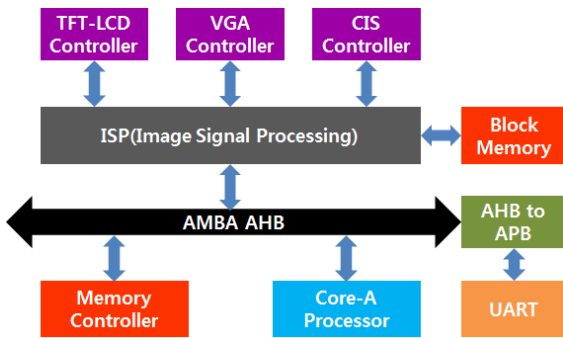
기에는 부적합하다. 반면에 하드웨어로 구현 할 경우 처리 속도가 빠르고 신뢰도 높은 시스템을 기대 할 수 있지만 구현 과정이 복잡하다는 단점이 있다. 이러한 문제로 소프트웨어와 하드웨어를 동시에 집적할 수 있는 영상처리 SoC가 주목 받고 있다.

현재 보급된 시각보조기기는 이동할 때 화면 영상이 실제 움직임보다 늦게 출력되는 잔상 현상이 발생하며, 저시력자의 시각적 특성을 고려한 색 변환 기능은 색상이 다양하지 않은 단점이 있다. 이러한 문제점을 해결하기 위해 시각보조기기의 다양한 색 변환 기능과 잔상 현상을 개선한 실시간 영상처리 SoC 하드웨어 구조를 제안한다.

본 논문의 구성은 다음과 같다. 2장에서는 실시간 영상처리 SoC 플랫폼 구조와 내부 모듈에 대해서 기술하며, 3장에서는 FPGA를 이용한 검증 결과를 기술한다. 4장에서는 ASIC 설계를 통한 칩 레이아웃 결과를 기술한다. 마지막으로 5장에서는 결론으로 끝을 맺는다.

2. 실시간 영상처리 SoC 플랫폼 구조

그림 1은 실시간 영상처리를 위한 Core-A 기반 SoC 플랫폼 하드웨어 구조이다.



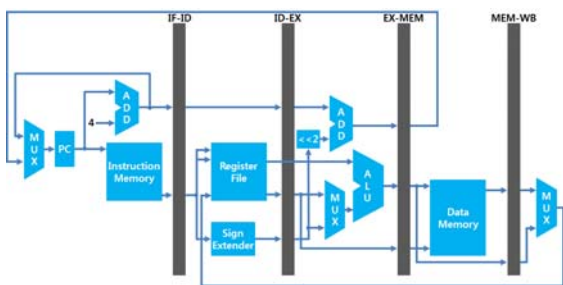
(그림 1) 실시간 영상처리 SoC 하드웨어 구조

본 논문에서 제안하는 실시간 영상처리 SoC 하드웨어 구조는 Core-A 모듈, Memory Controller 모듈, AMBA AHB Bus 모듈, ISP(Image Signal Processing) 모듈, TFT-LCD Controller 모듈, VGA Controller 모듈, CIS Controller 모듈, UART 모듈, Block Memory 모듈로 구성된다.

Core-A 모듈은 프로세서 기능을 담당하며, 전체 시스템을 제어한다. Memory Controller 모듈은 외부 메모리를 제어하기 위해 사용되며, 외부 메모리에는 Core-A가 동작하기 위한 프로그램이 저장되어있다. AMBA Bus는 고속 인터페이스를 위한 AHB Bus와 저속 인터페이스를 위한 APB로 구성되며, AHB to APB 모듈을 통해 고속 인터페이스와 저속 인터페이스 간 통신을 수행한다. UART 모듈은 SoC에서 동작하는 소프트웨어를 제어하기 위해 사용되며, UART 모듈에서 입력되는 제어 신호로 ISP 모듈의 내부 레지스터에 값을 설정한다. ISP 모듈은 UART 모듈로부터 설정된 레지스터 값에 해당하는 영상처리를 수행하고, TFT-LCD Controller 모듈과 VGA Controller 모듈로 출력한다. TFT-LCD Controller 모듈과 VGA Controller 모듈은 ISP 모듈로부터 입력받은 영상데이터를 각각 TFT-LCD와 모니터에 출력한다.

2.1. Core-A 프로세서

Core-A 프로세서는 RISC(Reduced Instruction Set Computer) 타입의 32비트 임베디드 프로세서이며, 저면적 구조와 효율적인 DSP 프로그램 처리를 위한 구조로 구성된다. 그림 2는 Core-A 내부의 파이프라인 구조이며, 5단계의 파이프라인으로 구성되어 높은 동작속도를 가진다[2].



(그림 2) Core-A 내부의 파이프라인 구조

2.2. 색상 형식과 프레임 메모리 크기

RGB 형식은 가장 기본적인 색상 모델이며, 색상은 Red, Green, Blue의 3가지 성분의 조합으로 나타낸다. 모든 픽셀이 RGB 요소를 가지고 있기 때문에 화면 조작용이하다. 하지만 전체 데이터 크기는 증가한다는 단점이 있다. 반면, YCbCr 형식은 휘도 성분인 Y와 색차 성분인 Cb/Cr을 분리하여 표현하는 색상 모델이다. 사람의 눈은 휘도 성분에 민감하지만 색차 성분에는 상대적으로 둔감하다. 따라서 Y에는 많은 정보량을 할당하고, Cb/Cr에는 적은 정보량을 할당하는 방식으로 데이터 처리량을 줄일 수 있다[3].

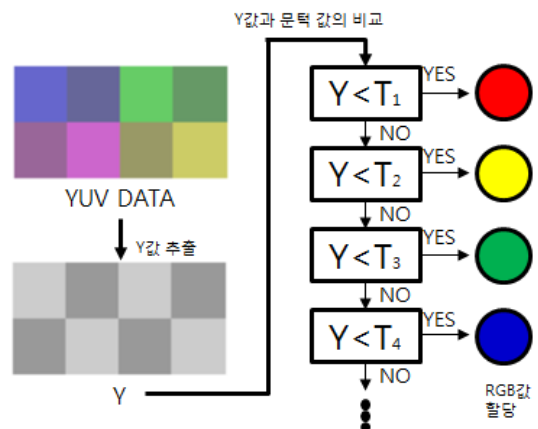
표 1은 대표적으로 쓰이는 화면 크기에 따라 요구되는 각 색상 형식에서의 프레임 메모리 크기를 나타낸다. 각 색상 형식을 비교한 결과, 모든 화면의 크기에서 YCbCr 형식이 RGB 형식에 비해 1.5배 프레임 메모리 크기가 감소되는 것을 확인하였다.

<표 1> 색상 형식에 따른 프레임 메모리 크기(bit)

	YCbCr422	RGB
VGA	4,915,200 (640*480*8*2)	7,372,800 (640*480*8*3)
SVGA	7,680,000 (800*600*8*2)	11,520,000 (800*600*8*3)
HD	14,745,600 (1280*720*8*2)	22,118,400 (1280*720*8*3)
FHD	33,177,600 (1920*1080*8*2)	49,766,400 (1920*1080*8*3)

2.3. 제안하는 색 변환 알고리즘

제안하는 색 변환 알고리즘은 YCbCr 형식의 영상 데이터에서 Y값과 Threshold값을 비교하여 RGB값을 새롭게 할당하는 방식으로 구현하였다. Threshold값은 글씨와 배경이 구분되는 경계면에 위치한 픽셀들의 평균값을 사용한다. 이 과정에서 Y값만을 비교하는 방법으로 연산을 최소화하였다. 다음 그림 3은 제안하는 비교기를 사용한 색 변환 알고리즘을 나타낸다.



(그림 3) 비교기를 사용한 색 변환 알고리즘

3. FPGA 검증 결과

제안하는 실시간 영상처리 SoC 하드웨어 구조는 FPGA를 이용하여 검증하였다. 검증을 위한 디바이스는 Xilinx 사의 Virtex4 XC4VLX80 FPGA 디바이스를 사용하였으며, 내부 ISP 모듈을 제어하는 소프트웨어를 이용하여 SoC 동작을 검증하였다. 표 2는 실시간 영상처리 SoC 하드웨어 구조의 FPGA 검증 결과를 나타낸다.

<표 2> FPGA 검증 결과

Logic Utilization	Used	Available	Utilization
Slices	3,731	35,840	10%
Slice Flip Flops	2,421	71,680	3%
Input LUTs	6,494	71,680	9%
Bonded IOBs	81	768	10%
BRAMs	120	200	60%

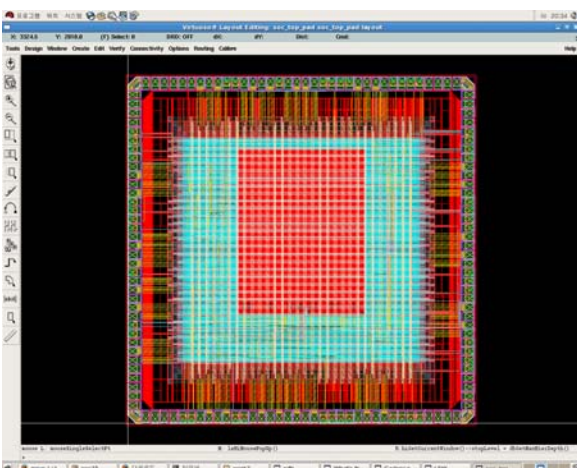
4. ASIC 합성 결과

제안하는 SoC 하드웨어 구조는 Verilog HDL로 설계하였다. 하드웨어 합성은 IDEC에서 지원하는 CAD tool을 사용하였으며, TSMC 180nm 셀 라이브러리로 합성하였다. 표 3은 제안하는 실시간 영상처리 SoC 하드웨어 구조의 합성 결과를 나타낸다.

<표 3> ASIC 합성 결과

구분		결과
공정		TSMC 180nm
동작 주파수		54MHz
게이트 (k)	The number of combinational logic	25k
	The number of noncombinational logic	172k
	The number of total gate	197k

그림 4는 Virtuoso Layout Editing 칩 설계 결과 화면이다.



(그림 4) Virtuoso Layout Editing 칩 설계 결과 화면

5. 결론

본 논문에서는 시각보조기기를 위한 실시간 영상처리 SoC 하드웨어 구조를 제안하였다. 제안하는 영상처리 SoC 하드웨어 구조는 실시간 영상처리 및 저면적 하드웨어 구조를 위해 YCbCr422 색상 형식을 사용함으로써 RGB 형식을 사용하였을 때보다 약 1.5배 감소하였다. 또한, 색 변환 알고리즘은 휘도 성분인 Y값만을 이용하고, 비교기를 사용하여 구현함으로써 연산을 최소화하였다.

제안하는 실시간 영상처리 SoC 하드웨어 구조를 TSMC 180nm 셀 라이브러리로 합성한 결과, 동작주파수는 54MHz이고 총 게이트 수는 197k이다.

감사의 글

본 논문은 교육부와 한국연구재단의 지역혁신인력양성사업 및 미래창조과학부 출연금으로 수행한 ETRI SW-SoC 융합 R&BD 센터와의 공동 연구의 결과입니다.

참고문헌

- [1] 윤양택, “시각장애를 위한 정보통신 접근 보조기기의 소개 및 발전방향”, TTA Journal Vol. 137, pp. 63-67, Sep. 2011.
- [2] Core-A Processor, <http://www.core-a.net>
- [3] Keith Jack, “Video Demystified 5ed”, ELSEVIER, pp. 15-27, 2007.