

Matlab Simulink를 이용한 PLL 모델링 및 FPGA 설계

조종민 · 차한주
충남대학교 전기공학과

PLL modeling using a Matlab Simulink and FPGA design

Jongmin Jo · Hanju Cha

Department of Electrical Engineering, Chungnam National University

ABSTRACT

본 논문은 Simulink 모델을 기반으로 하여 FPGA 알고리즘을 설계하는 과정을 구현하였다. Simulink 모델은 SRF PLL 제어기법을 적용하였으며, Simulink 모델은 기본적으로 부동소수점으로 구성된다. 그러나 FPGA 구현에 필요한 VHDL 코드는 고정 소수점 변환이 필요하므로, 부동 소수점 모델을 고정 소수점으로 변환하고 두 연산 기법의 시뮬레이션 결과를 비교 분석하였다.

1. 서론

전력전자 등 다양한 분야에서 널리 사용되고 있는 DSP 기반의 칩 설계 대신, 상대적으로 짧은 개발 기간과 설계의 유연성, 강력한 연산 능력을 갖춘 FPGA 기반의 설계 방식이 가속화 되고 있다.^[1] FPGA 기반 설계는 보다 유연하고 효율적인 설계 방법론에 대한 필요성이 요구되며, 현재 대부분의 FPGA는 직접 VHDL 알고리즘을 구현하여 설계된다.^[2] 따라서 설계 엔지니어는 높은 효율성과 더불어 설계에 투자되는 시간을 최대한 단축 할 수 있도록 설계 과정을 충분히 고려해야 한다.

FPGA 설계를 위해 부동 소수점의 Simulink 모델을 고정 소수점 연산으로 변환하고, Simulink HDL coder를 통해 자동 VHDL 알고리즘을 생성하여 시뮬레이션을 통해 검증한다. 이 과정으로부터 알고리즘 생성과 오류검출 및 검증에 소요되는 시간을 절감 할 수 있고, 높은 품질의 알고리즘 설계가 가능하다. FPGA는 Xilinx SPARTAN XC3S1000 을 적용한다.

2. SRF-PLL Simulink 모델 및 변환

2.1 Simulink를 이용한 SRF-PLL 모델링

그림 1은 FPGA를 통해 구현하려는 SRF PLL (Synchronous Reference Frame Phase Locked Loop) 제어기법의 블록도이며, 그림 2는 simulink를 이용한 모델링을 나타낸다. 3상 정현파는 계통 선간전압 220V, 주파수 60Hz의 크기를 입력으로 하는 Simulink 모델은 1/360만큼 Down scaling 하여 적용하였다. 식 (1), (2)은 적용된 정지 좌표계, 동기 좌표계 변환식이다.

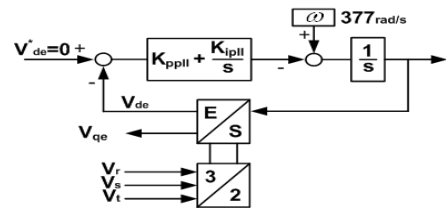


그림 1. SRF-PLL Block Diagram

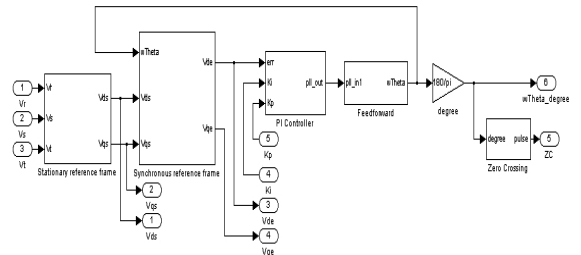


그림 2. SRF-PLL Simulink Model

$$\begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} = \begin{bmatrix} \cos \theta & \cos(\theta - \frac{2\pi}{3}) & \cos(\theta + \frac{2\pi}{3}) \\ -\sin \theta & -\sin(\theta - \frac{2\pi}{3}) & -\sin(\theta + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix} \begin{bmatrix} V_r \\ V_s \\ V_t \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} V_{de} \\ V_{qe} \end{bmatrix} = \begin{bmatrix} \cos \hat{\theta} & \sin \hat{\theta} \\ -\sin \hat{\theta} & \cos \hat{\theta} \end{bmatrix} \begin{bmatrix} V_{ds} \\ V_{qs} \end{bmatrix} \quad (2)$$

그림 2의 각 블록은 하위 시스템으로 정지 좌표계, 동기 좌표계, PI 제어기, 전향보상, 영점 검출 시스템을 나타낸다. 전향 보상성분 블록의 출력 \$\hat{\theta}\$은 PI 제어기에 의해 계통의 위상을 추종하여 동기좌표계 변환행렬을 구성하는 피드백 성분이다. Simulink 모델은 Floating Point 연산을 기반으로 모델링 된다.

2.2 부동소수점에서 고정소수점으로 변환

Simulink는 연속시간 영역의 부동소수점 연산 기반이므로 HDL 변환을 위해서는 고정소수점으로 변환 되어야 한다. 고정 소수점은 상대적으로 부동소수점 연산에 비해 연산속도가 빠르지만 정밀도가 낮은 단점을 갖는다. 그림 3은 부동소수점으로

설계된 simulink 모델이다. 삼각함수를 생성하는 블록은 고정소수점을 지원하지 않는다.

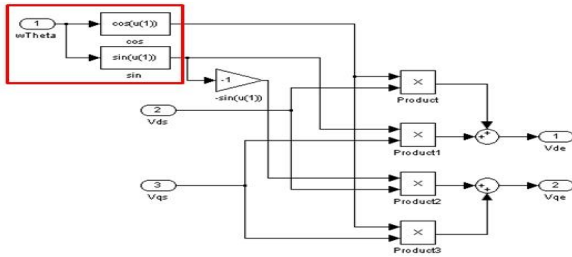


그림 3. 부동소수점 동기좌표계 하위시스템
Fig 3. Floating Point synchronous reference frame subsystem

그림 4는 고정소수점으로 변환하는 과정에서 삼각함수를 만들기 위해 대체된 블록이다.

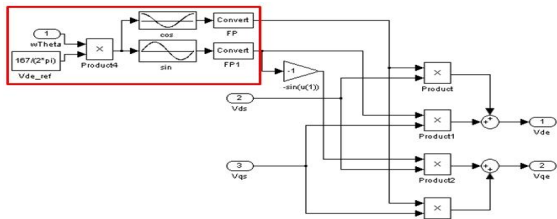


그림 4. 고정소수점 동기좌표계 하위시스템
Fig 4. Fixed Point synchronous reference frame subsystem

따라서 그림 4와 같이 Lookup Table로 대체 하였다. 고정소수점에서 sin, cos 함수는 최소, 최댓값 범위를 시스템의 샘플링 주파수에 의해 결정되는 분해능으로 등분화시켜 생성하였다. 따라서 모델의 샘플링 주파수를 10kHz로 설계하였기 때문에 60Hz 삼각함수를 만들기 위해 167등분 하였다. 고정소수점의 데이터 타입은 각 신호가 추종하는 데이터 값의 범위를 기준으로 결정할 수 있다. 변환된 고정소수점 데이터 타입은 각 신호에 따라 word length는 8bit, 16bit, 32bit 정수형 변수 타입을, Fraction length는 최적화된 precision을 갖도록 설계하였다.

3. 부동소수점과 고정소수점 결과 비교

그림 5와 6은 부동소수점과 고정소수점 연산 모델의 시뮬레이션 결과를 보여주고 있다.

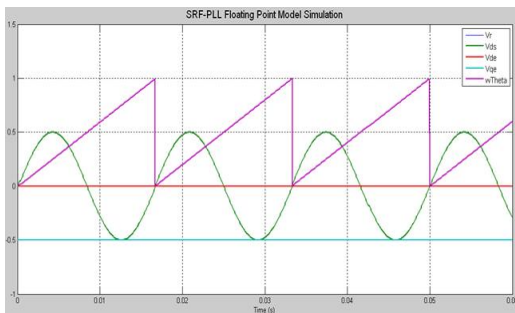


그림 5. 부동소수점 모델 시뮬레이션
Fig 5. Floating Point Model Simulation

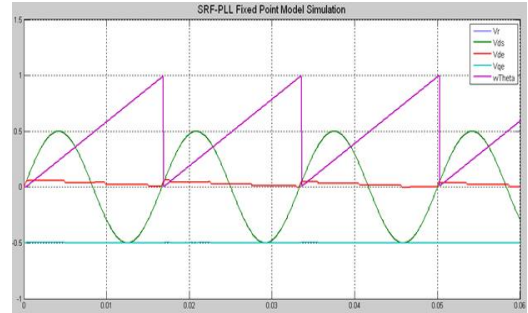


그림 6. 고정소수점 모델 시뮬레이션
Fig 6. Fixed Point Model Simulation

두 시뮬레이션 모두 정지좌표계로 변환된 d축 파형 V_d 는 계통전압 V_r 과 같고, 동기좌표계로 변환된 V_d 는 0, V_q 는 V_{peak} 이다. 또한 계통 위상을 추종하는 $\hat{\theta}$ 는 한 주기 동안 위상의 변화를 관찰하기 위해 degree로 변환한 것으로 $1/360$ 으로 스케일링 하여 1은 360도와 같다. 부동소수점과 고정소수점 모델의 파형을 비교해 보면, 정지좌표계 변환 결과와 계통의 위상을 추종하는 $\hat{\theta}$ 결과는 동일함을 알 수 있다. 그러나 고정소수점 모델의 동기좌표계의 변환 결과인 V_{de} , V_{qe} 는 부동소수점 결과와 비교했을 때 파형의 일그러짐을 확인할 수 있다. $\hat{\theta}$ 을 피드백 받아 동기좌표계 변환행렬이 구성되는 삼각함수는 167등분 된 Lookup Table의 출력 값이기 때문에 분해능에 따라 결정되는 오차가 존재하기 때문에 동기화가 이루어지지 않은 결과이다. 따라서 이 오차를 줄이기 위해서는 시스템의 샘플링 시간을 줄임으로써 분해능 높이는 방법을 고려할 수 있다. 다음 단계는 HDL 코드 변환 후 Xilinx SPARTAN XC3S1000에 적용하여 구현할 계획이다.

3. 결론

본 논문은 simulink 모델을 기반으로 하여 FPGA 알고리즘 설계 과정을 논의하였다. 고정소수점 변환은 각 신호가 추종하는 데이터 값의 범위 내에서 데이터 타입을 설정 할 수 있다. 부동소수점 연산에 비해 고정소수점 연산은 오차 발생에 의해 정밀도가 낮아진다. 부동소수점과 고정소수점 모델의 시뮬레이션 비교를 통해 삼각함수 변환 과정에서 분해능에 의해 오차가 발생한 동기좌표계 출력을 제외하고는 동일한 결과를 확인하였다.

참고 문헌

- [1] Shanblatt, M.A, Fluids. B, "A Simulink to FPGA implementation tool for enhanced design flow", Proceedings of the IEEE, pp. 89 90, 2005, June.
- [2] 정은수, 이학준, 설승기. "FPGA 를 이용한 고속 전류 제어 기의 구현", 전력전자학회논문집, pp.223 225, 2007. 7