

전압 불평형 계통을 위한 PLL 제어기

이 치 환
위덕대학교 전자공학과

A PLL Controller for Unbalanced Grid Voltage

Chi Hwan Lee
Dept. of Electronic Eng., Uiduk Univ.

ABSTRACT

정상분과 역상분의 전압이 존재하는 삼상 계통의 전압 불평형은 dq 변환에서 맥동전압 성분을 발생시킨다. 인버터의 동작을 위한 PLL의 위상 추적 능력은 맥동 전압에 의해 감소하게 된다. 정상분과 역상분의 분리를 통해 맥동 성분의 제거가 가능하지만 복잡한 PLL 구성을 갖는다. 본 연구는 불평형 상태에서 발생하는 dq 성분의 주파수가 기본파의 짝수 배만 존재하는 성질을 이용하여 comb 필터를 PLL 제어기에 적용하였다. 전압 불평형 및 고조파 성분에 대해서도 맥동 없는 dq 전압 획득이 가능하다. 기본 PLL 제어기에 단순 시간지연의 comb 필터로 건설한 PLL 제어기가 얻어진다. 제안된 PLL 제어기는 시뮬레이션으로 성능을 확인하였다.

1. 서론

태양광, 풍력에너지 등의 이용에 대한 여러 형태의 기술개발과 적용 방법이 연구 주제로 오랫동안 지속되고 있다. 그리드에 최적 상태의 에너지 공급은 완성단계에 도달하고 있으며, 과도상태에 대한 제어성능이 연구되고 있다. 그리드 연계운전에서 주파수와 위상을 정확하게 추종하는 것이 전력 품질을 결정하는 중요한 인수이다. Phase locked loop(PLL)은 모든 주파수 추종에 사용되는 일반적 방법으로, 기준주파수 신호와 추종신호의 위상을 비교하여 일치하도록 추종주파수를 제어하는 형태이다. PLL에서 추종 성능을 결정하는 PI제어기는 제어 루프의 해석으로 쉽게 결정 될 수 있다. 그리드 연계에서는 주파수의 정확성 및 위상의 순시적 변동을 억제하여, 발생하는 추종주파수의 위상잡음을 낮게 유지하여야 한다. 빠른 응답을 위해 사용하는 synchronous reference frame PLL (sPLL)은 성능 개선을 위한 많은 변형 구조를 가진다.

빠른 응답은 PI제어기를 빠르게 설정하면 가능하지만, 많은 고조파가 있는 전압일 경우, 큰 위상잡음을 발생하며, 불평형 전압에서는 역상분이 존재하여 dq 축 전압에 맥동이 있고 또한 큰 위상잡음으로 나타난다.

불평형 전압에서 나타나는 역상분 맥동은 다양한 dq 변환기의 도입으로 제거 할 수 있으나 제어기 구조가 매우 복잡하게 된다. 큰 THD 전압의 경우 LPF를 사용하여 고조파를 억제시키는 경우도 있으나 시간지연과 위상지연의 단점이 있다. sPLL에서 정상분 dq , 역상분 dq 변환기 두 개를 사용하며, 전향경로 보상기를 이용하여 속응성을 얻기도 한다.

본 연구는 d 축 전압에서 comb 필터 두 개를 설치하여 맥동을 제거하고 sPLL에 적용하여 전압 불평형 및 고조파 전압에 대해 안정된 위상 추적능력을 가지는 PLL 제어기를 설계하였다. 시뮬레이션으로 불평형 및 고조파에 대한 성능을 검증하였다.

2. PLL 제어기

그리드 전압을 고정좌표계 dqs 에서 동기좌표계 dq 로 변환하면 고정된 dq 축 전압을 얻을 수 있다. sPLL 위상오차를 검출하기 위해 그리드 전압을 q 축에 일치시키고 영을 기준으로 위상오차에 반응하는 d 축 전압을 이용한다.

$$\begin{bmatrix} v_{qs} \\ v_{ds} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} v_q \\ v_d \end{bmatrix} = \begin{bmatrix} \sin \theta & -\cos \theta \\ \cos \theta & \sin \theta \end{bmatrix} \begin{bmatrix} v_{qs} \\ v_{ds} \end{bmatrix} \quad (2)$$

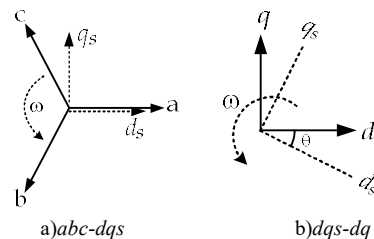


Fig. 1 Stationary and rotating dq axes

sPLL 제어기의 입력으로 사용되는 위상오차 신호는

v_d 이며 sPLL 구조는 그림 2와 같다.

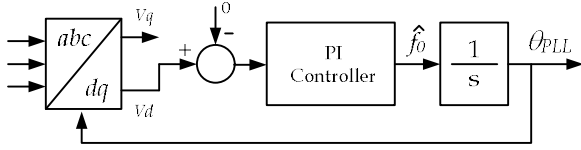


Fig. 2 sPLL system

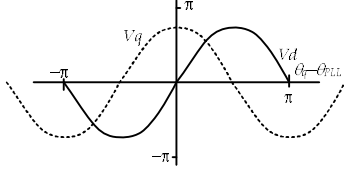


Fig. 3 Relationship phase error, V_q and V_d

sPLL 시스템은 위상 오차를 영으로 유지하기 위한 피드백 제어이며 PI 제어기에서 출력주파수 \hat{f}_0 를 결정하고 적분기를 통해 회전각 θ_{PLL} 을 생성한다. sPLL의 응답시간은 PI 제어기의 계수로 결정되므로 빠른 응답이 가능하다. 그러나 입력의 그리드 전원이 많은 고조파를 가지고 있으므로 v_d, v_q 가 순시적으로 변하는 특성이 있다. 빠른 응답에서는 큰 위상잡음이 발생하며 불안정한 회전각 θ_{PLL} 이 얻어진다. 느린 응답은 상대적으로 안정된 회전각 θ_{PLL} 이 얻어진다.

$$v_a = v_1 \sin(\omega t + \theta_1) + v_5 \sin(5\omega t + \theta_5) + v_7 \sin(7\omega t + \theta_7) \dots \quad (3)$$

$$v_b = v_a e^{-j2\pi/3}, v_c = v_a e^{-j4\pi/3}$$

불평형 그리드 전압은 기본파의 크기가 다른 경우이며 역상분의 영향으로 v_d, v_q 모두 120 [Hz] 맥동이 나타나며, 고조파는 5차, 7차, 11차 등이 존재하므로 v_d, v_q 에서는 6차, 12차 등으로 맥동전압을 발생시킨다. Comb 필터를 적용한 cPLL은 그림5와 같다.

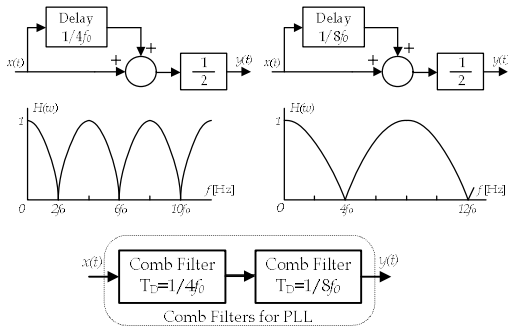


Fig. 4 Comb filters for sPLL

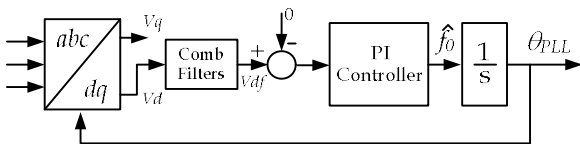


Fig. 5 Block diagram of cPLL system

3. 시뮬레이션

그림6은 상전압 v_a 가 50[%] 불평형 및 5차 고조파가 10[%] 포함된 경우의 v_d 와 comb 필터를 통과한 v_{df} 를 나타낸다. Comb 필터 시간지연 요소를 동작시키는 초기에는 맥동이 관측되지만 반주기 안에 맥동이 제거된다. 그림7에서 sPLL은 큰 위상오차가 나타나지만 cPLL에서는 안정된 위상특성을 보인다.

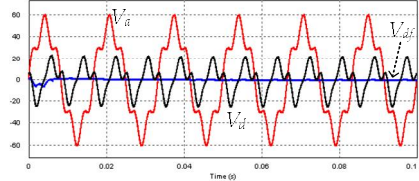


Fig. 6 V_d and V_{df} waveforms at unbalanced voltages

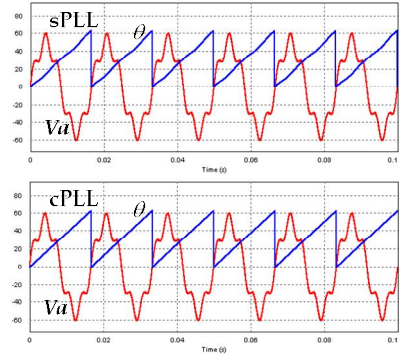


Fig. 7 Comparison phase error of cPLL and sPLL

4. 결론

전압 불평형 및 고조파 왜곡이 포함된 그리드에서 안정된 PLL 위상 추적 성능을 위한 PLL 제어기를 제안하였다. 두 개의 comb 필터를 dq변환 출력에 부가하여 역상분 맥동 성분을 제거하고, PLL 제어기의 속응성을 달성하였다. 두 comb 필터의 시간지연은 d축에 나타나는 짝수 배의 주파수를 고려하여 결정하고 시뮬레이션으로 성능을 확인하였다.

참고문헌

[1] Pedro Rodríguez, “Decoupled Double Synchronous Reference Frame PLL for Power Converters Control”, *IEEE Trans. PE*, vol. 22, no. 2, pp.584-592, 2007.

[2] Felice Liccardo, Pompeo Marino, and Giuliano Raimondo, “Robust and Fast Three-Phase PLL Tracking System”, *IEEE Trans. IA*, vol. 58, no. 1, pp.221- 231, 2011.

[3] Marcelo A. Pérez, “A Robust Phase-Locked Loop Algorithm to Synchronize Static-Power Converters With Polluted AC Systems”, *IEEE Trans. IE*, vol. 55, no. 5, pp.2185-2192, 2008.