

전류형 HVDC Valve의 단락시험에 대한 연구

이진희, 권준범, 백승택, 윤지호, 이욱화, 정용호
LS산전(주)

Study on the fault current test of HVDC thyristor valve

Jin Hee Lee, Jun Bum Kwon, Seung Taek Baek, Ji Ho Yun, Wook Hwa Lee, Yong Ho Chung
LS Industrial Systems

ABSTRACT

HVDC 시스템은 초고압 직류 송전 시스템으로써, AC를 DC로 변환하여 장거리 송전에 유리한 시스템이다. 현재 대륙간 송전 및 주파수 변환을 위한 BtB Topology에 많이 응용되고 있다. HVDC 시스템의 장점은 일정 송전거리 이상이 되면, DC가 AC에 비하여 손실율이 적고 유리한 장점이 있다.

해당 HVDC Valve는 전력을 AC DC AC로 변환하려면, HVDC Valve(Module)이라고 불리는 전력 변환 장치가 필수적이다. 해당 Valve를 현장에 설치하기 전에 IEC 60700 1 또는 CIGRE 같은 국제 표준 규격에 맞추어 Type Test를 진행 후에 통과 시 현장에 설치되어야 한다. 해당 Type Test는 크게 2가지로 분류되며, 절연 성능을 시험하기 위한 Dielectric Test 그리고, 실제 Thyristor Valve의 동작을 가혹 한 조건에서 시험하기 위한 Operational Test가 필요하다.

본 논문은 IEC 규격 (IEC 60700 1)에 의거 사이리스터 밸브에 대한 Operational Test 중 단락시험방법과 시험내용을 기술하고, 시험결과로 검증한다.

1. 서 론

신·재생 에너지의 용량이 증대하고, 수요가 늘어남에 따라, 국가 간, 도시 간의 송전이 중요한 이슈로 대두 되고 있으며, 해당 요구 조건을 만족시키기 위해서 초고압 직류송전 개발이 요구되고 있다. HVDC 시스템은 초고압 직류 송전 시스템으로써, AC를 DC로 변환하여 장거리송전에 유리한 시스템이다.

이 초고압 직류송전(HVDC)에는 전류형과 전압형으로 나뉘게 되는데, 해당 송전 전력을 AC DC AC로 변환하려면, HVDC Valve(Module)이라고 불리는 전력 변환 장치가 필수적이다. 해당 Valve를 현장에 설치하기 전에 IEC 60700 1 또는 CIGRE 같은 국제 표준 규격에 맞추어 Type Test를 진행 후에 통과 시 현장에 설치되어야 한다.^{[1],[2]}

2009년 HVDC 사업에 진출한 LS산전은 지난해 변환용 변압기(Converter transformer)를 국내 최초로 제작한데 이어, 올해 HVDC 시스템의 핵심 설비인 사이리스터 밸브(Thyristor valve)도 개발하였다. 따라서 본 논문은 IEC 규격에 따라 개발한 사이리스터 밸브의 단락시험 구성과 시험 항목을 기술하고 시험결과를 소개하고자 한다.

2. 본 론

2.1 단락 시험 항목 및 시험 방법

사이리스터 밸브는 운전 중 특정시간 동안 고장 전류 인가 시 온도 및 정격에 대한 내성 검증이 필요하다. 시스템의 단락 사고 발생 시에 한 주기 동안 또는 3주기 동안 견딜 수 있어야 한다. 이는 사고 발생시 시스템 제어기에서 단락 사고를 감지하고 계통 차단기를 동작 시키는데 필요한 시간인 수십 ms 동안에도 사이리스터 밸브는 견딜 수 있는 것을 의미한다. 본 시험은 'IEC 60700 1, 11. Valve fault current test'를 기준으로 단락 전류에 기인하는 최대 전류, 전압, 온도 스트레스에 대한 내력을 갖도록 밸브가 제대로 설계되었는지 검증한다.^{[3],[4]}

그림 1은 단락전류시험을 위한 시스템 구성도를 나타낸다.

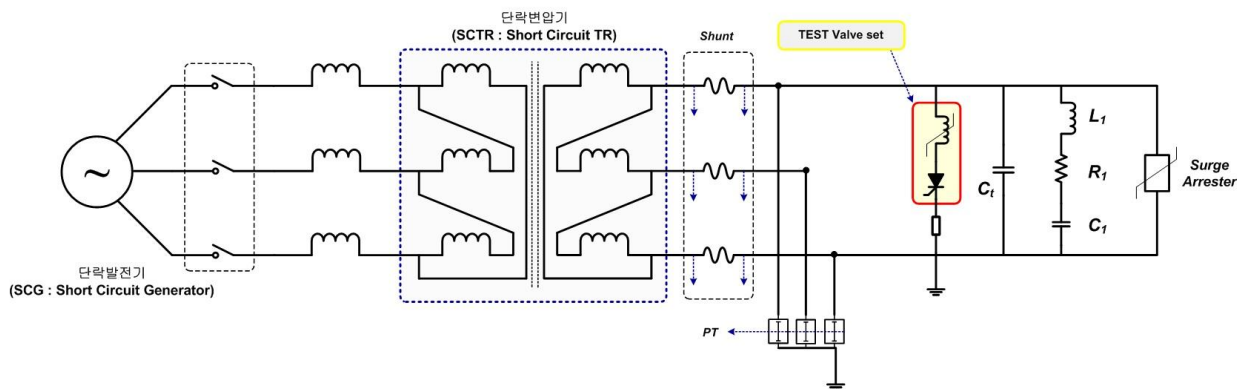


그림 1 단락전류시험 시스템 구성도
Fig. 1. Configuration of Fault current test system

2.2. 단일 루프 시험 (One-loop test)

시스템 사고 발생 시 단락전류에 의한 보호동작으로 Block 된 후 Valve에 인가되는 Re applied forward voltage에 대한 내성 시험이다. 사고발생시 단락전류로 인해 Thyristor의 Junction temperature가 급격히 상승함에 따라 Thyristor의 저지전압 특성이 변하므로 이런 경우에도 밸브의 파손없이 정전압을 견디는지 판정하는 시험으로 판정 기준은 다음과 같다.

최대 크기의 단일 루프 사고 전류를 차단해야 함.

부하 이탈에 의한 과전압을 포함한 역전압 및 순방향 전압을 저지해야 함.

2.3. 멀티루프시험 (Multi-loop test)

단락 사고 발생 시 Valve가 Block이 되지 않았을 경우에 대한 시험으로 단락전류의 인가 횟수는 실제 계통의 단로기 동작시간으로 제한이 된다. 통상적으로 단로기 동작 시간이 계통 주기의 3 cycle 정도이므로 이 시간 동안은 valve가 단락전류를 견뎌야한다.

즉, 이 시험은 시스템의 보호동작이 실패했을 경우에도 일정 시간 동안 Valve가 단락전류를 견디는지 판정하는 것이 시험하는 목적이다. 시험 판정 기준은 다음과 같다.

단일 루프 시험과 유사하지만 순방향 전압이 인가되지 않는 조건에서, 회로 차단기 트립까지 멀티 루프 사고 전류를 견뎌야 함.

2.4. 시험결과

당사가 개발한 DC 50kV급 HVDC Valve를 시료로 하여 당사 시험센터에서 시험한 결과를 나타냈다. IEC 60700 1 Section 11에 의거한 시험 조건은 표 1에 나타냈다.

그림 2는 단일 루프 단락시험 결과로 동기신호 인가시 한 주기 동안의 단락사고 발생을 나타낸다. 밸브 단락 발생시 Thyristor 밸브 양단 전압은 0이고, 순간 단락전류는 약 5.71kA가 도통되는 것을 나타낸다. 그리고, 다시 정상 동작을 하는 경우 역전압에 대해 저지되는 것을 보여준다.

그림 3은 멀티 루프 단락시험으로 3주기 연속으로 단락발생 시 시험결과를 나타낸다. 시험 조건은 단일 루프 시험과 동일하나 3주기 동안 연속으로 밸브 단락이 지속되는 경우로 2주기 연속으로 단락이 발생하고 다시 밸브가 정상 동작 할 경우 밸브 양단 역전압에 대해 정상적으로 저지하고 동작됨을 보여준다.

시험 결과 IEC 60700 1 Section 11에 의거한 시험조건, 시험 파라미터에 대해 정상 성능이 구현되는 것을 나타낸다.

표 1. 단락 시험 조건

Table 1. The condition of fault current test

항목	범위		
	단일루프	멀티루프	
온도조건	주변온도	10~50℃	
	Thyristor Junction 온도	< 65℃	
	냉각수 온도 (밸브입구)	50±1℃	
	냉각수 온도 (밸브출구)	< 60±1℃	
단락전류	단락전류크기	5.7kA	
	단락전류시간	15ms	15ms (3주기)
밸브전압	최대저지전압	35kV	

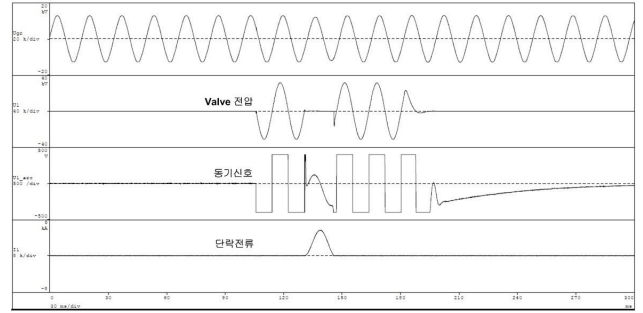


그림 2 단일 루프 시험 결과
Fig. 2. Result of one-loop test

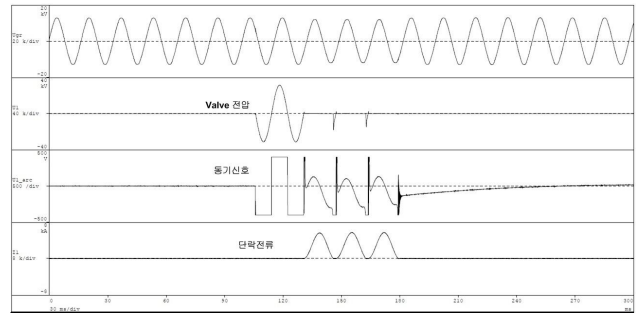


그림 3 멀티 루프 시험 결과
Fig. 3. Result of multi-loop test

3. 결 론

본 논문은 IEC 규격 (IEC 60700 1)에 의거 사이리스터 밸브에 대한 Operational Test 중 단락시험방법과 시험 구성도, 시험내용을 기술하였다. 또한, 당사가 개발한 DC 50kV급 HVDC Valve를 시료로 적용하여 시험결과를 통해 검증하였다.

향후, 단락전류로 발생하는 스트레스의 내성설계와 과도전류 지속시간에 따른 온도변화, 설계에 따른 Thyristor 온도 비교 분석을 통해 HVDC 신뢰성 향상과 내구성 검증을 위한 연구를 지속할 계획이다.

참 고 문 헌

- [1] 백승택, 정택선, 권준범, 정용호, 이덕진, 'DC 50kV급 HVDC Valve 개발', 전력전자학회, 전력전자학회 2012년도 전력전자학술대회 논문집 2012.7, pp. 303~304
- [2] 권준범, 백승택, 이욱화, 정용호, 'HVDC Valve Operational Test를 위한 개선된 합성시험회로', 전력전자학회 2013년도 전력전자학술대회, 2013. 7. pp 518~519
- [3] IEC 60700 1 'HVDC Valve Type Test'
- [4] A New Synthetic Test Circuit For the Operational Tests of HVDC Thyristor Modules", PELS APEC 2001 Conference on March 04~08, 2001