

# eFuse Pin 을 고려한 Wafer 전기적 특성검사의 개선에 관한 연구 A Study on Wafer-level Electrical Test for eFuse Pin

\*#하치환<sup>1</sup>, 장연봉<sup>2</sup>, 이종학<sup>2</sup>, 함상식<sup>2</sup>

\*# C. H. Ha(chihwan.ha@samsung.com)<sup>1</sup>, Y. B. Jang<sup>2</sup>, J. H. Lee<sup>2</sup>, S. S. Ham<sup>2</sup>

<sup>1</sup>삼성전자 공과대학교 반도체 공학부, <sup>2</sup>삼성전자

Key words : OTP, eFuse, Open/Short Test

## 1. 서론

최근 기술의 발전과 더불어 반도체에 더 많은 기능을 요구하고 있으며, 보안이나 암호화 코드 저장에 대한 요구는 eFuse 와 One-Time-Program(OTP)라는 새로운 해결책을 만들었다. 이러한 특수목적과 공정, 제조상의 이점으로 eFuse 와 OTP 기능의 Pin 사용이 증가되고 있으며, 이들에 대한 검사 신뢰성도 결코 간과할 수 없는 부분이 되었다. eFuse 를 포함하는 제품의 양산을 위한 다양한 검사 중 반도체 Wafer 레벨에서의 전기적 특성검사는 Chip 의 양품과 불량품을 판단하는 기준이 되는 매우 중요한 공정이다 [1]. 그러나, eFuse 에 사용되는 Pin 의 검사방법이 기존의 일반적인 Pin 의 검사방법과 호환이 되지 않기 때문에, 별도의 검사 방안을 마련하여 진행 해야 하므로, 이로 인하여 비용이 증가하는 문제점이 있다.

본 논문은 eFuse 와 OTP 를 포함하는 반도체 제품의 Wafer 레벨 검사를 위해서 별도의 추가 장비 없이 기존 검사장비를 이용할 수 있는 방법을 제안하고 그 효과를 확인하고자 한다.

## 2. 본론

### (1) Traditional Wafer Test

전통적인 Wafer 레벨 검사는 Fig.1 과 같이 검사장비인 Tester 와 Probe Card 에 의해 진행된다. 장비와 함께 Wafer 의 Open/Short 측정이 우리가 알고 있는 통상적인 Wafer 의 전기적 특성검사이다. 제품비용은 Test 를 얼마나 빨리 하느냐와 깊은 관련이 있다. 평균 검사시간을 줄일 수 있는 방법 중 하나는 Pin 의 Open/Short 검사를 이용하여 가능한

한 빨리 불량 Chip 을 선별 하는 것이다. Open/Short 검사는 Automatic Test Equipment (ATE)와, Precision Measurement Unit(PMU)를 이용하여 검사 Pin 을 직렬 DC 전류 검사법으로 Pin 의 Open/Short 불량여부를 확인하는 방법이다.

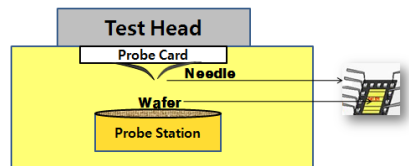


Fig. 1 Test equipment of wafer level tester

### (2) Specially Designed Pin Test

Fig.2 는 일반적인 Wafer 검사순서를 나타낸다.

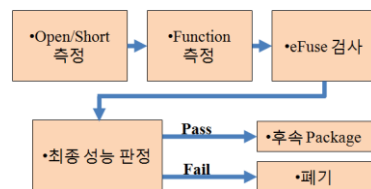


Fig. 2 Test procedure of wafer level test

앞에서 설명한 바와 같이 여러 검사 단계 중 가장 먼저 수행하는 것이 Pin 의 Open/Short 측정 단계이다. 이 단계의 검사를 통하여 불량 Chip 을 걸러내고 난 후 제품의 Function 동작 여부를 측정하며, 다음 단계로서 eFuse 검사를 수행한다.

eFuse 는 여러 개의 배열로 구성되어 있으며,

원하는 Fuse 에 타격을 주어 암호화 코드를 입력하게 한다. Fig.3 은 eFuse Pin 을 검사하기 위한 Probe Card 와 설비, Wafer 의 관계 구조를 나타낸다.

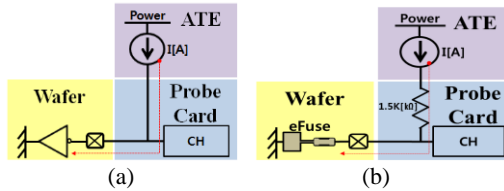


Fig. 3 Test configuration of (a) Normal pin and (b) eFuse pin

Fig.3 의 (a)는 일반적인 Pin 구조와 이를 검사하기 위한 ATE 의 구성을 나타낸다. ATE 에서 특정 전류 I 를 흘려주고 Pin 의 전압 값을 측정하는데, 만약 Wafer 내부에서 Short 불량 발생했을 경우 Pin 의 측정전압이 정상 수치 대비 달라지게 되어 Pin 의 불량 여부를 판단할 수 있다. Fig. 3 의 (b)는 eFuse 를 사용한 Pin 구조와 ATE 의 구성을 나타낸다. Fig.3(a)의 일반적인 Pin 을 검사하기 위한 구성과 달리 eFuse Pin 은 민감한 Fuse 중 Target 에만 Fusing 을 해야 하므로 일반 Open/Short 측정을 하는 Pin 과는 다르게 Probe Card 의 제품 규격에 맞는 저항이 부착되어 있다. 따라서, Fig.3(a)의 일반 Pin Probe Card 를 eFuse Pin 의 검사에 사용하지 못하므로, eFuse pin 검사단계에서 Probe card 교체로 인한 추가 비용과 추가 검사 시간이 드는 문제가 발생한다.

### (3) eFuse 적용시 Pin Test 문제점 해결방안 및 실험결과

앞에서 설명한 바와 같이 eFuse Pin 측정을 위한 Probe Card 부착저항으로 인하여 Open/Short 측정에서는 불필요한 저항 값을 만들어 Test 결과에 오류를 일으킬 수 있다.

본 논문에서는 Open/Short 측정 신뢰성 확보를 위한 두 가지 해결방안을 제시 하였다.

첫째, Probe Card 의 Relay Control 를 이용하는 방법이다. Relay 를 Probe Card 저항 부에 부착하여 제어함으로써 Open/Short 측정과 eFuse 검사의 동시 이용이 가능하지만 Probe Card 를 다시 제작하여야 하고 추가 부품이 드는 단점이 있다.

둘째, Open/Short 측정에서 Forcing Current 의 구

간 변경을 통해 Measure Voltage 의 변화를 확인하고 Open 측정 시 전체 Test Pin 을 확인 및 변별력을 가진 구간을 찾아 적용하는 Release of Forcing Current Range 방법이다. Fig.4 에서 실제 Forcing Current 구간을 변경하여 Open Test 시 eFuse Pin 과 Probe Card 의 저항성분을 감안하고도 변별력을 가지는 최적 구간을 확인하였다.

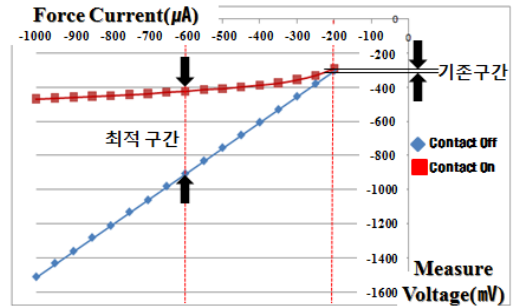


Fig. 4 Test results of Forcing Current Range Method

위 실험결과 기존의 -200uA 검사전류를 -600uA 로 변경함으로써 Low Limit 범위인 -800mV 를 기준으로 불량 Pin 을 걸러내기 위한 충분한 변별력을 가짐을 확인하였다.

### 3. 결론

본 논문에서 Release of Forcing Current Range 방법이 eFuse Pin 에 대한 Wafer 의 특성검사 방법 중 신뢰성을 확보하고, 비용과 공정상 이점을 가지면서도 실제 적용 가능한 방법임을 확인하였다. 이는 Probe Card 수정이나 제 제작에 따른 비용발생 문제없이 Open/Short 측정의 신뢰성을 확보하는 최선의 방법이 될 수 있다.

### 후기

이 연구에서 제안한 Release of Forcing Current Range 방법은 삼성전자 반도체총괄 Sys.LSI 사업부 에서 수행되었습니다

### 참고문헌

[1] Lin,S.Y et al “Reducing the overkills and retests in wafer testing process”, Advanced Manufacturing Conference and Workshop 2003 IEEE/SEMI