

팬-아웃 웨이퍼 레벨 패키지에서 휨을 최적화하기 위한 연구

Study of fan-out wafer level package to optimize the warpage

*이미경¹, #좌성훈¹, 정진욱², 옥진영²,

*M.K. LEE¹, #S.H. Choa(shchoa@seoultech.ac.kr)¹, J.W. Jeong², J.Y. Ock²,

¹서울과학기술대학교 NID융합기술대학원, ²하나마이크론

Key words : Fan-out Wafer level package, FWOLP, simulation, warpage

1. 서론

현재 스마트폰, 태블릿, 등의 최신 휴대용 전자기기 제조사들이 얇고, 가벼운 휴대용 디바이스 제품을 요구하는 소비자로 인하여, 초소형, 초박형 반도체 칩의 제조가 요구되고 있다. 이러한 요구에 따라 현재 chip scale package (CSP)가 개발되었으며, through silicon via (TSV), package on package (POP), fan-out wafer level package (FOWLP) 등이 연구되고 있다. FOWLP는 개별 패키지 된 칩보다 사이즈가 작으며, 기존의 POP에 비하여 패키지를 얇게 구현할 수 있고, 원가 경쟁력 향상에 도움을 줄 수 있다. 하지만, warpage가 기존의 패키징 보다 많이 발생하여 핸들링이 어렵다는 단점을 가지고 있다.[1] 특히 FOWLP에서는 Redistributed Layer (RDL) 공정 전 EMC 몰딩으로 인한 warpage 발생으로 인하여 연구개발의 어려움을 겪고 있다.[2][3]본 논문에서는 FOWLP에서 발생하는 휨을 최소화하기 위하여 각각의 특성이 다른 몇 가지 EMC 및 캐리어(carrier)를 사용하여 웨이퍼 레벨에서 몰딩을 한 후, warpage를 줄일 수 있는 방법을 연구하였다. 또한 칩과 EMC 두께를 변화함으로써 FOWLP에서 휨을 최적화하기 위한 연구를 하였다.

2. 해석조건

각각의 공정과 재료들이 FOWLP 웨이퍼의 휨 현상에 어떠한 영향을 미치는지 이해하기 위하여 상용 수치 해석프로그램인 ANSYS 12.1 을 사용하여 유한요소 해석을 수행하였다. 본 논문에서는 1 mm의 두께를 가지고 있는 alloy 재질의 8 인치 carrier 와 0.5 mm의 EMC 재료를 사용하였으며, die 사이즈는 5 x 5 mm이다. 대칭 구조로 인해

1/4 모델을 사용하였고, FOWLP의 구조는 Fig. 1 과 같다. 패키지 재료에 대해서는 탄성 물성이 고려되며, 각 패키지 재료의 물성은 Table 1, Table 2 와 같다. carrier는 alloy, silicon aluminum등이 사용되었으며, 각각의 EMC 물성은 Young's modulus는 0.022 GPa 에서 30 GPa, CTE 는 7 ppm/°C 에서 25 ppm/°C, Tg는 115°C 에서 185°C 사이의 변화율을 가지고 있다.

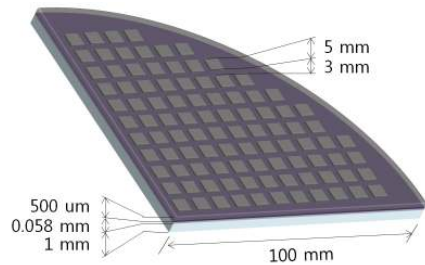


Fig. 1 FOWLP structure

Table 1 Material properties

	Young's modulus (GPa)	Poison's ratio (ν)	CTE α1, α2 (ppm/°C)
Die	112.4	0.28	2.62
Adhesive tape	0.0028	0.4	205
Alloy	148	0.3	5
Silicon	150	0.17	2.9
Aluminum	69	0.33	23
Copper	117	0.33	17
SUS304	193	0.29	17.8
Nickel	210	0.31	13
Wrought iron	190	0.3	12
Cast iron	83	0.2	9.9
Titanium alloy	110	0.33	8
Steel	200	0.27	11

Table 2 Material properties of EMC

	Young's modulus (GPa)	Poisson's ratio (ν)	CTE α1, α2 (ppm/°C)	T _g (°C)	
EMC	A	8.5	0.3	25 / 95	140
	B	17	0.3	7 / 37	115
	C	19.8	0.3	7 / 28	165
	D	20	0.3	11 / 38	185
	E	21.5	0.3	8 / 32	150
	F	22	0.3	7.4 / 33	160
	G	30	0.3	8 / 34	145
	H	23.5	0.3	10 / 44	150
	I	23	0.3	9 / 45	145

3. 해석결과

Fig. 2 는 EMC 재료의 종류에 따른 warpage 결과를 보여준다. 대체적으로 T_g값이 높은 c, d, f, 등의 EMC 재료가 warpage가 적은 것을 알 수 있다. 또한, T_g가 비슷한 e와 h 를 비교하였을 때, warpage 는 CTE의 영향에 민감한 것을 관찰 할 수 있다.

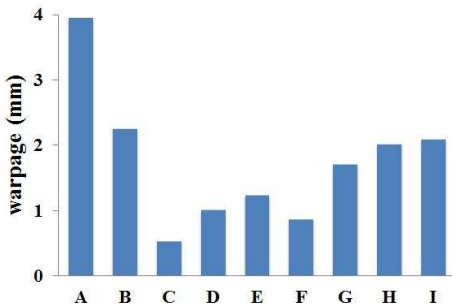


Fig. 2 Warpage results for different EMC materials

Fig. 3은 carrier 재료의 종류에 따른 warpage 결과 값을 보여준다. Carrier 의 CTE가 5~12 사이인 carrier 사용시 휨이 최소로 발생되며, 약 8 ppm/°C를 기준으로 CTE가 8 ppm/°C보다 높을 경우 crying, 낮은 경우 smile 형상을 보이고 있다. 또한 CTE가 비슷한 copper과 SUS304를 비교 하였을 때 Young's modulus 가 높을수록 warpage 감소한다는 것을 알 수 있다.

Fig. 4는 칩과 EMC 두께 비율에 대한 warpage 경향을 보여주며, 칩의 두께가 두꺼울수록 warpage 가 덜 발생하는 것을 알 수 있다.

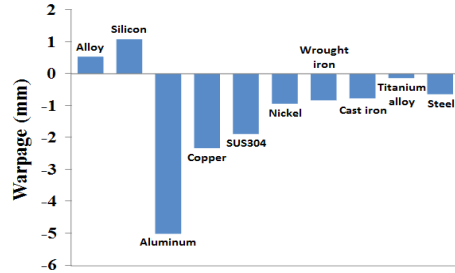


Fig. 3 Warpage results for different carrier materials

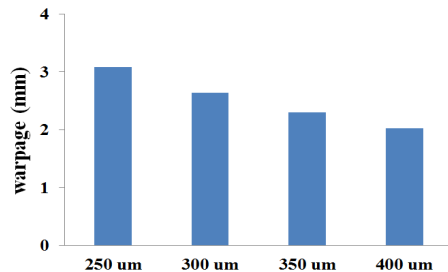


Fig. 4 Warpage results for die ratio

4. 결론

본 논문에서 사용된 다양한 EMC 및 carrier 재료의 특성을 분석한 결과 carrier의 재질은 Young's modulus 가 높고, CTE가 8 ppm/°C에 가까울수록 warpage가 적게 발생되며, EMC는 경화 온도 보다 높은 T_g 값을 가지며, CTE 가 낮은 EMC가 warpage 가 적게 발생하는 것을 알 수 있다. 또한 die 두께변화를 통하여 EMC두께 대비 die의 두께가 두꺼울수록 warpage가 덜 발생하는 것을 알 수 있다. 이와 같은 결과를 통해 패키지 재료의 선정과 두께변화를 통하여 보다 효과적으로 warpage가 감소된다는 것을 알 수 있다.

참고문헌

1. J. Hong, S. Gao, "Parametric Design Study for Minimized Warpage of WL-CSP," 2nd Electronics System Integration Technology Conference Greenwich, 187-192, 2009.
2. E. Kuah, JY. Hao, "Encapsulation Challenges for Wafer Level Packaging," Microelectronics and Packaging Conference, 2009.
3. S. C. Chong, C. H. Khong, "Process Challenges and Development of eWLP," Electronics Packaging Technology Conference, 12, 527-531, 2010.