

NW-P005

## Si<sub>x</sub>Ge<sub>1-x</sub>/Si/Si<sub>x</sub>Ge<sub>1-x</sub> Channel을 가진 JFET의 전기적 특성

박병관, 유주태, 김동훈, 김태환

한양대학교 전자통신컴퓨터공학과

P-N 접합에 의해 절연된 게이트를 통해 전류 통로를 제어하는 접합형 전계효과 트랜지스터 (Junction Field Effect Transistors; JFETs)는, 입력 임피던스가 크고, 온도에 덜 민감하며, 제조가 간편하여 집적회로(IC) 제조가 용이하고, 동작의 해석이 단순하다는 장점을 가지고 있다. 특히 JFET는 선형적인 전류의 증폭 특성을 가지고 있으며, 잡음이작기 때문에, 감도가 우수한 음향 센서의 증폭회로, 선형성이 우수한 증폭회로, 입력 계측 증폭 회로 등에 주로 사용되고 있다. 기존에 사용되는 JFET 소자는 구조와 제조 공정에 따라서, 컷 오프 전압( $V_{cut-off}$ )과 드레인-소스 포화 전류( $I_{DSS}$ )의 변화가 심하게 발생하여, 소자의 전기적 특성 제어가 어렵고, 소자의 수율이 낮다는 문제점이 있다.

본 연구에서는 TCAD 시뮬레이션을 통해 게이트 전압에 의해 채널이 형성되는 채널 층의 상하부에 각각 Si<sub>x</sub>Ge<sub>1-x</sub>로 이루어진 상부 및 하부 확산 저지층을 삽입한 JFET 소자 형성하여, 게이트 접합부의 접합 영역 확산을 저지하고, 상기 게이트 접합부가 계면에서 날카로운 농도 구배를 갖도록 함으로써, 공정 변화에 따른 전기적 특성의 편차가 작아지는 JFET 소자 구조를 만들어 전기적 특성을 개선하였다. JFET은 채널층에 삽입된 Si<sub>x</sub>Ge<sub>1-x</sub> 층의 두께, Ge 함유량 및 n채널층의 두께를 변화하였을 때, off 상태의 게이트-소스 전압이 감소한 반면에 드레인-소스 포화 전류( $I_{DSS}$ )와 컨덕턴스(gm) 값이 증가하였다. 삽입된 Si<sub>x</sub>Ge<sub>1-x</sub>층이 Boron이 밖으로 확산되는 현상이 감소하여 채널이 좁아지는 현상을 막아 소자의 전기적 특성을 개선함으로써 제조공정의 변화에 관계없이 컷오프 전압을 정확하고 안정되게 제어할 수 있고 이를 통해 소자의 수율을 높일 수 있을 것으로 기대된다.

**Keywords:** JFET, TCAD