TW-P039

비대칭 FinFET 낸드 플래시 메모리의 동작 특성

유주태, 김동훈, 김태환

한양대학교 전자통신컴퓨터공학과

플래시 메모리는 소형화가 용이하고, 낮은 구동 전압과 빠른 속도의 소자 장점을 가지기 때문에 휴대용 전자기기에 많이 사용되고 있다. 현재 사용되고 있는 플로팅 게이트를 이용한 플래시 메모리 소자는 비례축소에 의해 발생하는 단 채널 효과, 펀치스루 효과 및 소자 간 커플링 현상과 같은 문제로 소자의 크기를 줄이는데 한계가 있다. 이 문제를 해결하기 위해 FinFET, nanowire FET, 3차원 수직 구조와 같은 구조를 가진 플래시 메모리에 대한 연구가 활발히 진행되고 있다. 본 연구에서는 비례축소의 용이함과 낮은 누설 전류의 장점을 가진 FinFET 구조를 가진 낸드 플래시 메모리의 전기적 특성에 대해 조사하였다. 메모리의 집적도를 높이기 위하여 비대칭 FinFET 구조를 가진 더블 게이트 낸드 플래시 메모리 소자를 제안하였다. 비대칭 FinFET 구조는 더블 게이트를 가진 낸드 플래시에서 각 게이트 간 간섭을 막기 위해 FinFET 구조의 도핑과 위치가 비대칭으로 구성되어 있다. 3차원 TCAD 시뮬레이션툴인 Sentaurus를 사용하여 이 소자의 동작특성을 시뮬레이션하였다. 낸드 플래시 메모리 소자의 게이트 절연 층으로는 high-k 절연 물질을 사용하였고 터널링 산화층의 두께는 두 게이트의 비대칭 구조를 위해 다르게 하였다. 두 게이트의 비대칭 구조를 위해 각 fin은 다른 농도로 인으로 도핑하였다. 각 게이트에 구동 전압을 인가하여 멀티비트 소자를 구현하였고 각 구동마다 전류-전압 특성과 전하밀도, 전자의 이동도와 전기적 포텐셜을 계산하였다. 기존의 같은 게이트 크기를 가진 플로팅 게이트 플래시 메모리 소자에 비해 전류-전압곡선에서 subthreshold swing 값이 현저히 줄어들고 동작 상태 전류의 크기가 늘어나며 채널에서의 전자의 밀도와 이동도가 증가하여 소자의 성능이 향상됨을 확인하였다. 또한 양족 게이트의 구조를 비대칭으로 구성하여 멀티비트를 구현하면서 게이트 간 간섭을 최소화하여 각 구동 동작마다 성능차이가 크지 않음을 확인하였다.

Keywords: FinFET, High-k, Flash memory