

자체 증폭에 의하여 저 전압 구동이 가능한 이중 게이트 구조의 charge trap flash (CTF) 타입의 메모리

장기현, 장현준, 박진권, 조원주

광운대학교 전자재료공학과

반도체 트랜지스터의 집적화 기술이 발달하고 소자가 나노미터 크기로 집적화 됨에 따라 문턱 전압의 변동, 높은 누설 전류, 문턱전압 이하에서의 기울기의 열화와 같은 단 채널 효과가 문제되고 있다. 이러한 문제점들은 비 휘발성 플래시 메모리에서 메모리 윈도우의 감소에 따른 retention 특성을 저하시킨다. 이중 게이트 구조의 metal-oxide-semiconductor field-effect-transistors (MOSFETs)은 이러한 단 채널 효과 중에서도 특히 문턱 전압의 변동을 억제하기 위해 제안되었다. 이중 게이트 MOSFETs는 상부 게이트와 하부 게이트 사이의 capacitive coupling을 이용하여 문턱전압의 변동의 제어가 용이하다는 장점을 가진다. 기존의 플래시 메모리는 쓰기 및 지우기 (P/E) 동작, 그리고 읽기 동작이 채널 상부의 컨트롤 게이트에 의하여 이루어지며, 메모리 윈도우 및 신뢰성은 플로팅 게이트의 전하량의 변화에 크게 의존한다. 이에 따라 메모리 윈도우의 크기가 결정되고, 높은 P/E 전압이 요구되며, 터널링 산화막에 인가되는 높은 전계에 의하여 retention에서의 메모리 윈도우의 감소와 산화막의 물리적 손상을 초래하기 때문에 신뢰성 및 수명을 열화시키는 원인이 된다.

따라서 본 연구에서는, 상부 게이트 산화막과 하부 게이트 산화막 사이의 capacitive coupling 효과에 의하여 하부 게이트로 읽기 동작을 수행하면 메모리 윈도우를 크게 증폭시킬 수 있고, 이에 따라 동작 전압을 감소시킬 수 있는 이중 게이트 구조의 플래시 메모리를 제작하였다. 그 결과, capacitive coupling 효과에 의하여 크게 증폭된 메모리 윈도우를 얻을 수 있음을 확인하였고, 저전압 구동 및 신뢰성을 향상시킬 수 있음을 확인하였다.

감사의 글

이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No.2012-0002489).

Keywords: 이중 게이트, Capacitive coupling, Retention