

# The Performance Characterization and Optimization of GaAs Nanowires based Field-Effect Transistors by EDISON Simulator

장호균<sup>1</sup>, 이승욱<sup>2</sup>, 김현정<sup>1</sup>

고려대학교 전기전자공학과, 서울특별시 성북구 안암로 145, 대한민국.<sup>1</sup>  
고려대학교 나노반도체공학과, 서울특별시 성북구 안암로 145, 대한민국.<sup>2</sup>  
e-mail: pleastandup@korea.ac.kr

## ABSTRACT

현재 반도체 산업에서는 고성능 저전력과 더불어 고 집적도가 가능한 재료 및 구조에 크게 주목하고 있고 여러 가지 이슈를 만족시키기 위해서 다양한 재료와 구조가 많이 연구 되고 있다. 특히 3-5족 화합물로 만들어진 나노선은 소자의 미세한 구조적 제어를 가능하게 하고 1차원 구조적 특성에 의해 전기적 특성이 우수하여 전계효과 트랜지스터(FET) 소자에 적용 시키기 적합하다고 알려져 있다.[1,2] 이번 연구에서는 최근 많이 연구되고 있는 GaAs 나노선을 기반으로 하는 전계효과 트랜지스터의 소자특성 및 전기적인 특성에 대해 EDISON 시뮬레이터를 이용해 알아보았다. 또한 채널 두께 및 길이와 게이트 산화막 층 두께에 따른 소자의 전기적 특성에 대해서도 연구하였다. 이를 통해 GaAs 나노선 기반 전계효과 트랜지스터의 최적화된 소자를 알아 보았다.

## INTRODUCTION

GaAs 나노선은 크기조절이 용이한 나노물질 이기에 이를 전계효과 트랜지스터에 이용 시 채널의 크기를 쉽게 조절할 수 있다. 게다가 나노선은 직경이 굉장히 작아졌을 때 전자들의 양자구속효과(quantum confinement effect) 를 기대할 수 있어 이렇게 양자구속 된 전자는 옴의 법칙을 따르지 않는 거동을 보이고 또한 재료의 에너지 밴드구조를 변화 할 수 있는 효과도 기대 할 수 있다. 이렇듯 나노선의 크기 변화는 전계효과 트랜지스터에 효과적인 변수가 될 수 있기에 본 연구는 채널 크기를 변화함에 따라서 전계효과 트랜지스터의 전기적 특성이 어떻게 변하는가에 초점을 맞춰 진행하였다. 게다가 산화층의 두께나 게이트의 크기에 따라서도 여러 가지 전기적 특성변화를 EDISON 시뮬레이션을 통해서 진행하고자 하였다.

## METHODS

GaAs 나노선 기반의 전계효과 트랜지스터소자의 구조를 도식화하여 Fig 1 에 나타내었다. 이 실험에서 채널의 물질은 GaAs 나노선이 사용되었다. 소자는 먼저 양 끝에 소스와 드레인이 존재하고 그 사이에 GaAs

나노선을 이용하여 채널을 형성한다. 그리고 실리콘 산화막(SiO<sub>2</sub>)이 채널을 감싸고 그 외부에 게이트전극을 형성한다. 소스와 드레인 사이의 거리는 10nm 이고 채널과 게이트의 길이는 각각 20nm, 4nm 이다. 그리고 채널을 감싸고 있는 산화층의 두께는 1nm 이다. 이러한 조건의 소자에서 채널의 두께와 폭을 조절한, 즉 나노선의 단면적을 각각 1 nm<sup>2</sup>, 4 nm<sup>2</sup>, 9 nm<sup>2</sup> 로 형성하였을 때, 전계효과 트랜지스터의 전기적 거동이 어떻게 나타나는지에 대해서 게이트와 드레인 전압 변화에 따른 전류변화를 EDISON 시뮬레이션을 이용하여 알아보았다.

## RESULTS & DISCUSSION

EDISON 시뮬레이션을 이용하여 GaAs 나노선의 직경을 변화시켜 채널의 단면적을 조절한 전계효과 트랜지스터의 I-V 특성 곡선을 얻을 수 있었다. 먼저 소스-드레인 간 전압을 1V에 고정하고 게이트 전압을 변화시키면서 소스와 드레인 간의 전류 변화에 대한 그래프를 Fig. 2에 나타내었다. 게이트 전압이 증가함에 따라 소스-드레인 간의 전류의 흐름이 발생하는데 나노선의 단면적이 1 nm<sup>2</sup>, 4 nm<sup>2</sup>, 9nm<sup>2</sup>로 커질수록 문턱 전압(V<sub>th</sub>)가 각각 1.7V, 1.13V, 0.9V로 점점 낮아지는 것을

확인 할 수 있다. 문턱 전압은 채널이 형성되기 시작하는 임계전압을 나타내는 것으로 나노선의 단면적이 늘어남에 따라서 내부 채널을 형성하는 전자들이 많아지고 전류흐름을 방해하는 산란이 줄어드는 것에 기인한다. 이번 시뮬레이션 실험에서 게이트 전압의 변화를 5V까지만 진행하여 채널이 완전히 형성되어 온 상태가 되는 것을 확인하지는 못하였다. 하지만 최대 전류 값과 최소 전류 값을 기준으로 나노선의 단면적에 따른 점멸비를 비교하였을 때에도 단면적이 넓어짐에 따라 점멸비가 증가함을 Fig. 2의 그래프를 통해서 예측 가능하다. 이러한 전기적 특성이 나노선의 단면적이 증가함에 따라 좋아지는 이유는 앞서 설명한 나노선의 면적이 증가함에 따라 내부에서 채널을 형성할 수 있는 전하 이동자들의 수가 증가하고 서로간의 충돌과 산란이 줄어들며 전하의 이동도도 증가하는 것으로 생각 할 수 있다.

CONCLUSION

이번 EDISON 시뮬레이션을 이용한 연구에서는 게이트 전압에 따른 소스-드레인 간 전류변화에 대한 결과만을 얻었지만, 현재 드레인 전압 변화에 따른 소스-드레인 간 전류변화와 채널 길이나 산화층의 두께 변화에 따른 전기적 특성 변화 등의 시뮬레이션이 진행 중이다. 이처럼 EDISON의 여러 가지 시뮬레이션 도구를 이용하여 크기조절이 가능한 GaAs 나노선 기반의 전계효과 트랜지스터의 전기적 특성 변화에 대한 연구는 현재 반도체 산업에서 요구되는 여러 가지 조건들을 충족시킴에 큰 역할을 할 수 있을 뿐더러 최근 수년간 각광받고 있는 나노구조 형성이나 제어 측면에서도 좋은 연구가 될 것이다.

ACKNOWLEDGEMENT

이 논문은 2012년도 정부(교육과학기술부)의 재원으로 한국연구재단- 첨단 사이언스 교육 허브 개발 사업(EDISON)의 지원을 받아 수행된 연구임(No. 2012049863).

REFERENCES

[1] M. Toru et al., Japanese Journal of Applied Physics **51**, 06FE18-1 (2012).  
 [2] P.D. Ye et al., Applied Physics Letters **83**, 180 (2003)

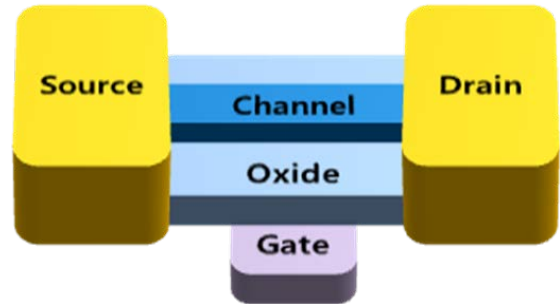


Fig. 1. The device structure of GaAs nanowire based FET.

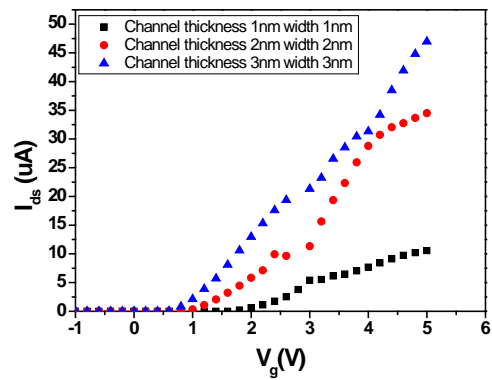


Fig. 2. The drain-source current  $I_{ds}$  as a function of the gate voltage  $V_g$  at fixed drain-source bias voltage  $V_{ds}=1V$