

CNTFETs에서의 Band to Band 터널링에 대한 연구

이도현

한양대학교 전자 및 통신공학과, 경기도 426-791, 대한민국

e-mail: fragrance@hanyang.ac.kr

ABSTRACT

본 연구에서는 S/D이 n+/n+ 로 구성된 CNT-MOSFETs, 금속으로 이루어진 SB-CNTFETs와 p+/n+ 로 구성된 CNT-TFETs에 대한 각각의 $I_d - V_g$ 특성과 포텐셜 프로파일을 확인하였다. 그리고 각 소자의 특성 및 특징을 연구하고, 이 중에서 BTB에 가장 큰 영향을 받는 CNT-TFETs의 특성을 V_{DS} , 분자 비대칭성과 T_{ox} 에 따른 특성 변화를 연구하였다. 그 결과 예상과 다르게 오히려 작은 V_{DS} 와 큰 E_g 을 가질 때, 향상된 SS를 가진다는 것을 확인 할 수 있었다. 특히, (7,0) CNT-TFETs에서 비록 I_d 는 작지만, SS를 57mV/dec까지 개선할 수 있었다. 또한, T_{ox} 를 얇게 하면, 비록 60 mV/dec 이하의 결과는 보여주지 못했지만, SS와 Ion 모두 개선할 수 있음을 확인할 수 있었다.

INTRODUCTION

채널길이 (L_{ch})가 10nm이하로 작아지면서 실리콘 소자의 단채널 효과로 인해 새로운 구조 또는 새로운 물질에 대한 연구가 활발히 이루어지고 있다. 탄소나노튜브 field-effect-transistors (CNTFETs)는 실리콘 MOSFETs을 대체할 수 있는 후보 중의 하나이다 [1]. CNTFETs는 다른 물질들과 다르게 분자비대칭성(chirality)에 의해서 밴드갭(E_g) 뿐 만 아니라 탄소나노튜브의 지름도 결정된다. 이는 E_g 가 소자 특성에 크게 좌우한다는 점에서 CNTFETs의 큰 장점 중에 하나이다.

CNTFETs은 CNT-MOSFETs [1], 쇼트키 장벽(SB)-CNTFETs [2], 그리고 CNT 터널링 FETs (TFETs) [3] 형태로 연구 되고 있다. 특히, TFETs은 문턱전압 이하에서의 기울기

(subthreshold swing, SS)가 60mV/dec 이하를 가질 수 있는 소자로 주목 받고 있다.

본 연구에서는 CNT-MOSFETs, SB-CNTFETs와 CNT-TFETs에 대해 공부하고, band to band (BTB) 터널링을 통해 SS를 어느 정도까지 개선할 수 있는지에 대해 알아보고자 한다.

SIMULATION APPROACH

그림 1은 본 연구에서 사용한 CNTFETs의 구조를 보여주고 있다. 여기에서 소스/드레인(S/D)이 n형으로 높은 농도로 도핑 되어 있으면 CNT-MOSFETs, 금속으로 되어 있으면 SB-CNTFETs, 그리고 소스는 p형, 드레인은 n형으로 다르게 도핑 되어 있으면 CNT-TFETs이 된다. 절연체는 high-k 물질을 사용하였으며, 유전상수는 25.0, 절연체 두께(T_{ox})는 2.5nm로 가정하였다.

본 연구의 모든 결과는 EDISON에서 제공한 <탄소나노튜브 FET 소자 시뮬레이션 SW - ver 1.0>를 이용하였다.

RESULTS AND DISCUSSION

그림 2는 드레인과 소스간 전압 (V_{DS})이 0.5 V이며, 분자비대칭성은 (13,0)과 $L_{ch} = 10$ nm를 가진 CNT-MOSFETs, SB-CNTFETs와 CNT-TFETs의 드레인전류 (I_d) - 게이트전압 (V_g) 특성을 보여주고 있다. SB-CNTFETs의 전도대의 SB-높이는 0 eV로 가정하였다.

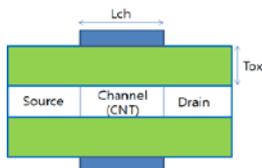


그림 1. Gate-All-Around 구조의 CNTFETs

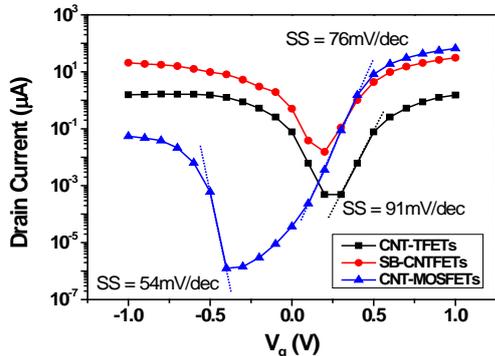


그림 2. (13,0) CNT-TFETs, SB-CNTFETs, 와 CNT-MOSFETs의 I_d-V_g 특성. L_{ch} 는 모두 10nm로 동일하다.

전체적으로 CNT-MOSFETs이 다른 소자들에 비해 동작 전류 (I_{on}) 뿐만 아니라 누설 전류 (I_{off})까지 모두 좋은 성능을 보이고 있다. 하지만, SB-CNTFETs와 CNT-TFETs은 모두 특정 V_g 을 기준으로 대칭성을 보이는데 반해, CNT-MOSFETs이 다른 소자들과 다른 점은 대칭성이 보이지 않는다는 점이다. 이러한 특징을 보이는 이유는 각 소자마다 다른 S/D 구조에 따라서 각각 다른 포텐셜 프로파일 (Potential profile)을 가지기 때문이다.

그림 2에서 주목할 점은, CNT-TFETs이 SS가 좋은 것으로 알려져 있지만, 오히려 CNT-MOSFETs보다 15 mV/dec 정도 나쁘게 나타나고 있다. 오히려, CNT-MOSFETs의 V_g 가 음수 (off-state) 일 때, 54mV/dec로 V_g 가 양수 (on-state)에 비해 더 작게 나오고 있다. 이는 일반적으로 알려진 SS의 열전자 (therminonic) 한계인 60mV/dec 보다 작은 값이다. MOSFETs은 열전자에 의해서 I_d 가 결정되기 때문에 60mV/dec 이하로 개선이 안 되는 것으로 알려져 있는데, 이에 반한 결과이다.

그림 3에서는 각 소자의 전도대/가전자대 포텐셜 프로파일을 보여주고 있다. 여기서, $V_{g,off}$ 는 $I_d = I_{off}$ (가장 작은 I_d)일 때의 V_g 를 의미한다. 그림 3 (가)는 CNT-MOSFETs의 포텐셜 프로파일을 보여주고 있다. 일반적으로 많이 알려져 있는 Si MOSFETs과 동일하게 V_g 가 커지면서 채널 영역의 장벽이 낮아지게 되고, 전류가 그림 2에서와 같이 증

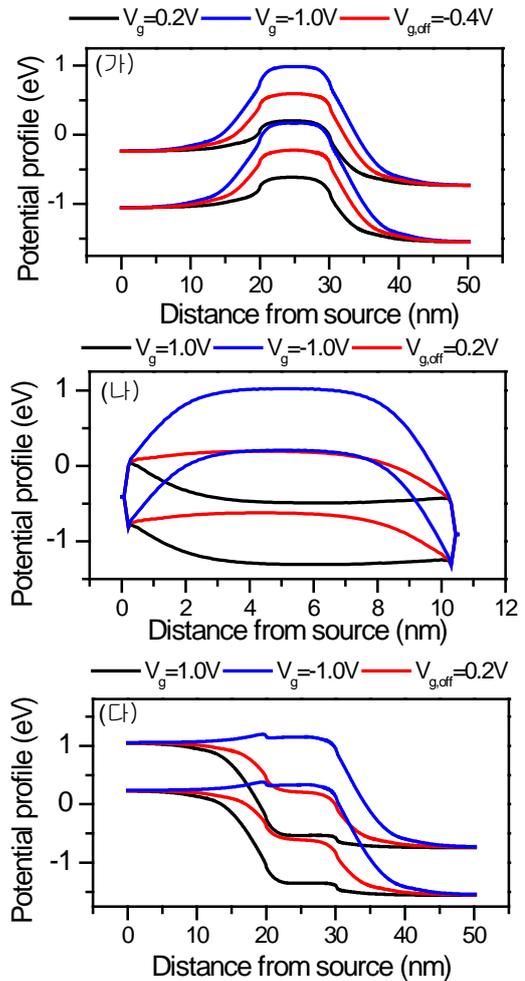


그림 3. (가) CNT-MOSFETs, (나) SB-MOSFETs와 (다) CNT-TFETs의 V_g 에 따른 전도대/가전자대 포텐셜 프로파일.

가하게 된다. 특이한 점은 V_g 가 -0.4 V 이하일 때, 장벽이 높아짐에 불구하고 다시 I_d 가 위에서 언급한 54mV/dec의 기울기를 가지고 증가하는 점이다. 이러한 현상이 나타난 이유는 그림 4 (가)에서 보여주듯이 BTB 터널링 전류 (I_{BTB}) 때문이다. 다시 그림 3 (가)를 보면, $V_{g,off}$ 에서 가전자대의 장벽 최고점 에너지는 소스영역의 전도대 에너지와 거의 동일하다는 것을 볼 수 있다. 여기에서 V_g 에 의해 가전자대 장벽이 더 올라가게 되면 소스의 전도대 에너지와 겹치게 되고, 이 부분을 통해서 I_{BTB} 가 발생하였기 때문이다. (그림 4 (가) 참조) 그리고 터널링에 의한 전류이므로 60 mV/dec 이하의 SS를 보여줄 수 있었던 것이다.

그림 3 (나)는 SB-CNTFETs의 포텐셜 프로파일을 보여주고 있다. SB-CNTFETs 역시 CNT-MOSFETs과 동일하게 V_g 가 증가함에 따라

채널 영역의 장벽 높이가 낮아지고 있다. V_g 가 증가하여 1.0 V가 되면, 그림에서 볼 수 있듯이 채널 영역의 장벽이 낮아지면서 소스 영역의 SB 두께가 얇아지고, 전자가 그 부분을 통한 터널링 및 장벽을 넘어가는 열전자에 의해서 I_d 가 증가하게 된다. SB-CNTFETs는 CNT-MOSFETs와 다르게 일부 I_d 가 SB 터널링에 의해서 발생하므로 그림 2에서와 같이 I_{on} 이 작은 단점을 가진다. 반대로 V_g 가 감소하여 -1.0 V가 되면, 반대로 드레인 영역의 SB 두께가 얇아지면서 전공에 의해서 I_d 가 증가하게 된다. 이때 전자는 채널 영역의 장벽에 의해서 흐르지 못한다. 아쉽게도 SB-CNTFETs에서는 S/D이 금속이라는 점과 그림 3 (나)를 통해 BTB가 발생하지 않는다는 점도 알 수 있다.

마지막으로 CNT-TFETs의 포텐셜 프로파일은 그림 3 (다)에서 보여주고 있다. 역시 위 다른 2개의 소자와 동일하게 V_g 가 증가함에 따라 채널 영역의 장벽 높이가 낮아지고 있다. 또한, S/D 도핑이 다르기 때문에, V_{DS} 가 0.5 V로 동일함에도 불구하고 CNT-MOSFETs에 비해 S/D 에너지 차이가 CNT의 E_g 만큼 크다는 것을 볼 수 있다. V_g 가 1.0 V일 때, 포텐셜 프로파일을 보면, 다른 소자들과 다르게 소스 영역 중 10~20nm에서 전도대와 가전자대의 두께가 얇아지는 것을 볼 수 있다. CNT-TFETs 역시 그림 2에서 보듯이 ambipolar 특성이 보이는데, V_g 가 -1.0 V일 때, 포텐셜 프로파일을 보면 드레인 영역에서 전도대와 가전자대의 두께가 얇아져 있는 것을 볼 수 있다. 그림 4 (나)에서는 이 때의 전류 밀도를 함께 보여주고 있는데, 그림에서 보여주듯이 전도대와 가전자대가 얇아진 영역으로 I_d 가 발생하고 있다는 것을 확인할 수 있다. 이 역시 I_{BTB} 에 의한 것이며, I_d 가 모두 I_{BTB} 에 의존하고 있다는 점을 쉽게 알 수 있다. 또한, V_g 가 0.2 V일 때를 보면, S/D 영역 모두 V_g 가 1.0 V 또는 -1.0 V일 때에 비해 전도대와 가전자대 사이의 두께가 두껍

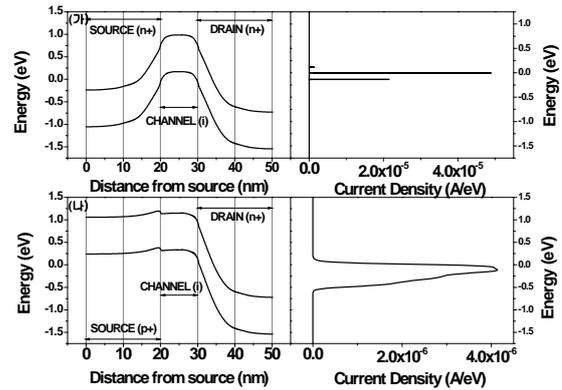


그림 4. (가) CNT-MOSFETs과 (나) CNT-TFETs의 전도대/가전자대 프로파일과 전류 밀도. ($V_g = -1.0V$)

다는 것을 볼 수 있다. 그래서 이 때 I_d 가 작게 되고, 이 때의 I_d 가 I_{off} 가 된다. CNT-TFETs은 위에서 설명한 다른 구조의 소자와 다르게 열전자에 의한 I_d 가 없기 때문에 I_{on} 이 확실히 작은 단점을 가지고 있다.

CNT-TFETs은 터널링 특히 BTB에 의존성이 매우 크다. 이러한 이유로 60mV/dec 이하를 가진 소자로 기대하였지만, 그림 2에서 보여주듯이 오히려 SS가 높게 나오고, 오히려 CNT-MOSFETs에서 더 개선된 SS가 보였다. 이러한 현상이 나타난 이유는 CNT-TFETs은 V_g 에 관계없이 크기는 다르지만 항상 I_{BTB} 에 의해서 I_d 가 결정되고 있는 반면, CNT-MOSFETs은 채널 장벽에 의해서 I_d 가 감소하고 있다가, 그림 4 (가)에서 보여주듯이 특정 V_g 에서 I_{BTB} 로 인해 I_d 가 증가하면서 낮은 SS를 보여준 것으로 생각된다.

지금까지 결과를 토대로, CNT-TFETs에서 SS를 개선하고 상대적으로 작은 I_{on} 을 개선하기 위해서는 우리는 크게 2 가지 방법을 생각할 수 있었다. 첫 번째 방법은 그림 3 (다)에서 보여주듯이 전도대와 가전자대의 두께를 얇게 만드는 것이고, 다른 방법은 CNT-MOSFETs과 비교에서 알 수 있었듯이 게이트 영향력을 키우는 방법이다. 전도대와 가전자대 두께를 얇게 하는 방법으로는 V_{DS} 와 E_g 를 조절하는 방법이 있으며, 게이트 영향력을 키우는 방법으로는 T_{ox} 를 조절하는 방법으로 생각해볼 수 있다.

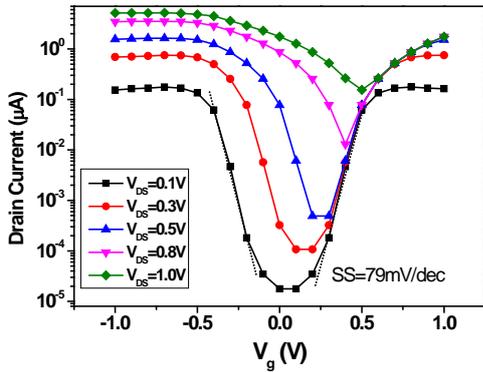


그림 5. V_{DS} 따른 (13,0) CNT-TFETs의 $I_d - V_g$ 특성.

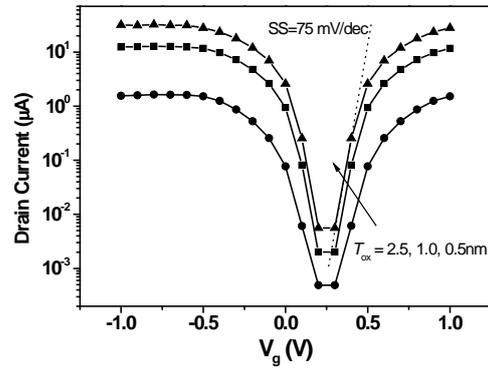


그림 7. CNT-TFETs에서 T_{ox} 를 2.5nm에서 1.0, 0.5nm로 줄였을 때의 $I_d - V_g$ 특성.

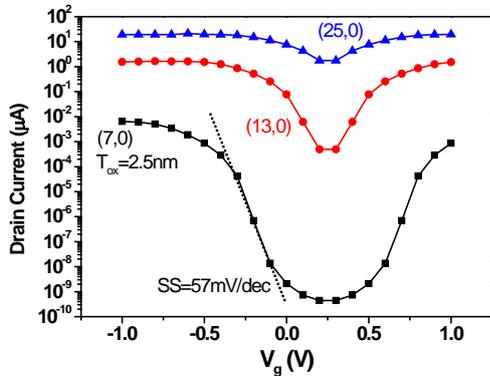


그림 6. CNT-TFETs에 대한 분자비대칭성 (chirality)에 따른 $I_d - V_g$ 특성.

그림 5는 V_{DS} 에 따른 CNT-TFETs의 $I_d - V_g$ 특성을 보여주고 있다. 사실 V_{DS} 를 증가시키면 전도대와 가전자대 두께가 얇아지면서 성능이 개선될 것으로 예상하였다. 하지만, 시뮬레이션으로 확인해본 결과 오히려 V_{DS} 가 감소함에 따라 I_{on} 이 크게 감소하였지만, SS는 개선됨을 그림 5에서 볼 수 있다. 하지만 여전히 60mV/dec는 만족시키지 못하고 있다. 그리고 한 가지 특이한 점은 가장 작은 전류가 흐를 때의 V_g 는 V_{DS} 의 1/2값과 동일하다는 점이다.

그림 6은 분자비대칭성에 따른 CNT-TFETs의 $I_d - V_g$ 특성을 보여주고 있다. CNT는 분자비대칭성에 따라 E_g 이 변하게 되는데, (7,0) 지그재그 나노튜브는 약 1.5eV, (13,0)의 경우에는 0.83eV, 그리고 (25,0)의 경우에는 약 0.43eV의 E_g 을 가짐을 확인 할 수 있었다. BTB 터널링을 고려하면, E_g 가 작을 때 좋은 특성을 보일 것으로 생각 할 수

있다. 하지만, 그림에서 볼 수 있듯이, 오히려 E_g 가 가장 큰 (7,0) CNT-TFETs에서 I_{on} 은 비록 가장 작지만, 가장 개선된 SS를 보여주었다.

그림 7은 CNT-TFETs의 T_{ox} 를 2.5nm에서 1.0, 0.5 nm로 작게 하여 EOT를 개선하여 $I_d - V_g$ 특성을 보여주고 있다. T_{ox} 를 얇게 해줌으로써 게이트 조절 능력이 향상되어 앞에 V_{DS} 나 분자비대칭성 결과와 다르게 SS와 I_{on} 이 모두 개선되었지만, I_{off} 는 증가하였다. 그리고 SS는 60 mV/dec이하는 보여주지 못하고, T_{ox} 가 0.5 nm일 때, 75 mV/dec를 보여주었다.

CONCLUSION

본 연구에서는 S/D 형태에 따른 CNTFETs의 소자 (CNT-MOSFETs, SB-CNTFETs와 CNT-TFETs)에 대한 특성을 비교해보았다. 이 중에서 BTB에 가장 큰 영향을 받는 CNT-TFETs의 특성을 V_{DS} , 분자 비대칭성과 T_{ox} 에 따른 특성 변화를 연구하였다. 그 결과 예상과 다르게 오히려 작은 V_{DS} 와 큰 E_g 을 가질 때, 그리고 얇은 T_{ox} 를 가질 때, 향상된 SS를 가진다는 것을 확인 할 수 있었다. 특히, (7,0) CNT-TFETs에서 비록 I_d 는 작지만, SS를 57mV/dec까지 개선할 수 있었다.

REFERENCES

- [1] M Shin, JKPS, **52**, 1287 (2008).
- [2] Jing Guo, et al., IEEE TED, **51**, 172 (2004)
- [3] M. Luisier, et al., IEDM, 1, (2009)