
과도 방사선 피해 영향 분석을 위한

CMOS 논리 소자 설계 및 제작

정상훈* · 이남호*

*한국원자력연구원

CMOS Logic Design and Fabrication

for Analyzing the Effect of Transient Radiation Damage

Sang-hun Jeong* · Nam-ho Lee*

*Korea Atomic Energy Research Institute

E-mail : shjeong@kaeri.re.kr

요 약

본 논문에서는 CMOS 논리소자의 과도방사선 피해 영향을 분석하기 위해 0.18um CMOS 공정으로 NMOSFET, PMOSFET을 이용하여 기본 논리소자인 INVERTER, NAND, NOR를 설계하고 제작하였다. 제작된 논리 소자 실측결과 1.8V 전원에서 1kHz의 Pulse 입력을 가하였을 때 소모 전류는 70uA 이내, Rising Time, Falling Time 또한 4us 이내이며 펄스 방사선 실측시험을 위해 50M Cable을 이용하여 측정결과 Line Delay가 발생하는 것을 확인하였다.

ABSTRACT

In this paper, CMOS logic device, the INVERTER, NAND, NOR were designed and fabricated using 0.18um CMOS process for analyzing the effect of transient radiation damage. Fabricated logic devices were measured by applying a 1kHz input at 1.8V supply. As a result, the current consumption of less than 70uA and Rising time, Falling time was within a 4us. Experimental results transmission delays occurred when using a 50M cable for pulse radiation experiments.

키워드

펄스 방사선, 논리소자, CMOS, 전송지연

I. 서 론

핵 폭발시 발생하는 과도방사선이 전자소자 내에 입력되면 Electron/Hole 쌍이 생성되어 광전류가 발생한다.[1-2] 광전류는 전자소자에 인가된 바이어스에 의해 흐르며 광전류의 양에 따라 전자소자에 Upset, Latch-up과 같은 치명적인 오류가 발생한다.[3]

특히 Latch-up 현상이 지속되면 전류가 급격히 증가하고 이로 인하여 높은 열이 발생하여 회로가 변형되어 Burnout 되며 소자가 망가진다.

이러한 현상을 정밀하게 관측하고 분석하기 위해서 CMOS 논리 소자에 대한 전기적 특성 및 NMOSFET, PMOSFET의 Layout 또한 파악하고 있

어야 한다. 상용 소자는 Layout을 제공하지 않기 때문에 정밀한 분석이 어려우므로 본 논문에서는 0.18um CMOS 공정을 이용하여 기본 논리소자인 INVERTER, NAND, NOR를 설계하고 전기적 특성을 확인을 통해 전자빔 가속기 실험을 원활히 하고자 한다.

본 논문의 구성은 다음과 같다. II장에서는 논리 소자 설계 및 시뮬레이션 결과에 대해서 설명하고 III장에서는 설계한 논리소자를 제작하기 위한 Layout, IV장에서는 제작된 논리소자의 측정결과에 대해서 설명하고 V장에서는 결론을 맺는다.

II. 논리 소자 설계 및 시뮬레이션

0.18um CMOS 공정을 이용하여 INVERTER, NAND, NOR 논리소자를 제작하기 위해 앞서 회로 시뮬레이터를 이용하여 각 논리 소자에 대해 회로도를 작성하고 시뮬레이션을 진행하였다.

그림 1은 INVERTER를 설계하고 시뮬레이션 한 결과이다. NMOSFET, PMOSFET을 이용하여 설계하였으며 전원 전압 1.8V에서 입력에 따라 출력이 반전되어 나오는 것을 볼 수 있다.

그림 2는 NAND를 설계하고 시뮬레이션 한 결과이다. 입력이 모두 High일 때 출력이 Low로 나오는 것을 볼 수 있다.

그림 3은 NOR를 설계하고 시뮬레이션 한 결과이다. 입력이 모두 Low일 때 출력이 High로 나오는 것을 볼 수 있다.

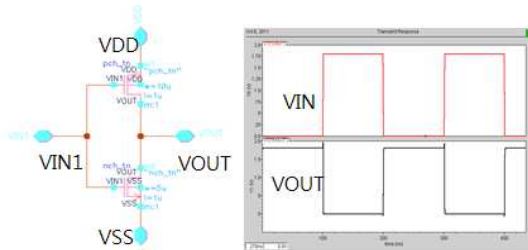


그림 1. INVERTER 회로도 및 시뮬레이션 결과

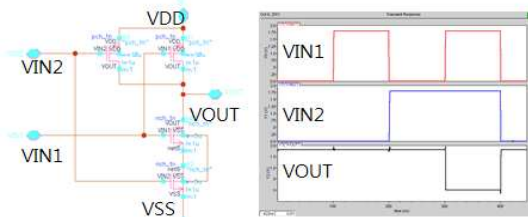


그림 2. NAND 회로도 및 시뮬레이션 결과

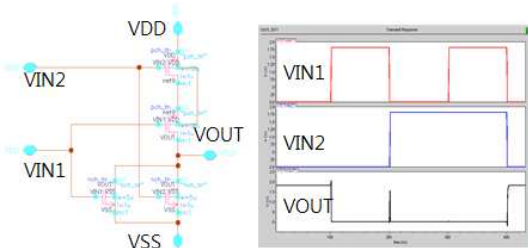


그림 3. NOR 회로도 및 시뮬레이션 결과

III. 논리 소자 제작

II장에서 설계한 논리소자를 제작하기 위해 0.18um CMOS 공정을 이용하여 Layout을 진행하였다. 그림 4는 INVERTER, NAND, NOR에 대해서 NMOSFET, PMOSFET을 이용하여 Layout을 진행한 것이며 외부 잡음을 피하기 위해 소자 주위로 Guard Ring을 둘렀다.

그림 5는 전체 Chip Layout을 보여주며 비용절감을 위하여 왼쪽에는 NOR, 위쪽에는 NAND, 오른쪽에는 INVERTER를 배치하였으며 하나의 칩으로 제작하였다.

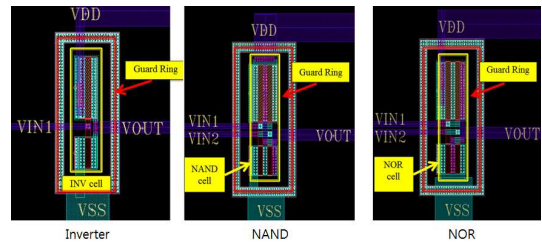


그림 4. 논리소자 Layout

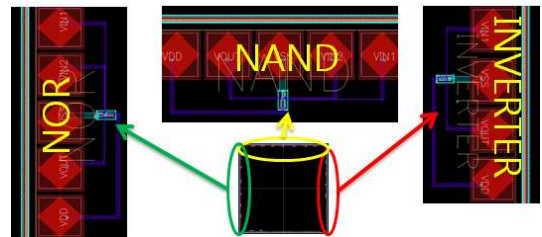


그림 5. 전체 Chip Layout

그림 6은 제작된 4.5mm × 4mm 로 제작된 Chip을 패키지 하였다. 패키지 된 Chip은 30mm x 30mm 이며 Die 칩은 가운데에 위치한다.

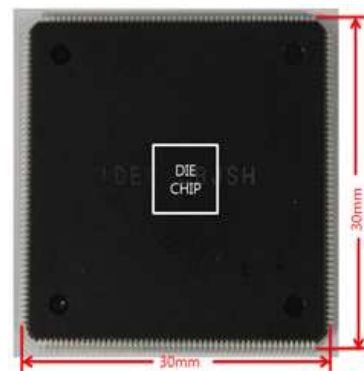


그림 6. 제작된 Chip

IV. 논리 소자 측정

제작된 논리소자가 정상적으로 동작하는지 확인하기 위해서 DUT 보드를 제작하고 전기적 특성을 확인하였다.

그림 7은 제작한 DUT 보드를 보여주며 방사선 실험을 위해 Chip을 교체하기 쉬운 소켓 타입으로 보드를 제작하였다.

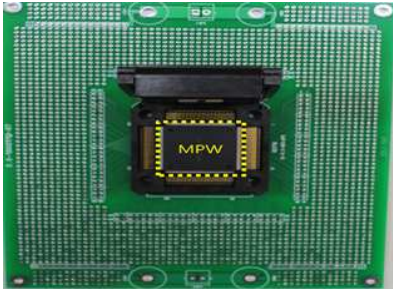


그림 7. 논리소자 측정을 위한 DUT 보드

그림 8, 9, 10은 제작된 INVERTER, NAND, NOR를 실측한 결과이다. 1.8V 전원을 인가하고 20kΩ의 로드저항이 추가되었다. 또한 과도방사선 모사를 위한 전자빔 가속기 실험실과 측정 결과를 확인하는 조정실이 50M 가량 떨어져 있으므로 50M Cable을 사용하여 전기적 테스트를 진행하였다.

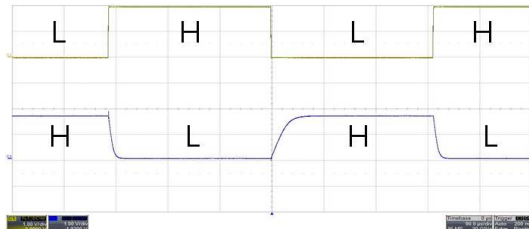


그림 8. INVERTER 측정결과@50M Cable

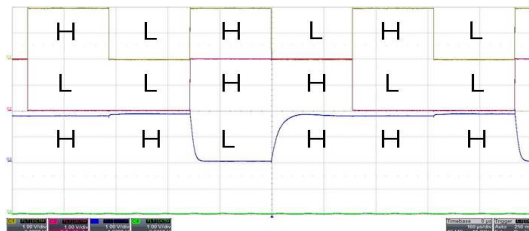


그림 9. NAND 측정결과@50M Cable

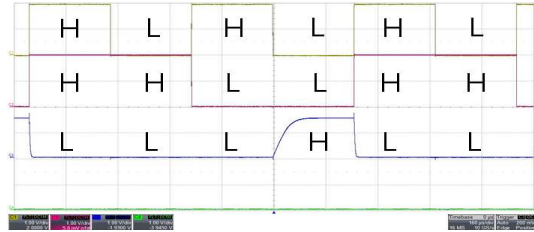


그림 10. NOR 측정결과@50M Cable

측정 결과는 표 1에 정리하였다. 표 1을 보면 1M Cable을 사용하여 Rising Time, Falling Time을 측정할 경우에는 4us 이내에서 값이 모두 바뀌었지만 50M Cable이 사용된 경우 Rising Time과 Falling Time이 8~80us로 증가하였다. 따라서 논리소자에 대해 펄스방사선 실험을 진행할 시 늘어지는 Rising Time과 Falling Time을 고려해야 한다.

소모 전류는 NAND가 가장 높게 나왔으며 High 출력이 발생하는 기간이 다른 소자 보다 많아 높게 나왔다.

표 1. 논리소자 실측결과

논리소자 특성		INV.	NAND	NOR
Rising Time	1M Cable	1.5us	1us	4us
	50M Cable	50us	80us	80us
Falling Time	1M Cable	500ns	1.2us	400ns
	50M Cable	15us	35us	8us
소모전류		10uA	68.6uA	20.3uA

V. 결 론

본 논문에서는 전자소자의 과도방사선 피해 영향 분석을 위해 0.18um CMOS 공정을 이용하여 기본 논리소자인 INVERTER, NAND, NOR를 설계하고 제작하였다.

제작된 논리 소자 실측을 위해 DUT 보드를 제작하고 측정된 결과 1.8V 전원에서 1kHz의 Pulse 입력을 가하였을 때 소모 전류는 70uA 이내, Rising Time, Falling Time 또한 4us 이내이며 펄스 방사선 실측시험을 위해 50M Cable을 이용하여 측정결과 Line Delay가 발생하는 것을 확인하였다.

따라서 펄스 방사선 실험 전에 50M Cable에 의한 신호 전송 특성을 파악해야 정확한 결과를 얻을 수 있을 것이다.

감사의 글

본 연구는 국방과학연구소의 국방핵심기술개발 사업의 일환으로 수행하였음.

참고문헌

- [1] Larry L., "NUCLEAR EVENT DETECTOR",
<http://www.freepatentsonline.com/>, pp. 2, Aug
1987.
- [2] George C Messenger, "The effects of
radiation on electronic systems", New York :
Van Nostrand Reinhold, cop., 1992.
- [3] Lewis Cohn, Manfred Espig, Al Wolicki,
Mayrant Simons, Clay Rogers, Alfred
Costantine, "Transient Radiation Effects on
Electronics(TREE) Handbook", Defence
Nuclear Agency, 1996.