

# PMIC용 8비트 eFuse OTP Memory 설계 및 측정

박영배 · 최인화 · 이동훈 · 김려연 · 장지혜 · 하판봉 · 김영희

창원대학교 전자공학과

## Design of an eFuse OTP Memory of 8 Bits for PMICs and its Measurement

Young-Bae Park, In-Hwa Choi, Dong-Hoon Lee, Liyan Jin, Ji-Hye Jang, Pan-Bong Ha, Young-Hee Kim

Department of Electronic Eng., Changwon National University

E-mail : youngkim@changwon.ac.kr

### 요 약

본 논문에서는 프로그램 된 eFuse 링크의 센싱 저항이 작으면서 기준 전압없이 BL 데이터를 센싱 가능한 differential paired eFuse 셀을 사용하여 BCD 공정 기반의 8비트 eFuse OTP를 설계하였다. Differential eFuse OTP 셀의 프로그램 트랜지스터의 채널 폭은  $45\mu\text{m}$ 과  $120\mu\text{m}$ 으로 split하였다. 그리고 프로그램된 eFuse 저항의 변동을 고려한 variable pull-up load를 갖는 센싱 마진 테스트(sensing margin test) 회로를 구현하였다.  $0.35\mu\text{m}$  BCD 공정을 이용하여 제작된 8bit eFuse OTP IP를 측정할 결과 프로그램 트랜지스터의 채널 폭이  $120\mu\text{m}$ 인 OTP IP의 수율이  $45\mu\text{m}$ 인 OTP IP보다 양호한 것으로 나타났다.

### ABSTRACT

In this paper, we design an 8-bit eFuse OTP (one-time programmable) memory based on a  $0.35\mu\text{m}$  BCD process using differential paired eFuse cells which can sense BL data without a reference voltage and also have smaller sensing resistances of programmed eFuse links. The channel widths of a program transistor of the differential eFuse OTP cell are splitted into  $45\mu\text{m}$  and  $120\mu\text{m}$ . Also, we implement a sensing margin test circuit with variable pull-up loads in consideration of variations of the programmed eFuse resistances. It is confirmed by measurement results that the designed 8-bit eFuse OTP memory IP gives a better yield when the channel width is  $120\mu\text{m}$ .

### Key words

Differential Paired eFuse OTP, BCD process, Variable pull-up loads

## I. 서 론

PMIC(Power Management IC) 등에 내장되는 비휘발성 메모리 IP는 추가 공정이 필요 없는 OTP(One-Time Programmable) 메모리 IP가 많이 사용되고 있다[1]. OTP 메모리는 안티퓨즈(antifuse)나 eFuse(electrical Fuse) 방식이 있으며, 안티퓨즈 방식의 OTP 메모리 셀은 얇은 게이트 산화막에 항복전압보다 높은 전압을 필요로 한다. 반면 eFuse OTP 메모리는 eFuse에 과전류를 흘려 프로그램 하며, 소용량의 OTP 메모리로 많이 응용되고 아날로그 트리밍 기능을 수행한다.

eFuse OTP cell 개발 동향은 싱글 포 eFuse트 셀[2]과 듀얼 포트 eFuse 셀[3]로 구분된다. 싱글 포트 eFuse 셀은 읽기 포트와 프로그램 포트가 공유

된 형태로 프로그램 저항이 수  $\text{k}\Omega$  정도이며, 아날로그 센싱 방식을 사용하고 있다. 반면 듀얼 포트 eFuse 셀은 읽기 포트와 프로그램 포트가 분리된 형태로 큰 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터와 읽기 모드의 전류를 줄일 수 있는 읽기 모드용 작은 채널 폭의 읽기용 NMOS 트랜지스터로 구성되어 있다. 프로그램 저항이 대개 수 십  $\text{k}\Omega$  정도이며, 디지털 센싱 방식을 사용하므로 주변회로가 단순하다. 한편 differential paired eFuse 셀은 듀얼 포트 eFuse 셀을 pair로 연결한 형태로 기준전압 발생기 회로가 필요 없는 단순한 주변회로를 구현할 수 있다. 그리고 프로그램 된 eFuse 링크의 센싱 저항을 1/2로 줄일 수 있다[4].

본 논문에서는 0.35 $\mu\text{m}$  BCD 공정 기반에서 프로그램된 eFuse 링크의 센싱 저항이 작으면서 기준 전압 없이 BL 데이터를 센싱 가능한 differential type의 differential paired eFuse 셀[4]을 이용하여 8비트 eFuse OTP를 설계하였다. Differential eFuse OTP 셀에 사용되는 프로그램 트랜지스터의 채널 폭은 45 $\mu\text{m}$ 과 120 $\mu\text{m}$ 으로 split하여 2가지 형태의 8비트 eFuse OTP IP를 설계하였다. 그리고 프로그램된 eFuse 저항의 변동을 고려한 variable pull-up load를 갖는 sensing margin test 회로를 구현하였다. 설계된 8비트 eFuse OTP IP의 layout size는 142 $\mu\text{m}$  x 380.725 $\mu\text{m}$ 이다. Magnachip 0.35 $\mu\text{m}$  BCD 공정을 이용하여 제작된 8bit eFuse OTP IP를 측정한 결과 프로그램 트랜지스터의 채널 폭이 120 $\mu\text{m}$ 인 OTP IP가 45 $\mu\text{m}$ 인 OTP IP보다 수율이 양호한 것으로 나타났다.

## II. 회로 설계

그림 1(a)는 설계된 differential paired eFuse OTP 셀 회로도를 보여주고 있다. 설계된 differential paired eFuse 셀은 듀얼 포트 셀을 pair로 연결한 형태이다. 설계된 eFuse 셀의 왼쪽 회로(eFuse1, MN1 and MN2)는 프로그램 데이터를 저장하는 부분이고, 오른쪽 회로(eFuse2, MN3 and MN4)는 complementary 프로그램 데이터를 저장하는 부분이다. MN1과 MN3은 프로그램 트랜지스터이고, MN2와 MN4는 읽기용 트랜지스터이다. FSOURCE는 프로그램 모드에서 외부 패드에서 직접 5.5V의 프로그램 전압을 인가하여 과전류를 흘려주게 된다. Differential paired eFuse 셀의 프로그램 데이터가 '1'인 경우 PD(Program Data)와 PDb(Program Data bar) 신호는 각각 5.5V와 0V가 인가되어 eFuse1과 MN1 소자를 통해 과전류가 흐르면서 eFuse1이 blowing되는 반면, eFuse2는 MN2가 OFF 상태에 있으므로 blowing되지 않는다. 그리고 프로그램 데이터가 '0'인 경우 MN1은 OFF 상태이고 MN3가 ON 상태에 있으므로 eFuse2가 blowing된다. 읽기 모드 시 high-impedance pull-up load에 의하여 BL과 BLb의 전압은 VDD로 pull-up 되고 RWL(Read Word-Line) 신호에 의해 MN2와 MN4 NMOS 트랜지스터가 선택되면 eFuse 링크가 blowing된 쪽의 BL 전압은 VDD를 유지되고 blowing 되지 않은 쪽의 BL 전압은 0V로 떨어지게 된다. 이렇게 BL과 BLb에 차동전압(differential voltage)가 전달되면 차동증폭기에서 차동전압을 센싱 한다. eFuse1을 blowing한 경우는 DOUT이 VDD, eFuse2가 blowing된 경우는 DOUT은 0V가 출력된다. 그림 1(b)는 셀 레이아웃 사진으로 셀 사이즈는 24.8 $\mu\text{m}$  x 32.3 $\mu\text{m}$ 이며, eFuse 링크의 width와 length는 각각 0.35 $\mu\text{m}$ , 2.1 $\mu\text{m}$ 이다.

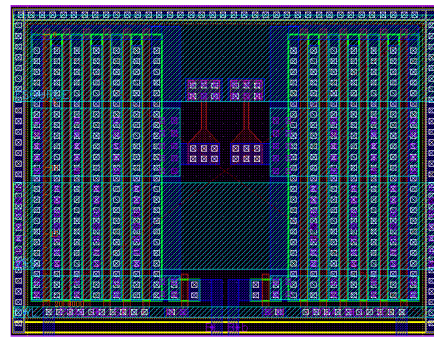
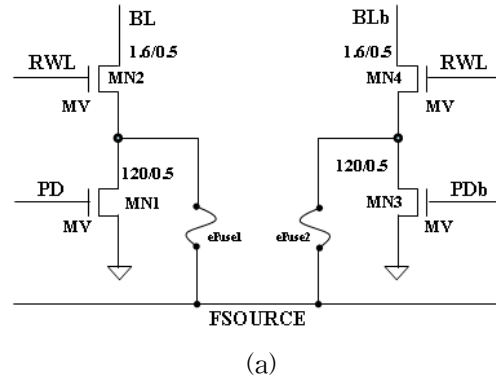


그림 1. Differential paired eFuse OTP 셀 (a) 회로도 (b) 레이아웃 이미지.

Fig. 1. Differential paired eFuse OTP cell: (a) circuit and (b) layout image.

설계된 differential paired eFuse 셀을 사용한 8b eFuse OTP IP의 주요 특징은 다음과 같다. 8b OTP 메모리의 셀 어레이는 1행 x 8열로 구성되어 있으며, 사용되는 전원전압은 로직 전압인 VDD(=5V)와 외부 프로그램 전압인 FSOURCE(=5.5V)가 사용된다. 동작 모드는 프로그램, 읽기 모드가 지원되며, 한 비트당 프로그램 전류가 수 십mA 정도이므로 eFuse OTP 메모리 IP는 바이트 단위로 프로그램은 불가능하고 한 비트씩 하고 있다. 그리고 읽기 모드는 한 바이트씩 수행된다. OTP IP의 프로그램 전압, 프로그램 시간은 각각 5.5V, 200 $\mu\text{s}$ 이다.

8 비트 eFuse OTP IP는 그림 2에서 보는 바와 같이 1행 x 8열의 eFuse OTP 셀 어레이, A[2:0]를 디코딩하여 해당되는 열을 선택해 주는 column decoder, 프로그램 데이터를 선택되는 OTP 셀에 구동해 주는 PD 구동 회로, BL 데이터를 센싱하여 DOUT 포트에 출력하는 BL S/A (Bit-Line Sense Amplifier), 제어신호 (RD, PGM, TM\_EN)에 따라 프로그램 모드와 읽기 모드에 적합한 내부 제어신호를 공급하는 제어 로직으로 구성되어 있다. BL S/A는 읽기 모드에서 OTP 셀의 eFuse를 프로그램한 유·무에 따라 BL[7:0]을 통해 나오는 데이터를 디지털 데이터를 센싱 하여 DOUT[7:0]으로 출력하는 회로이다. TM\_EN(Test Mode Enable) 신호는 functional screen test용 read mode와 normal read mode를 구분해 주는 신호이다.

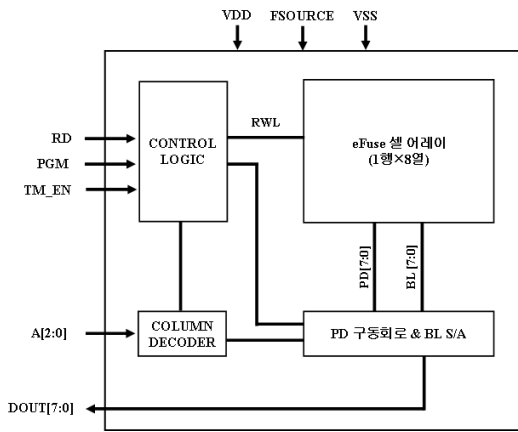


그림 2. 8비트 eFuse OTP 메모리의 블록도.  
Fig. 2. Block diagram of an 8-bit eFuse OTP memory.

Differential paired eFuse 셀을 사용한 1행 x 8열의 셀 어레이 회로는 행 방향으로 RWL 신호가 있으며, 열 방향으로 BL[7:0]과 BLb[7:0], PD[7:0]와 PDb[7:0] 신호가 있다. 그리고 파워로 FSOURCE와 VDD가 있다.

그림 3은 BL pull-up load 회로로 normal read mode에서 BL 프리차지 신호인 PCHARGE 신호에 의해 BL과 BLb는 VSS로 프리차징 된다. OTP 셀의 RWL 신호가 VDD로 활성화되면 BL\_LOADb 신호가 0V인 구간 동안 큰 채널 폭을 갖는 pull-up load 트랜지스터 (MP1 and MP2)에 의해 BL과 BLb는 VDD로 pull-up된다. 이때 test read mode용 작은 채널 폭을 갖는 pull-up 트랜지스터 (MP3 and MP4)는 OFF 상태에 있다. 그리고 그림 3의 모든 pull-up load 트랜지스터는 high-impedance를 유지하도록 설계되었다. 그런데 pull-up transistor의 impedance가 크기 때문에 프로그램 되지 않은 eFuse에 연결된 BL은 VSS를 유지하는 반면, 프로그램 된 eFuse에 연결된 BL은 VDD로 pull-up된다.

일반적으로 eFuse OTP 셀은 프로그램된 eFuse 링크의 저항이 data retention 시간동안 eFuse 저항이 줄어드는 경우에 센싱 불량일 발생할 수 있다. 그래서 본 논문에서는 프로그램된 eFuse 저항의 변동을 고려한 variable pull-up load를 갖는 센싱 마진 테스트 회로[5]를 사용하였다. Variable pull-up load는 functional test read와 normal read mode에서 BL 프리차징 회로에 사용되는 pull-up load의 impedance를 가변시킨다. 그림 3의 pull-up load 트랜지스터 중 MP3와 MP4는 칩의 기능 테스터동안 사용되며, MP1과 MP2는 OFF 된다. Test read mode에서 차동증폭기의 차동 입력 전압은 줄어들며, 센싱 가능한 eFuse 저항은 normal read mode보다 크다. 그래서 functional test read mode와 normal read mode에서 센싱 가능한 eFuse 저항의 차이 값이 data retention 시간동안 마진 저항이 된다.

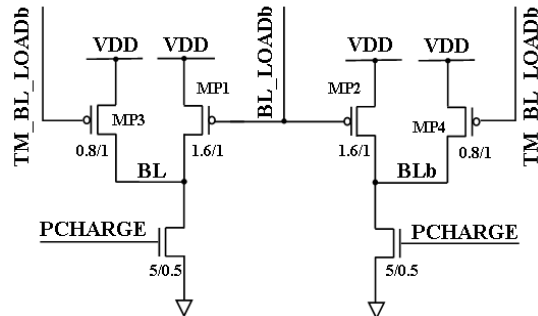


그림 3. BL pull-up load 회로.  
Fig. 3. BL pull-up load circuit.

그림 4는 매그나칩반도체 0.35 $\mu\text{m}$  BCD 공정을 이용하여 설계된 eFuse OTP IP의 레이아웃 이미지를 보여주고 있으며, 레이아웃 면적은 142 $\mu\text{m}$  x 380.725 $\mu\text{m}$  (= 0.054mm<sup>2</sup>)이다.

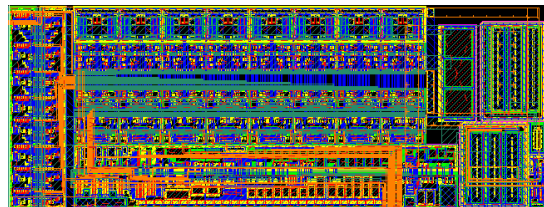


그림 4. 설계된 8비트 eFuse OTP 메모리 IP의 레이아웃 이미지.  
Fig. 4. Layout image of the designed 8-bit eFuse OTP memory IP.

### III. 모의실험 및 측정 결과

그림 5는 read mode별 post-program eFuse 저항에 따른 BL 센싱 전압의 모의실험 결과를 보여주고 있다. BL S/A 회로의 센싱전압이 100mV 정도인 경우 test mode와 normal mode의 센싱 저항은 각각 2k $\Omega$ , 1k $\Omega$ 이다. 그래서 data retention 시간 동안 프로그램된 eFuse의 저항 변동에 대한 마진을 확보 하였다.

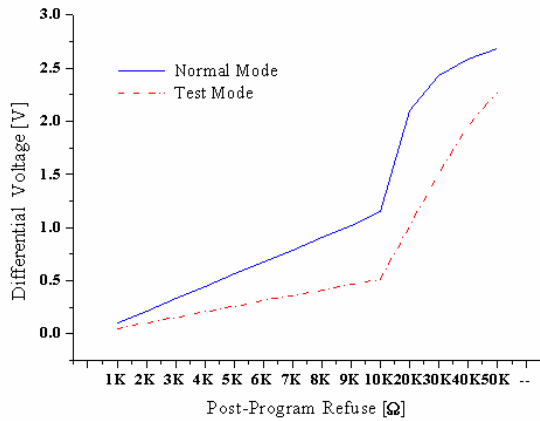


그림 5. Read mode별 post-program eFuse 저항에 따른 BL 센싱 전압 모의실험 결과.  
 Fig. 5. Simulation results of BL sensing voltages according to post-program eFuse resistances based on read modes.

Magnachip 0.35 $\mu$ m BCD 공정을 이용하여 제작된 8bit eFuse OTP IP를 측정한 결과 프로그램 트랜지스터의 채널 폭이 45 $\mu$ m인 OTP IP는 프로그램 수율이 0% 나온 반면, 프로그램 트랜지스터의 채널 폭이 120 $\mu$ m인 OTP IP는 17EA의 샘플에 대해 100%의 수율을 나타내었다. 표 1은 프로그램 트랜지스터의 채널 폭이 120 $\mu$ m인 8비트 OTP IP에 대해 프로그램 데이터 패턴에 따른 function test 결과를 보여주고 있다.

표 1. 프로그램 데이터 패턴에 따른 read mode의 function test 결과.

Table 1. Read-mode function test results according to program data patterns.

Test Die No.	Program Data Patten	Test Read Mode	Normal Read Mode
1 ~ 5	Solid 1	Pass	Pass
6 ~ 10	Solid 0	Pass	Pass
11 ~ 17	CKBD	Pass	Pass

#### IV. 결론

본 논문에서는 기준전압 발생기 회로가 필요 없는 단순한 주변회로를 구현하면서 프로그램된 eFuse 링크의 센싱 저항이 작은 differential paired eFuse cell을 이용한 BCD 공정 기반의 8bit eFuse OTP를 설계하였다. 그리고 프로그램된 eFuse 저항의 변동을 고려한 variable pull-up load를 갖는 sensing margin test 회로를 구현하였으며, test mode와 normal mode의 센싱 저항은 각각 2k $\Omega$ , 1k $\Omega$ 이다.

Magnachip 0.35 $\mu$ m BCD 공정을 이용하여 제작된

8bit eFuse OTP IP를 측정한 결과 프로그램 트랜지스터의 채널 폭이 120 $\mu$ m인 OTP IP가 45 $\mu$ m인 OTP IP보다 수율이 양호한 것으로 나타났다.

#### 감사의 글

This work was sponsored by ETRI System Semiconductor Industry Promotion Center, Human Resource Development Project for SoC Convergence and IDEC support program (MPW, CAD).

#### 참고문헌

[1] H. K. Cha, I. H. Yun, J. B. Kim, B. C. So, K. H. Chun, I. K. Nam, and K. R. Lee, "A 32-KB Standard CMOS Antifuse One-Time Programmable ROM Embedded in a 16-bit Microcontroller", IEEE Journal of Solid-State Circuits, vol. 41, no. 9, Sep. 2006.  
 [2] S. H. Kulkarni et al., "High-Density 3-D Metal-Fuse PROM featuring 1.37 $\mu$ m<sup>2</sup> 1T1R Bit Cell in 32nm High-k Metal-Gate CMOS Technology", Symp. VLSI Circuits, pp. 28-29, 2009.  
 [3] D. H. Kim, J. H. Jang, L. Jin, J. H. Lee, P. B. Ha, and Y. H. Kim, "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process", IEICE Trans. Electron., vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010.  
 [4] Y. B. Park, I. H. Choi, D. H. Lee, L. Jin, J. H. Jang, P. B. Ha, Y. H. Kim, "Design of an eFuse OTP Memory of 8 Bits Based on a 0.35 $\mu$ m BCD Process", 2011 International Conference on Mobile-IT Convergence, pp. 137-139, Sep. 2011.