소자파라미터에 대한 DGMOSFET의 전류-전압 분석

한지형, 정학기, 정동수, 이종인
군산대학교 전자공학과

Analysis on I-V of DGMOSFET for Device Parameters

Jihyung Han · Hakkee Jung · Dongsoo Jeong · Jongin Lee
Department of Electronic Eng., Kunsan National University
E-mail : hjh5874@kunsan.ac.kr

요 약

본 연구에서는 분석학적 모델을 이용하여 DGMOSFET의 전류-전압을 고찰하고자 한다. 분석학적 모델을 유도하기 위하여 포아송 방정식을 이용하였다. 드레인 전류가 10^{-7}A일 때 상단게이트전압을 문턱전압으로 정의하였다. 채널의 길이를 20nm에서 100nm까지 변화시켜 채널길이에 따른 전류-전압특성을 분석하였다. 또한 본 연구에서 제시한 모델을 사용하여 DGMOSFET 설계시 중요한 도핑농도와 채널두께 등의 요소변화에 대한 전류-전압의 변화를 관찰하였다. 구조적 파라미터의 변화에 따라 전도중심의 변화와 전도중심이 전류-전압에 미치는 영향을 분석하였다.

ABSTRACT

In this paper, current-voltage have been considered for DGMOSFET, using the analytical model. The Possion equation is used to analytical. Threshold voltage is defined as top gate voltage when drain current is $10^{-7}A$. Investigated current-voltage characteristics of channel length changed length of channel from 20nm to 100nm. Also, The changes of current-voltage have been investigated for various channel thickness and doping concentration using this model, given that these parameters are very important in design of DGMOSFET. The deviation of conduction path and the influence of conduction path on current-voltage have been considered according to the dimensional parameters of DGMOSFET.

키워드
DGMOSFET, 채널길이, 전류전압특성, 도핑농도, 전도중심

Keyword
DGMOSFET, Channel length, Current-voltage characterstics, Doping concentration, Conduction path

Ⅰ. 서 론

실리콘 시대(Silicon Age)라고까지 불리울 만큼 현대의 정보화 사회를 이끈 20세기의 중요한 과학기술적 사건은 1947년의 트랜지스터의 발명일 것이다. 트랜지스터로 대변되는 실리콘 기술은 그 이후 라디오, 컴퓨터, 인터넷을 거쳐 현재 우리의 생활의 구석구석까지 파고들어 실리콘 소자는 이제 우리의 일상생활에서 없어서는 안되는 불가결한 요소로 자리 매김하고 있다[1].

반도체 칩의 트랜지스터의 집적화는 현재에도 계속 비약적인 추세로 발전하고 있다. 일례로, 1965년에는 약 1.5㎠ 크기의 칩 하나에 1,000개의 소자를 넣을 수 있었다. 1970년에는 대규모 집적회로(LSI : Large Scale Integration)를 이용하여 한 칩 위의 소자수는 15,000개 이상으로 증가되었다. 오늘날은 수억개의 소자를 수용할 수 있는 칩이 생산되고 있다. 이러한 발전의 추세는 고든 무어(Gordon moore)가 1965년에 주창한 매 18개월마다 한 칩에 집적되는 트랜지스터의 수가 2배로 증가할 것이라는 무어의 법칙에 의하여 잘 설명되고 있다. 이러한 무어의 법칙을 가능하게 한 기술은 바로 트랜지스터의 소형화 기술에 집중되어 있다. 이러한 소자의 소형화 기술은 집적회로의 집적도뿐아니라 성능의 향상을 유발한다.

일반적으로 트랜지스터의 게이트의 길이가 점차 줄어듦으로써 발생하는 문제점 중에 하나가 단채널 효과이다. 단채널효과는 여러 가지 현상을 통칭하는 것으로, 대표적인 특성이 트랜지스터의 누설전류가 증가되고, 항복전압이 감소되며, 포화 전류 특성을 보이지 않고 드레인 전압에 따라서 전류가 계속 증가하는 현상이 발생된다. 이러한 단채널 특성은 소스와 드레인간의 거리가 점차적으로 가까워짐으로써 나타나는 현상이며, 이를 개선하는 방법중의 하나가 소스 및 드레인의 접합의 깊이를 얕게 하는 방법이다. 그러나, 접합의 깊이가 줄어듦에 따라서 소스 및 드레인의 면저항이 급격하게 증가하는 문제점이 있다. 지난 30여년 동안 MOSFET의 게이트길이를 줄이는 스케일링에 의하여 회로의 동작속도 및 전력소비 문제를 개선하여왔다. 그러나 이러한 스케일링이론은 소자의 길이가 나노단위까지 감소하면서 공정 및 물질의 한계에 부딪쳐 더 이상 적용할 수 없게 되었다[2]. 이와같은 문제를 해결하기 위하여 개발되고 있는것이 DG MOSFET 소자이다. DGMOSFET는 게이트를 상하에 제작할 수 있어 게이트에 의한 전하제어 능력이 기존의 MOSFET보다 약 2배로 증가하여 초박막형태로 제작할 수 있어 단채널효과를 감소시킬 수 있다는 장점이 있다. 기존의 CMOSFET에서는 디자인요소로 채널폭과 채널길이의 비 즉, W/L 비가 중요하게 고려되고 있다. 그러나 DGMOSFET는 상하로 게이트 단자를 제작하므로 깊이방향의 크기가 중요한 요소로 지적되고 있다. 본 논문에서는 DGMOSFET의 채널 두께, 도핑농도, 채널길이에 따른 전류-전압의 특성을 분석학적 모델을 이용하여 분석하고자 한다. 2장에서는 DGMOSFET 구조의 전위본포 모델과 전류모델에 대한 설명을 할 것이며 3장에서는 DGMOSFET의 파라미터 변화에 따른 전류-전압 특성을 설명하고 4장에서 결론을 맺을 것이다.

II. DGMOSFET 구조의 전위분포 모델과 전류모델

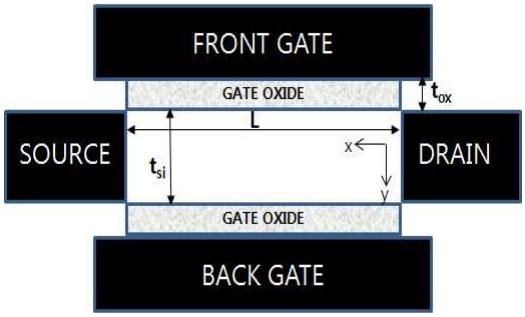

그림 1. DGMOSFET 구조
Fig. 1. Structure of DGMOSFET

그림 1은 이 논문에서 사용한 DGMOSFET의 개략도이다. 이 구조에서 채널의 길이와 두께 방향으로 포텐셜 분포를 구하기 위하여 포아송 방정식을 이용하였다.

$$\frac{\partial^2\psi(x,y)}{\partial x^2}+\frac{\partial^2\psi(x,y)}{\partial y^2}=\frac{qN_A}{\epsilon_{si}} \tag{1}$$

여기서 q는 전자 전하량이고, N_A는 채널 도핑농도이며 ϵ_{si}는 실리콘의 유전율이다. 식(1)을 풀기 위하여 Zhang 등의 경계조건을 이용하면 전위 분포 함수는 아래와 같다[3].

$$\psi(x,y)= V_{bi}+\frac{V_{DS}}{L}x\sum_{n=1}^{100}A(n)(y)\sin\frac{n\pi x}{L} \tag{2}$$

전위분포함수를 이용하여 전자밀도를 구할 수 있으며 전자밀도는 볼츠만통계에 의하여

$$n_m(y)=(n_i^2/N_A)e^{q\psi_{\min}/kT} \tag{3}$$

이다. 대부분의 캐리어가 이동되어지는 최소 채널포텐셜 $\psi_{\min}$은 $\partial\psi(x,0)/\partial x|_{x=x0}=0$에서 구할 수 있다. 일반적으로 10nm이하의 채널길이를 갖는 DGMOSFET 소자에서는 터널링 전류가 우세하나 그보다 큰 채널길이를 갖는 소자에서는 열방사전류가 유세하다고 알려져 있다[4]. 열방사전류만으로 구성되는 드레인 전류는 다음과 같이 표현된다.

$$I_{DS}= \frac{qn_m(y)v_{th}t_{si}W}{6} \approx \frac{qn_m(d_{eff})v_{th}t_{si}W}{6} \quad (4)$$

여기서 v_{th}는 열전압속도, W는 채널의 폭이다. 파라미터 d_{eff}는 자유전자의 전도중심을 나타내며 다음과 같이 표현된다[5].

$$d_{eff} = \int_0^{t_{si}/2} ye^{\psi_{\min}/V_t}dy \,/\, e^{\psi_{\min}/V_t}dy \quad (5)$$

Ⅲ. DGMOSFET 파라미터에 따른 전류 - 전압 특성 결과

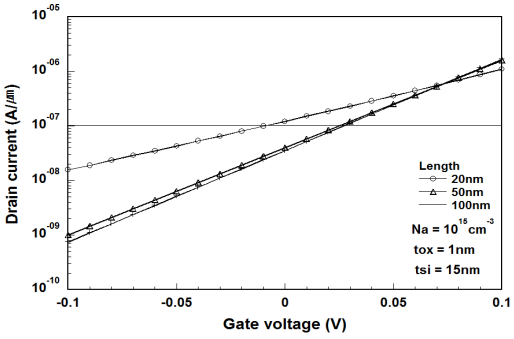

그림2. 채널길이 변화에 따른 전류-전압특성
Fig. 2. Current-voltage characteristics according to the change of channel length

그림 2는 채널 길이가 변화함에 따라 DG MOSFET의 전류-전압 특성곡선을 나타내고 있다. t_{si}와 t_{ox}의 값은 각각 15nm, 1nm, 도핑농도는 $10^{15}cm^{-3}$로 고정을 시키고 채널길이를 20nm, 50nm 그리고 100nm로 변화시켰다. 채널길이가 커지면서 드레인 전류는 감소하였다. 드레인 전류가 $10^{-7}A/\mu m$일 때의 게이트 전압을 문턱전압으로 정의하면[6] 채널 길이가 20nm 일 때 문턱전압은 약 -0.005V이고, 50nm, 100nm 일 때의 문턱전압은 각각 약 0.025V, 0.027V이다. 채널길이가 50nm일 때와 100nm 일 때의 문턱전압은 거의 변화가 없으나 채널길이가 20nm 일 때는 문턱전압이 급격히 감소함을 알 수 있다.

그림 3은 채널 도핑 농도 변화에 따른 DGMOSFET의 전류-전압특성을 도시하였다. 도핑농도는 10^{15}cm^{-3}에서 10^{18}cm^{-3}까지 변화시켰으며 t_{si}와 t_{ox}는 그림 2의 파라미터와 동일하다. 채널길이는 20nm이다. 도핑농도 변화에 따른 그래프를 보면 채널길이의 변화와 마찬가지로 도

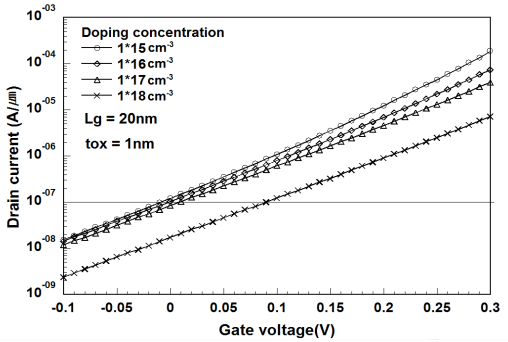

그림3. 도핑농도 변화에 따른 전류-전압 특성
Fig. 3. Current-voltage characteristics according to the change of doping concentration

핑농도의 변화에 따라 드레인 전류와 문턱전압의 변화를 알 수 있다. 도핑농도가 10^{15}cm^{-3}에서 10^{17}cm^{-3} 까지의 드레인 전류를 살펴보면 전류가 소폭으로 감소하였으나 도핑농도가 10^{18}cm^{-3}일 때 드레인 전류가 급격히 감소하는 것을 알 수 있다. 또한 도핑농도에 따른 문턱전압을 비교하면 도핑의 농도가 10^{18}cm^{-3} 일 때 문턱전압이 급격히 증가함을 알 수 있고, 문턱전압이 이동하는 단채널 효과가 나타난다. DGMOSFET에서 채널의 도핑농도가 증가하면 채널내 전도중심이 게이트와 멀어져 게이트 캐리어 전송능력이 감소하기 때문에 DGMOSET의 제작은 주로 채널을 저농도로 도핑하여 사용하고 있다.

그림 4는 채널 두께 변화에 따른 전류-전압 특성을 나타내고 있다. 채널 두께는 5nm, 10nm, 15nm, 그리고 20nm로 변화하였다. 이때의 파라미터는 t_{ox} 1nm, 도핑농도 10^{15}cm^{-3}, 그리고 채널길이는 20nm 이다. 채널 두께가 감소하면서

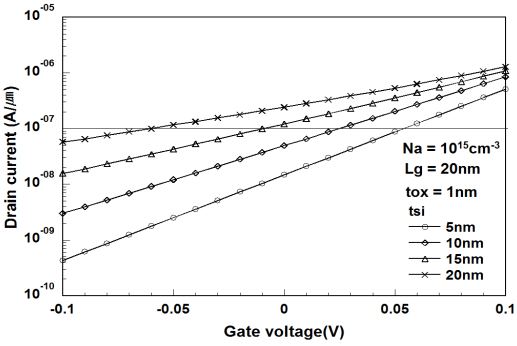

그림4. 채널두께 변화에 따른 전류-전압 특성
Fig. 4. Current-voltage characteristics according to the change of channel thickness

드레인 전류가 감소하였다. 문턱전압 이하 드레인 전류의 감소는 즉 문턱전압의 증가를 의미한다. 또한 채널두께가 증가하면서 단채널 효과인 문턱전압의 이동현상 증가함을 알 수 있다.

Ⅴ. 결 론

본 논문에서는 DGMOSFET의 전류-전압의 특성을 분석하였다. 전류-전압의 특성을 분석하기 위하여 분석학적 모델을 사용하였다. 분석학적 모델을 유도하기 위하여 포아송방정식의 해를 구할 때 급수함수를 이용하였다. 소자파라미터인 도핑농도와 채널두께, 채널길이 등에 대하여 전류-전압의 변화를 관찰하였다. 또한 드레인 전류가 10^{-7}A 일 때의 게이트 전압을 문턱전압으로 정의하고 파라미터 변화에 대한 문턱전압의 변화에 대하여 관찰하였다. 채널길이가 20nm에서 100nm 커지면서 드레인 전류는 감소하였다. 또한 채널길이가 20nm일 때 문턱전압이 급격히 감소하였다. 도핑농도를 $10^{15}cm^{-3}$에서 $10^{18}cm^{-3}$ 까지 도핑 농도에 따른 전류-전압 특성에서는 $10^{18}cm^{-3}$ 일 때 드레인 전류가 급격히 감소하였고 단채널 효과인 문턱전압 이동이 증가함을 알 수 있었다. 마지막으로 채널 두께의 변화에 따른 전류-전압 특성에서는 채널 두께가 증가하면서 드레인 전류는 증가하였고, 문턱전압의 이동 현상이 증가함을 알 수 있었다. 특히 단채널 효과인 문턱전압의 이동현상에서는 채널두께에 따라 매우 급격히 변하므로 DGMOSFET 설계시 주의 깊게 고려하여야 한다.

감사의 글

본 연구는 군산대학교 정보통신기술연구소의 부분적인 지원으로 수행되었음.

참고문헌

[1] 이성재, 장문규, “실리콘 나노전자소자의 연구동향,” 물리과학 첨단기술, June. 2003

[2] 정학기, Sima Dimitrijev, "더블게이트 MOSFET의 서브문턱스윙에 대한 연구,“ 한국해양정보통신학회, vol.9, no4, pp.804-810, 2004

[3] Z. Ding, G. Hu, J.Gu, R. Lin, L.Wang and T. Tang, "An analytical model for the subthreshold swing of double-gate MOSFETs,“ IWJT, 2010

[4] 정학기,“나노구조 이중게이트 MOSFET에서 터널링이 단채널효과에 미치는 영향,” 한국해양정보통신학회논문지, Vol. 10, n0. 3, pp. 479 -485, 2006.

[5] J.H. Han, H.K.Jung, C.S.Park, “Structure -Dependent Subthreshold Swings for Double-gate MOSFETs”, International Journal of KIMICS, vol. 9, no. 5, pp.583-586, OCT, 2011.

[6] TCAD Manual, Part4:INSPEC,ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56, ver.7.5