

저전압용 전압제어발진기의 설계

이종인* · 정동수* · 정학기* · 이상영* · 윤영남**

*군산대학교 전자공학과 · **인천 인력 개발원

Design of the Voltage Controlled Oscillator for Low Voltage

Jong-in Lee* · Dong-soo Jeong* · Hak-kee Jung* · Sang-young Lee* · Young-nam Yoon**

*Department of Electronic Eng. Kunsan National University

**Incheon Human Resources Development Institute

요 약

본 논문에서는 WCDMA(Wide Code Division Multiple Access) 시스템 사양을 만족시키는 주파수 합성기 블록 중 위상잡음 및 전력소모의 최적 설계가 필요한 LC-VCO(voltage controlled oscillator)의 설계를 제안 하였다. 최적 설계를 위한 핵심내용은 LC-tank의 손실성분을 보상하는 MOS트랜지스터의 전달컨덕턴스와 인덕턴스 평면에 여유이득라인과 튜닝 범위 라인을 그어 설계 가능한 영역 내에서 위상잡음이 최소가 되는 인덕턴스 값을 구하고 선택하는 것이다. 제안한 최적 설계방법에 의해 진행된 LC-VCO의 시뮬레이션 결과 위상잡음 특성은 1MHz오프셋에서 $-113dBc/Hz$ 였다.

키워드

WCDMA, 전압제어 발진기, 여유이득, 위상잡음

I. 서 론

휴대용 단말장치는 크게 고주파 전단부와 기저대역 처리부로 나눌 수 있으며 점차 소형경량화, 저가화, 저전력화 추세로 개발되고 있다. CMOS 집적회로 기술은 고주파 특성 면에서 GaAs, 또는 바이폴라 집적회로보다 불리하지만, 채널길이의 축소로 인한 차단 주파수의 향상으로 대부분의 단말장치가 사용하는 1~5GHz의 대역에서 실용화될 것으로 예상되고 있으며 CMOS 기술을 이용한 저전력 고주파 전단부 회로 설계는 가격 경쟁력을 위한 대세라 할 수 있다.

고주파 전단부 가운데 주파수 합성기는 고주파 수신부에서 소모하는 전력소모의 1/3~1/4에 이를 정도로 전력소모가 큰 블록이다. 전력소모를 줄이면서도 세틀링 시간 및 위상잡음 특성이 저하되지 않도록 최적 설계하는 저전력 회로 설계 기술이 주파수 합성기 블록에 적용되어야 한다.

CMOS 공정이 발달함에 따라, 선폭이 좁아지면서 100 nm 이하의 CMOS 공정에서 Sub-1V의 전원 전압을 사용할 수 있게 되었다. 주파수 합성기의 블록 중 전압제어 발진기는 전원 전압이 Sub-1V로 낮아질 때, 발진 파형의 진폭 또한 감소하여 위상 잡음 특성을 저하시키게 된다. Sub-1V의 저전

압 공급시 위상잡음 특성의 저하를 막기 위해 전력소모와 위상잡음의 trade-off 관계를 이용한 최적 설계 기술이 필요하다[1].

본 논문에서는 WCDMA 시스템 사양을 만족시키는 주파수 합성기 블록중 위상잡음 및 전력소모의 최적 설계가 필요한 LC-VCO(voltage controlled oscillator)를 설계한다. 최적 설계를 위한 핵심내용은 LC-tank의 손실성분을 보상하는 MOS트랜지스터의 전달컨덕턴스와 인덕턴스 평면에 이득여유라인과 튜닝범위 라인을 그어 설계 가능한 영역 내에서 위상잡음이 최소가 되는 인덕턴스 값을 선택하여 LC-VCO회로를 재구성하였다. 재구성된 발진기의 특성을 조사하고 레이아웃 하였다.

II. Sub-1V의 저전압 LC-VCO의 위상잡음과 전력소모 간의 최적설계

2.1 Sub-1V 저전력 LC-VCO 설계의 필요성

그림 2-1은 WCDMA의 고주파 수신부 블록도이다. 수신된 미약한 신호는 저잡음 증폭기(LNA)에서 증폭되며, 주파수 혼합기(Mixer)에서 주파수가 하향 변환된다. 이때 주파수를 하향 변환하도록 주파수

혼합기에 국부 발진 신호가 주파수 합성기(Rx PLL)를 통해 인가되며, 이 발진 신호는 전압 제어 발진기(Rx VCO)에서 공급된다.

주파수 합성기의 블록 중 가장 중요한 블록은 전압제어 발진기이며, 전압제어 발진기의 위상잡음 및 전력소모 특성이 전체 주파수 합성기의 설계스펙에 그대로 반영된다[2].

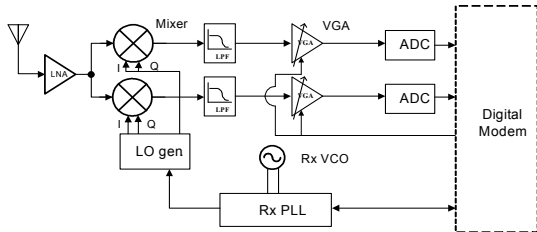


그림 2-1. WCDMA 시스템에서의 RX 블록도

Sub-1V의 공급전원전압이 낮아지면, 발진기의 발진 진폭 또한 줄어들게 되어 위상잡음 특성이 크게 저하되는 문제점이 발생한다. 발진의 폭이 감소하면 할수록 위상잡음특성은 자승에 비례하여 저해된다. 따라서 Sub-1V 저전압 설계시 줄어든 발진 진폭에 의한 위상잡음 특성의 저하를 고려하여 전력소모 및 위상잡음의 trade-off 관계 가운데 스펙을 만족시키는 최적 설계가 필요하다.

2.2 제안된 Sub-1V 저전압 LC-VCO 구조

그림 2-2(a)는 전통적인 LC-VCO 구조이며, 전력소모 대비 위상잡음 특성이 좋은 구조로 평가받고 있다[3]. 그러나 LC-VCO 구조는 sub-1V 저전압 구조에서 사용시, 전원전압에서부터 접지까지 연결되는 트랜지스터의 개수가 많아 발진 파형의 진폭이 매우 좁아진다는 단점을 갖는다. 발진 진폭을 좀더 키우기 위해서는 PMOS 래치를 제거하고 꼬리 전류원으로 사용하는 NMOS 트랜지스터를 인덕터에 직접 연결하면 그림 2-2(b)와 같은 LC-VCO 구조가 되며, PMOS 래치를 제거한 만큼 발진 진폭이 커지게 된다.

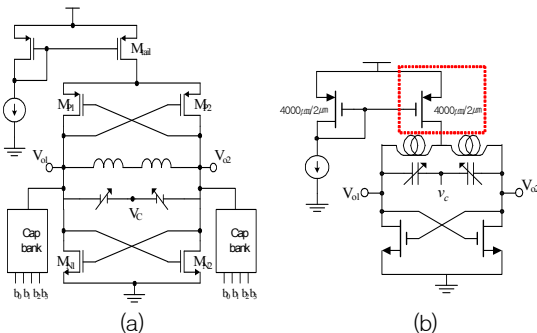


그림 2-2. (a) 전통적인 LC-VCO 구조 (b) 제안된 Sub-1V LC-VCO의 구조

2.3 위상잡음과 전력소모 간 최적 설계

제안된 그림 2-2(b)의 LC-VCO 구조에서 위상잡음 특성을 향상시키기 위한 최적설계방법은 위상잡음과 튜닝범위, 여유이득(Excess gain) 관계를 이용하면 해결 할 수 있다.

발진 주파수 및 버랙터의 기생커패시턴스(C_{var})의 값을 고정시키고 인덕터의 기생커패시턴스(C_{ind})와 MOS의 기생커패시턴스(C_{MOS}) 평면에서 튜닝 범위를 지켜야 한다[4].

제안한 그림 2-2(b)에 대하여 이와같은 방법으로 얻어진 인덕턴스 값은 $2.2nH$ 이고 MOS 트랜지스터의 W 가 $97\mu m$ 일 때 위상잡음은 $-113.84dBc/Hz$ 의 가장 낮은 특성을 얻었으며, 위상잡음과 전력소모 간 trade-off 관계를 이용한 최적 설계된 LC-VCO의 소자값 및 이때의 위상잡음과 바이어스 전류 값을 구하면 표 2-1과 같다.

표 2-1. 최적 설계된 소자값 및 바이어스 전류값

소자	소자 값	내용	LC-VCO특성
인덕턴스	$2.2nH$	바이어스 전류	15mA
버랙터	$500pF$	여유이득	2
W/L (N_1, N_2)	$100\mu m / 0.25\mu m$	위상잡음	$-117dBc/Hz$ (@1MHz offset)
W/L ($P-tail$)	$100\mu m / 0.25\mu m$		

2.4 시뮬레이션 틀을 이용한 검증

앞 절에서 살펴본 대로 LC-VCO의 전력소모 대비 위상잡음에 대한 최적설계를 얻기 위해서는 먼저 인덕터 및 버랙터의 정확한 모델링 및 측정이 선행되어야만 튜닝 범위 및 위상 잡음 특성을 시뮬레이션하고 결과를 예측하는데 중요하다.

스파이럴 인덕터 모델로부터 인덕터의 Q 는 식 (2-1)과 같이 얻어진다[5].

$$Q = \frac{\omega L}{R_s} \cdot \frac{R_p(1 - R_s^2/L - \omega^2 LC_p)}{R_p + [1 + (\omega L/R_s)^2]R_s} \quad (2-1)$$

시뮬레이션을 위해 스파이럴 인덕터의 탑 메탈간의 턴간격 및 턴폭을 각각 $5\mu m$ 와 $15\mu m$ 로 고정 한 다음 턴수를 2~5턴까지 증가시켜서 인덕터의 모델의 파라미터 값들은 다음과 같다.

$L = 0.5 \sim 2.7nH, R_s = 6.4 \sim 25\Omega, C_{ox} = 55 \sim 170fF, R_{sub} = 7 \sim 12\Omega, Q = 7.5 \sim 8.5$
 MOS의 커패시턴스를 튜닝하는 MOS 버랙터는 선형 특성이 좋고, 튜닝 범위가 넓어 많이 사용하는 구조이다[6].

모델링된 MOS 버랙터의 시뮬레이션한 결과가 그림 2-3에 나타나 있다. 그림 2-3에서 보는 바와 같이 인덕터 L값이 커질수록 튜닝 범위는 더욱 넓어

졌으나, 버랙터의 이득은 2.3~2.5로 비교적 일정한 상수 값을 갖는 것을 확인 할 수 있다.

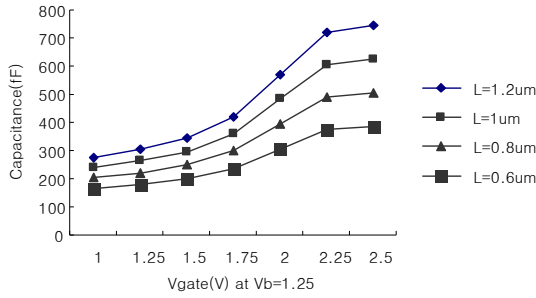
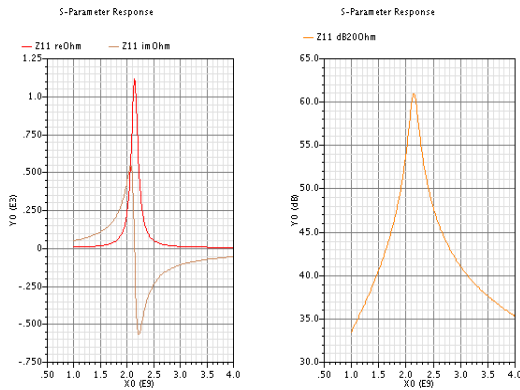


그림 2-3 MOS 버랙터의 시뮬레이션 결과

2.5 발진파형 및 시뮬레이션

인덕터와 버랙터의 모델링을 통해 정확한 소자값을 얻은 다음, LC공진부 설계를 통해 발진조건을 얻을 수 있다. 그림 3-15 (a)는 LC 공진 회로의 임피던스 값을 실수부와 허수부로 나누어 보여준다. 공진은 허수부가 제로일때 일어나며, 공진주파수 2.1GHz 부근에서 임피던스 값은 1.1KΩ인 것을 확인할 수 있다.



(a) (b)

그림 2-4. LC-tank 시뮬레이션 결과

(a) Z_{11} (real) & Z_{12} (imaginary) (b) Q(quality factor)

그림 2-4(b)는 임피던스 값을 dB 스케일로 보여준다.

발진조건은 식(2-2) 에서 여유이득(Excess gain)에 대한 식으로 보여 진다.

$$\text{Excess gain} = g_m / (g_L + g_{var}) \quad (2-2)$$

여기서 g_m , g_L , g_{var} 는 각각 MOS 트랜지스터의 전달컨덕턴스, 인덕터에 의한 손실성분, 버랙터에 의한 손실성분을 나타낸다. 발진조건은 병렬 LC 공진회로의 손실성분보다 이를 보상하는 g_m 값이 더 커야 하며 여유이득이 1보다 큰 조건에서 발진하게 된다.

그림 2-5와 그림 2-6은 그림 2-2(b)의 LC-발진기의 시뮬레이션 결과이다. 그림 2-5는 시간 영역에서 시뮬레이션한 파형을 보여주고 있으며, 발진 파형의 크기는 $900mV_{p-p}$ 값을 갖는다. 그림 2-6은 주파수 영역에서 시뮬레이션한 결과를 보여주고 있으며, 발진 주파수는 2.1GHz임을 알 수 있다. 이상의 결과로부터 WCDMA시스템 수신단의 전압제어발진기 설계스펙과 동일함을 확인할 수 있다.

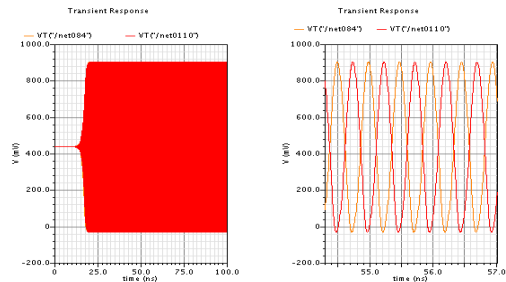


그림 2-5. 시간영역에서 LC 발진기의 시뮬레이션 결과

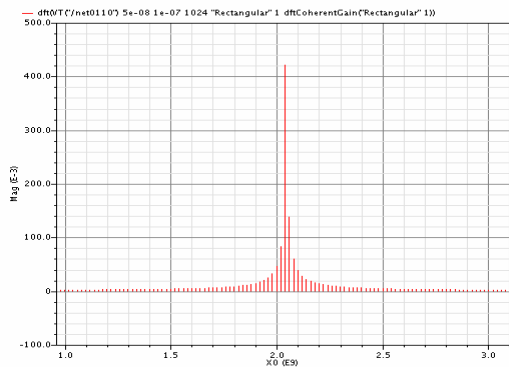


그림 2-6. 주파수 영역에서 LC 발진기의 시뮬레이션 결과

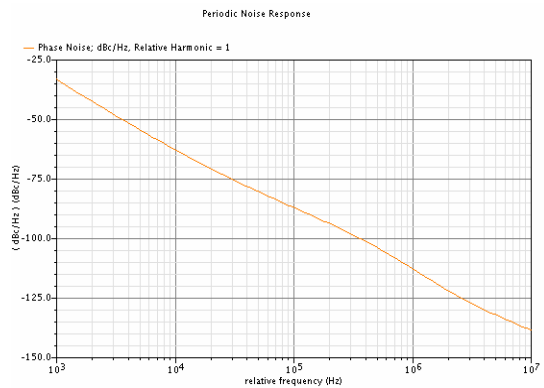


그림 2-7 위상잡음 시뮬레이션 결과

그림 2-7은 RF 스펙터 시뮬레이션 툴을 이용하여 위상잡음 특성을 구한 결과이다. 100KHz 오프셋 및

1MHz 옵셋에서 위상잡음 특성은 각각 $-87dBc$, $-113dBc$ 의 값을 갖는다.

III. Sub-1V 저전압용 LC-VCO 레이아웃

그림 2-1(b)의 발진 회로는 그림 3-1과 같이 바이어스 회로, LC-병렬 공진 회로, 손실 보상 회로 3 부분으로 나누어 생각할 수 있다.

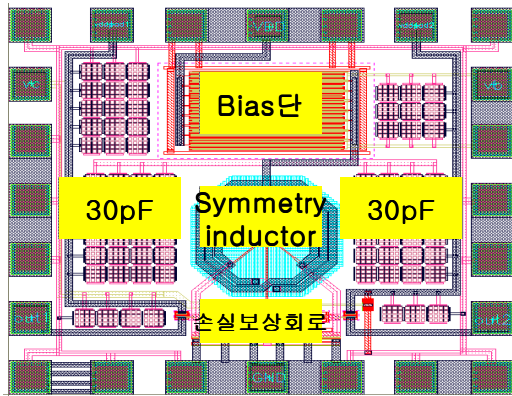


그림 3-1. 레이아웃 도면

그림 3-1은 하이닉스 $0.25\mu m$ CMOS 공정을 이용하여 레이아웃한 결과이다. 인덕터는 Q가 높은 팔각형 모양의 나선형 인덕터를 사용하였고 벡터는 n-well 위의 n+를 갖는 전통적인 MOS 벡터를 사용하였다. 전원단자와 접지단자 사이에는 60pF의 커패시턴스를 달아주어 전원 노이즈 및 기판 노이즈에 대한 영향을 줄였다.

IV. 결 론

Sub-1V 저전압용 W-CDMA 응용을 위한 n-core p-tail LC-VCO의 저위상잡음을 위한 최적 설계가 제안되었다. 최적 설계 방법은 MOS 트랜지스터의 W와 인덕턴스 평면에, 튜닝 범위 라인과 여유이득 라인을 그어 위상잡음 값이 최소값을 갖는 인덕턴스 값을 선택하는 방법이다. 또한 바이어스 전류를 반복해 가면서 위상잡음 특성을 체크하여, 1mA 이상 증가시켜도 위상잡음이 1dBc 이상 개선되지 않는 영역에서 LC-VCO는 최적 설계되었다. Hajimiri 위상잡음 식을 이용한 매뉴얼 분석은 실제 시뮬레이션 결과와 잘 일치하였으며, 제안한 최적 설계방법에 의해 진행된 LC-VCO의 시뮬레이션 결과 위상잡음 특성은 1MHz옵셋에서 $-113dBc/Hz$ 였다. 향후 과제로는 Sub-1V LC-VCO 뿐만 아니라, Sub-1V 차지펌프 회로 설계에 대한 연구가 진행되어, Sub-1V에서 동작하는 주파수 합성기 설계에 대한 연구가 필요하다.

참고문헌

- [1] Masoud Zargari et al, "A 5-GHz CMOS Transceiver for IEEE 802.11a Wireless LAN Systems", *IEEE J. Solid-State Circuits*, pp. 1688-1694, Dec. 2002.
- [2] H. Lee et al, "A $\Delta\Sigma$ Fractional-N Frequency Synthesizer Using a Wide-Band Integrated VCO and a Fast AFC Technique for GSM/GPRS/WCDMA Applications," *IEEE J. Solid-State Circuits*, pp. 1164-1169, July 2004.
- [3] A. Hajimiri and T. H. Lee, "Design Issues in CMOS Differential LC Oscillator", *IEEE J. Solid-State Circuits*, vol. 34, pp. 717-724, May 1999.
- [4] 윤영남, "저전력 주파수 합성기의 설계", 군산대학교 석사학위논문, 2007. 2.
- [5] Joachim N. Burghartz, et al, "RF Circuit Design Aspects of Spiral Inductors on Silicon", *IEEE J. Solid-State Circuits*, vol. 33, pp. 2028 -2034, Dec. 1998.
- [6] R. L. Bunch, et al, "Large-signal Analysis of MOS Varactors in CMOS LC VCOs", *IEEE J. Solid-State Circuits*, vol. 38, pp. 1325-1332, Aug. 2003.