

개선된 배전압 회로를 이용한 전압증배기 회로 설계

여협구* · 정승민* · 손승일* · 강민구*

*한신대학교

Design of a Voltage Multiplier Circuit using a Modified Voltage Doubler

Hyeopgoo Yeo* · Seung-Min Jung* · Seungil Sonh* · Min-Koo Kang*

*HanShin University

E-mail : hgyeo@hs.ac.kr

요 약

본 논문에서는 기존의 Dickson's charge pump에 개선된 배전압 회로를 조합하여 구성된 새로운 전압증배기 회로를 소개한다. 기존의 charge pump로 얻어진 전압을 승압에 다시 사용하는 구조로 배전압기를 응용하여 전압증배를 가속화 하면서도 DMOS의 구조적 신뢰성을 저하하지 않도록 회로 구조를 제안하였다. 제안된 6단 전압증배기는 3V 전원으로 약 33V의 출력을 내며 6단 이상의 구성으로 고전압 증배도 가능하다. 제안된 회로의 성능을 평가하기 위해 Magna DMOS 공정을 이용하여 시뮬레이션 하였으며 이론적인 증배와 일치함을 보였어 최소한의 소자 사용으로 고전압 전압증배가 가능한 새로운 전압증배기를 제시하였다.

ABSTRACT

This paper introduces a new DC-DC voltage multiplier using a Dickson's charge pump and a modified voltage doubler. The voltage obtained from a conventional Dickson's charge pump was reused for accelerating the voltage multiplication and the architecture of the proposed voltage multiplier would not decrease the device reliability of DMOS. The proposed 6-stage voltage multiplier generate about 33V with 3V voltage source. To evaluate the proposed voltage multiplier, simulations were performed with Magna DMOS technology. The simulated voltage multiplication agrees well with a theoretical value, therefore, this paper introduces a new fast voltage multiplier with minimum devices.

키워드

전압증배기, Dickson's charge pump, 배전압 회로, DMOS

I. 서 론

최근 모바일 시스템의 확대로 인하여 플래쉬 메모리와 같은 비휘발성 메모리 사용이 증가하고 있다. 이러한 비휘발성 메모리의 프로그래밍을 위해서는 높은 전압이 필요하며, 배터리에서 공급되는 저전압을 높은 전압으로 바꾸는 회로가 필요하다.

기존의 승압 회로 중 가장 일반적으로 사용하

는 회로는 Dickson's charge pump이며 대부분이 회로를 변형한 회로들이다[1]. 본 논문에서는 배전압 회로를 응용하여 구성된 고전압 고속 전압증배 회로를 제안하고 제안된 전압증배 회로를 Magna EDMOS 기술로 구현하여 시뮬레이션으로 검증한다. 또한 제안된 회로의 특성을 기존의 Dickson's charge pump의 특성과 비교한다.

II. 전압증배 회로

그림 1은 기존의 Dickson's charge pump의 구조이다. 이 회로의 출력은 아래와 같은 식으로 나타난다[1].

$$(N+1)V_{DD} - NV_{TH} \quad (1)$$

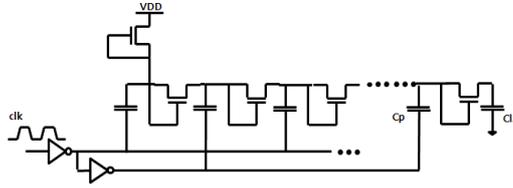


그림 1. Dickson's charge pump 회로 구조

그림 2는 본 논문에서 제안하는 배전압 회로를 응용한 고속 승압 회로이다. 총 6단으로 이루어져 있고 처음 3단은 Dickson's charge pump로 뒤의 3단은 앞단에서 얻어진 증폭된 신호를 이용하여 다시 charge pumping을 가하는 방식의 배전압 회로를 조합하여 고속의 전압증배가 이루어 지도록 하였다. 제안된 회로와 같이 배전압 회로를 기반으로 한 구조의 경우 MOS 회로의 신뢰성 문제가 발생하게 된다. 즉, MOS 소자의 게이트 소스 또는 드레인간 전압에 과부하가 걸리게 되어 MOS의 신뢰성에 문제를 야기하게 된다. 따라서 본 논문에서는 신뢰성 문제의 해결을 위해 DMOS를 이용하여 게이트 드레인간의 높은 전압을 견디면서, 소스간의 전압은 5V 이상이 인가되지 않도록 하여 소자의 신뢰성에 문제가 없도록 설계하였다. 전체적으로 6개의 단으로 구성되어 전압증배를 하며 추가의 단을 구성하거나 캐스케이드 형태로 연결하여 고전압을 얻을 수 있는 구조로 되어 있다.

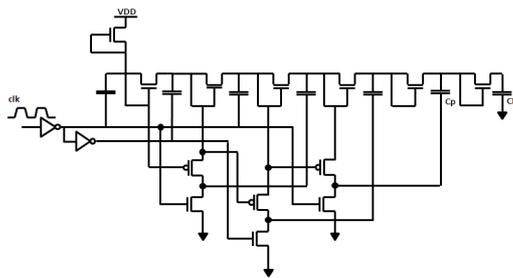
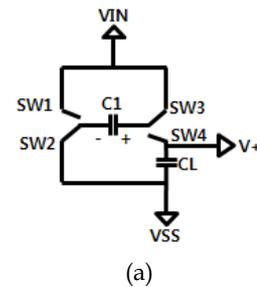


그림 2 제안된 고전압 전압증배 회로

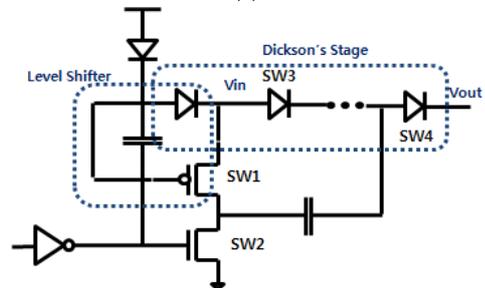
기존의 Dickson's charge pump에서 승압된 전압을 이용하여 증폭된 클럭신호를 만들고 그 증폭된 클럭신호를 이용하여 상위 단계의 charge pump를 구동시켜 고전압 증배를 하도록 한다. 그림 2의 제안된 회로 구조를 보면 Dickson's charge pump를 변형한 것이나 1, 2, 3 단에서 증폭된 신호로 만든 클럭신호의 경우 그림 3과 같이 배전압 회로를 변형한 것임을 알 수 있다[2].

그림 3(a)은 스위치로 구성된 배전압 회로를 보여 주고 있다. 그림과 같이 4개의 스위치가 필요하며 각각의 스위치는 제안된 회로에서의 MOS 스위치 및 MOS로 구성된 다이오드에 해당된다. SW2, SW3가 연결된 상태에서 SW2, SW3를 끊고 SW1, SW4가 연결되면 C_L 를 V_{IN} 에 두 배에 해당하는 전압이 전달되게 된다. 이러한 배전압 회로를 이용하여 캐스캐이드 형태로 연결되면 높은 전압을 빠르게 얻을 수 있고 이론적으로 2^N 에 해당하는 전압을 얻을 수 있다[2]. 그러나 이러한 전압을 얻기 위해서는 스위치가 이상적으로 동작해야 하기 때문에 MOS 스위치를 사용하는 경우에 있어서는 그 구현이 용이하지 않다. 왜냐하면, 그림 3(b)에서 배전압 회로에서 SW2, SW3를 통해 전압이 충전될 때 SW1이 완전하게 끊어지지 않으면 안 되는데, 그러기 위해서는 SW1으로 사용된 PDMOS 게이트에 V_{IN} 으로 입력되는 전압과 같은 전압이 전달되어야 한다. 따라서 SW1로 사용되는 PDMOS는 level shifter로 Dickson's charge pump의 전단 신호를 이용하여 PDMOS의 V_{gs} 가 항상 $V_{dd}-V_t$ 를 넘지 않도록 하는 구조를 만들었다. 이때, SW1으로 사용되는 PDMOS나 SW2로 사용되는 NDMOS는 게이트와 드레인간에 높은 전압이 걸리게 되지만 DMOS 특성상 높은 V_{gd} 가 걸리더라도 소자의 신뢰성에 문제가 없는 구조를 형성하였다.

결국, SW2를 제외한 SW1, SW3, SW4가 다이오드 동작 형태의 스위치가 되고 이르게 SW4의 경우 기존의 배전압 회로와는 달리 바로 다음 단계 전하를 전달하는 구조가 아니라 위상을 맞추어 증배하기 위해 한단 건너 전하를 전달하는 구조를 가지게 된다.



(a)



(b)

그림 3. 배전압 회로 구조 비교 (a)기존 배전압 회로, (b)제안된 증배회로의 배전압 회로

제안된 회로는 처음 3단의 출력은 Dickson's charge pump의 출력이므로 식(1)에 의하여 $4V_{DD} - 3V_{TH}$ 이 되고 각단에서 얻어진 출력에 의하여 다시 charge pump 회로를 증배시키게 되므로 4단 부터는 $(n+1)V_{DD} - nV_{TH}$ 의 형태로 증배가 된다. 따라서 6단으로 구성된 회로에서 최종적으로 얻어지는 출력은 다음과 같이 나타낼 수 있다.

$$(4V_{DD} - 3V_{TH}) + \sum_{n=1}^3 ((n+1)V_{DD} - nV_{TH}) \quad (2)$$

따라서, 그림에서 나타난 6단의 출력전압은 $V_{DD}=3V$, $V_{TH}=0.7V$ 로 가정하였을 때 대략 33V가 된다. 이는 기존의 Dickson's charge pump에서 얻을 수 있는 전압에 비하여 두배 이상 높은 전압을 얻을 수 있고 6단 이후의 전압 증배 효과는 훨씬 더 커짐을 알 수 있다.

III. 시뮬레이션

제안된 고전압 전압증배회로를 검증하기 위해 두 Magna DMOS 공정을 사용하여 시뮬레이션 하였다. 1MHz 클럭신호와 1nF 부하 캐패시터 charge pump 노드의 캐패시터는 500pF으로 하고 부하는 1MΩ으로 고정하였다. 시뮬레이션 결과 6단의 전압 증배를 기준으로 하여 기존의 Dickson's charge pump의 전압보다 2배이상 높게 증배되는 것을 볼 수 있었다. 또한 앞에서 제시한 이론적인 증배값인 33V에 근접하여 출력값이 수렴됨을 알 수 있었다.

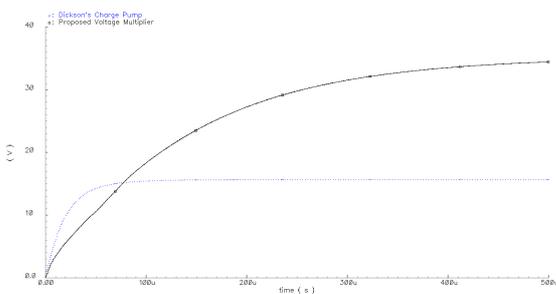


그림 4. 제안된 전압증배기 승압특성 및 기존의 Dickson's charge pump 승압 특성 비교 시뮬레이션

V. 결 론

본 논문에서는 배전압 회로를 응용한 고전압 전압증배 회로를 제안하였다. DMOS 소자의 신뢰성을 확보하면서도 빠르게 전압 증배가 가능하도록 하였고 6단 증배회로에 대한 증배전압을 이론

적으로 분석하였다. 제안된 회로의 기능을 확인하고 이론적인 결과와 일치하는지 검증하기 위해 Magna DMOS 공정을 이용하여 시뮬레이션 하였다. 시뮬레이션 결과 Dickson's charge pump에 비하여 6단을 기준으로 하여 2배 이상의 전압 증배가 이루어졌고 이론적인 증배 수치에 잘 부합하였다. 차후 기존의 승압회로와의 성능 비교 분석을 통하여 제안된 회로의 정량적인 평가가 필요하다.

참고문헌

- [1] J.F. Dickson, "On-Chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE J. Solid-State Circuits, vol. SC-11, pp. 374-378, June 1976.
- [2] J.A. Starzyk et. al, "A DC-DC Charge Pump Design Based on Voltage Doubler," IEEE Trans. Circuits Syst. I, vol. 48, no. 3, pp. 350-359, March 2001.