

---

# 스켈링이론에 따른 DGMOSFET의 문턱전압 특성분석

정학기, 한지형, 정동수  
군산대학교 전자공학과

## Analysis of Threshold Voltage Characteristics for Double Gate MOSFET Based on Scaling Theory

Hakkee Jung·Jihyung Han·Dongsoo Jeong  
Department of Electronic Eng., Kunsan National University

### 요 약

본 연구에서는 두개의 게이트단자를 가진 차세대 나노소자인 DGMOSFET에 대하여 문턱전압 이하영역에서 발생하는 단채널효과 중 문턱전압 및 드레인유도장벽감소의 변화를 스켈링이론에 따라 분석하고자 한다. 포아송방정식의 분석학적 해를 구하기 위하여 전하분포함수에 대하여 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였으며 이때 가우시안 함수의 변수인 이온주입범위 및 분포편차 그리고 소자 파라미터인 채널의 두께, 도핑농도 등에 대하여 문턱전압 특성의 변화를 관찰하였다. 본 연구의 모델에 대한 타당성은 이미 기존에 발표된 논문에서 입증하였으며 본 연구에서는 이 모델을 이용하여 문턱전압이하 특성을 분석할 것이다. 분석결과 스켈링이론 적용시 문턱전압 및 드레인유도장벽감소 현상이 변화하였으며 변화정도는 소자 파라미터에 따라 변화한다는 것을 관찰하였다.

### Abstract

This paper have presented the analysis of the change for threshold voltage and drain induced barrier lowering among short channel effects occurred in subthreshold region for double gate(DG) MOSFET with two gates to be next-generation devices, based on scaling theory. To obtain the analytical solution of Poisson's equation, Gaussian function been used as carrier distribution to analyze closely for experimental results, and the threshold characteristics have been analyzed for device parameters such as channel thickness and doping concentration and projected range and standard projected deviation of Gaussian function. Since this potential model has been verified in the previous papers, we have used this model to analyze the threshold characteristics. As a result to apply scaling theory, we know the threshold voltage and drain induced barrier lowering is changed, and the deviation rate is changed for device parameters for DGMOSFET.

### 키워드

DGMOSFET, 문턱전압, 드레인유도장벽감소, 도핑분포, 가우시안 분포, 포아송방정식, 스켈링

### I. 서론

트랜지스터의 이차효과 중 채널길이 감소에 의하여 발생하는 단채널효과는 기존의 CMOSFET에서는 더 이상 제거할 수 없는 상황에 도달했다. 즉, 문턱전압의 이동, 문턱전압 이하 스윙의 저하, 드레인유도장벽감소 현상의 발생 등 단채널로 인하여 발생하는 문턱전압 이하 특성의 변화로 인하여 차단전류의 증가 및 문턱전압의 변화로 어려움을 겪고 있다. 이러한 문제점을 해결하기 위하여 연구개발중에 있는 소자가 다중게이트 MOSFET이다. 다중게이트 MOSFET는 게이트를 채널주위로 여러 개 제작하여 게이트에 의한 채널내 전하의 제어능력을 향상시키고 채널을 완전결핍상태로 동작하게 하므로 스위칭속도를 향상시킬 수 있다는 장점을 가진다. 그러므로 향후 단일 게이트 CMOSFET를 대체하여 메모리 및 CPU등 반도체 집적회로에 주요 소자로 사용될 것이다. 본 연구에서는 이중게이트 MOSFET의 채널내 전위분포를 이용한 문턱전압이하 특성의 분석을 위하여 포아송방정식의 해석학적 모델을 이용하였다[1]. 이 모델은 이미 타당성이 입증되었으며 이 모델을 이용하여 단채널효과를 해석하였다[2]. 본 연구에서는 이 모델을 스켈링 이론과 접목하여 문턱전압의 특성을 분석하고자 한다. 스켈링 이론은 소자의 크기변화에 따라 출력특성을 일정하게 유지하기 위하여 사용되고 있는 이론으로서 기존의 CMOSFET의 경우 매우 만족할 만한 결과를 가져오고 있다. 이 이론을 이중게이트 MOSFET에 적용하였을 때 문턱전압의 특성변화는 채널길이 및 게이트산화막두께의 범위에 따라 변화할 것이다. 즉, 스켈링 이론을 적용하였을 때 이중게이트 MOSFET의 채널 크기에 따라 스켈링 인자가 미치는 영향을 고찰 할 것이다.

2장에서는 포아송방정식의 해석학적 모델 및 스켈링 이론에 대하여 설명할 것이며 3장에서 이 모델 및 스켈링 이론을 적용하였을 경우, 문턱전압이하 특성의 변화를 고찰 할 것이다. 또한 4장에서 결론을 맺을 것이다.

### II. 이론 및 결과고찰

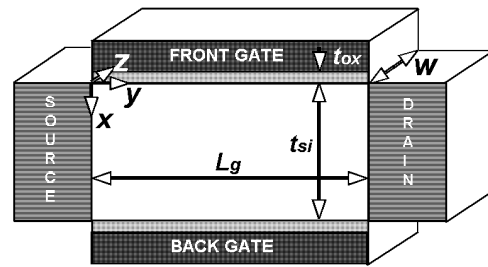


그림 1. DG MOSFET의 개략도

Fig. 1 Schematic view of DG MOSFET

그림 1은 이 논문에서 사용한 DG MOSFET의 개략도이다. 이 구조의 x,y,z방향에 대한 포텐셜분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2 \Psi = qn(x)/\epsilon_{si} \tag{1}$$

여기서  $n(x)$ 는 채널내 도핑농도이며  $\epsilon_{si}$ 는 실리콘의 유전율이다. 이 식에 대한 해석학적 모델을 구하기 위하여 z방향의 전위분포변화는 무시할 수 있을 정도이므로 [3] x와 y방향에 대해서 전위분포를 해석하였으며 이때 전하분포는 다음과 같은 가우스 함수를 이용하였다.

$$n(x) = N_p \exp\left(-\left\{\frac{x-R_p}{\sqrt{2}\sigma_p}\right\}^2\right) \tag{2}$$

여기서  $N_p$ 는 이온주입시 도즈량에 의하여 결정되는 최대 도핑분포값이며  $R_p$ 와  $\sigma_p$ 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식 (1)과 (2)를 풀기 위하여 다음과 같은 경계조건과 Tiwari 등의 전개방법 [1]을 이용하면 전위분포를 구할 수 있다.

문턱전압의 정의를 이용하면 표면전위의 최소값이 페르미전위  $\phi_f$ 의 2배가 될 때 게이트전압을 구하여 문턱전압으로 정한다. 정의를 이용하여 구한 문턱전압은 다음과 같다.

$$V_{th} = \frac{R - \{R^2 - 4(4HK - 1) \times (4NP - Q^2)\}^{1/2}}{8HK - 2} \tag{3}$$

$$Q = V_{fb} + 2\phi_f + \lambda^2 q N_p \exp(-B^2)/\epsilon_{si}$$

$$R = 2Q - 4HK \left[ (M - V_D / (\exp(L_g/\lambda) - 1)) + (M - V_D / (\exp(-L_g/\lambda) - 1)) \right]$$

여기서  $H, K, M, \lambda, N, P$  는 참고문헌 [2]에 표시

되어 있다. 식 (3)에서  $\phi_f$ 는 페르미전위,  $\epsilon_{Si}$ 는 실리콘의 유전율,  $V_D$ 는 드레인 전압이다. 일반적인 스켈링 이론에 따라 전기적 출력특성을 유지하기 위하여 채널길이, 채널두께, 게이트산화막두께, 채널폭 등을 스켈링 인자  $S$ 배 만큼 감소시켰을 때 채널도핑농도는  $S^2$ 배만큼 증가시켜야 한다. 그러므로 본 연구에서는 스켈링 이론의 타당성 여부를 문턱전압을 이용하여 고찰할 것이다.

### III. 스켈링 이론에 따른 문턱전압의 변화

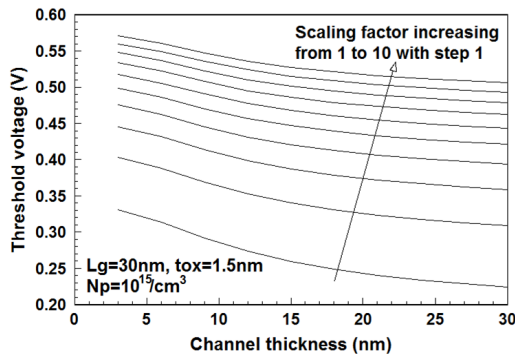


그림 2. 스켈링 인자를 파라미터로 한 채널두께에 따른 문턱전압의 변화

그림 2에 채널두께에 따른 문턱전압의 변화를 스켈링인자에 따라 도시하였다. 채널두께가 증가할수록 문턱전압이 감소하고 있다는 것을 알 수 있다. 또한 스켈링인자가 증가할수록 문턱전압도 증가하고 있으나 증가율은 스켈링인자가 증가할수록 감소하고 있다는 것을 관찰할 수 있다. 게이트산화막두께의 변화에 따른 문턱전압의 변화를 관찰하기 위하여 그림 3에 스켈링인자를 파라미터로 관계를 도시하였다. 산화막두께가 증가할수록 문턱전압은 감소하고 있다는 것을 관찰할 수 있었다. 또한 스켈링인자의 증가에 따라 문턱전압이 증가하였다. 그러나 증가분은 감소하고 있었다.

### IV. 결 론

본 연구에서는 두 개의 게이트단자를 가진 차세대 나노소자인 DGMOSFET에 대하여 문턱전압 이하영역에서 발생하는 단채널효과 중 문턱전압 및 드레인유도장벽감소의 변화를 스켈링이론에 따라 분석하였다. 소자 파라미터인 채

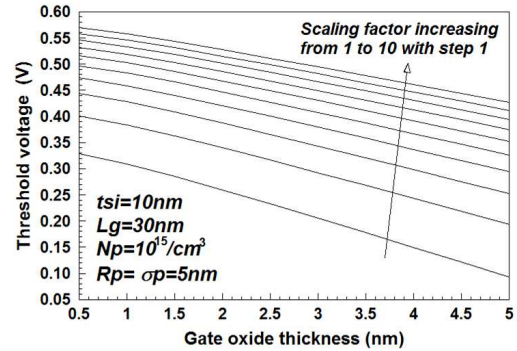


그림 3. 스켈링인자를 파라미터로 한 게이트산화막두께에 따른 문턱전압의 변화

널두께 및 게이트산화막두께 등의 변화에 대하여 문턱전압 및 드레인유도장벽감소 현상의 변화를 관찰하였다. 분석결과 채널두께 및 게이트산화막두께가 증가할수록 문턱전압이 감소하고 스켈링인자가 증가할수록 문턱전압이 증가하고 있다는 것을 관찰하였다. 이러한 결과는 향후 이중게이트 MOSFET의 개발에 기초가 될 것이다.

### 참 고 문 헌

- [1] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.
- [2] H.K.Jung, "Analysis of Doping Profile Dependent Threshold Voltage for DGMOSFET Using Gaussian Function," International Journal of KIMICS, Vol.9, No.3, pp.310-314, 2011.
- [3] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.