

FPGA 2 차원 배열을 사용한 디지털 회로에서 오류 검출의 방법

김석환*, 허창우**

*이화여자대학교 전자공학과, **목원대학교 전자공학과

The methods of error detection at Digital circuit using the FPGA 2-dimensional array

Soke-Hwan Kim*, Chang-Wu Hur**

* Dept. of Electronics Engineering Ewha Womans University,

**Dept. of Electronics Engineering Mokwon University

요 약

본 논문에서는 세포가 지니는 자가 복구 기능을 모사한 디지털 시스템 설계에서의 설계 방향에 대해 연구한다. 세포의 본래 구조인 3차원 배열이 아닌 FPGA를 이용하여 Cell들을 2차원 구조로 설계하고 효율적인 오류검출을 위한 블록배열 방법에 대해 알아보았다. 일정한 규칙성을 지닌 방법으로 설계를 하므로 전체 디지털 회로를 세부적으로 나누어 배열 시 쉽고 빠르게 검출할 수 있다.

Abstract

In this paper, we proposed on the direction of self-repairing mimicking the cell on the digital system design. Three-dimensional array of cells rather than using the original structure of FPGA, an array of blocks for efficient error detection methods were investigated. With a certain regularity, so the design method in detail by dividing the full array. The digital circuits can be detected fault location easily and quickly.

키워드

Self-repair, FPGA, Bio-inspired Engineering, DMR

1. 서 론

디지털 회로의 동작 상태를 파악하기 위한 일반적인 방법은 이중 모듈화 (Double Modular Redundancy, DMR)방법 또는 삼중 모듈화 (Triple Modular Redundancy, TMR)방법을 이용한다. 이 방식은 구현된 회로가 정상적으로 동작하는 지 오류가 났는지 확인하고 대체회로로 교체하는 기능을 가진다[1][2].

디지털 회로 내에 이 기능을 수행하는 로직을 넣으면 주어진 기판 내에 주변회로가 늘어나게 되며 제조상의 비용이 증가되게 된다. 이런 한정된 특성 때문에 본 연구에서 제시하는 것은 기존 방식의 회로 구현이 아니라 FPGA내에 구현 가능한 디지털 회로를 기준으로 설계하는 것으로 한다. 단순 디지털회로에서의 오류 검출과 복구에 대한 내용을 하는 것이 아니라 세포의 기능을 모사해 디지털 회로에 적용하며 구현 모델

이 FPGA를 이용한다. 이런 연구 분야를 바이오 영감공학이라 일컫는다. 세포의 기능에 이상이 생겨 죽게 되면 새로운 세포가 발현하여 새로운 세포가 생성된다. 이 기능을 모사하기 위해서는 분화라는 기능을 포함 시켜야 한다.

구현되는 하드웨어 구조를 한쪽으로 형성하고 그 영역 외각에 수평과 수직으로 고장을 진단하는 영역을 설정한다[3]. 이 기법은 고장 진단 영역을 포함하는 하드웨어에 국한 하면, 복잡한 회로나 확장 가능성에 대해서는 한정된다.

특정 하나의 여분 셀을 동, 서, 남, 북 방향으로 네 개의 기능 셀이 둘러싸는 구조이며 오류가 발생한 기능 셀에 대해서는 인근의 여분 셀이 오류가 난 기능 셀의 기능을 대신 수행한다[4]. 이 구조는 특정 셀을 복구하면 한번으로 끝나는 것이다. 그러나 이 연구에서는 분화의 초점보다는 카운터 모듈을 이용한 정확한 오류위치 파악과 미리 구현된 세부회로가 오류 회로를 빠르게 대체하는 것이다.

오류 위치를 찾거나 새로운 회로로 기능을 대체하기 위해서는 일일이 다 검사하는 기능이 있어야 한다[5]. 그러므로 기능상의 부하가 많이 걸릴 수도 있다. 구현된 회로의 수 보다는 상호 연결된 감시 선로가 복잡하게 되는 단점이 있어 이 부분을 해결해야 성능 면에 더욱 개선될 것이다.

본 연구에서는 생물의 기본단위인 세포의 특성을 모사하여 오류결합이 있을 경우 그 위치를 찾아내고 복구하는 방법을 공학적인 방법을 적용한다.

II. 본론

1. 디지털 시스템에서의 오류진단

공학적인 모델에서 적용되는 하드웨어 오류 위치를 찾아내기 위한 기본 방법은 하나의 회로 내용을 회로 기능의 최소 단위로 나누고 이중 모듈화(Double Modular Redundancy, DMR)로 설계를 한다. 그림 1은 DMR의 블록구조이다. 그림 상에는 이중화 구조로 설계 되었으며 계층 구조 형태로 보이지만 하드웨어 특성상 2차원적인 배열의 구조로 설계가 된다.

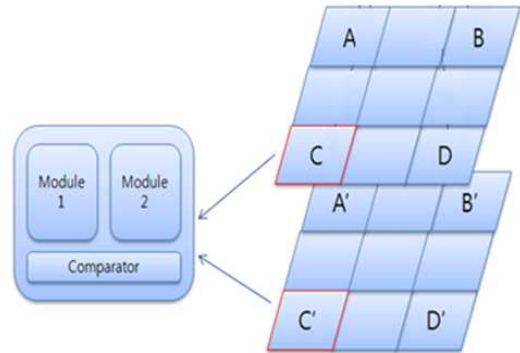


그림 1 . 오류검출위한 블록

그림 1과 같이 두 개의 같은 모듈에서 출력은 ex-or회로를 연결한다. 출력 값을 비교해 다를 경우 "high"값을 출력하는데 이 값을 Encoder에 연결하여 그 것을 4비트 값으로 변형한다. 이를 이용하여 오류 위치를 찾아내고 그 모듈을 미리 구현된 다른 회로로 이를 대체한다. 오류가 발생하는 그 회로의 위치와 값은 상위 모듈로 전달한다. 이는 모듈 관리용으로 이용한다.

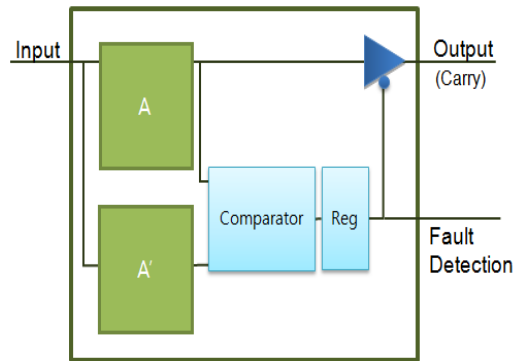


그림 2 . 이중화 구조

그림 2는 세부적인 모듈의 오류 검출 회로와 출력관리를 보여준다. 출력 단에 Tri-state buffer가 연결되어 있는데 만일 출력을 비교하여 오류가 발생할 경우 출력을 시킨다.

2. 시스템 배열

디지털 회로 기능별로 세부화 시킨 후 FPGA내부에 구현한다. 그림3은 본 연구에서 구현된 회로에 대한 동작의 메커니즘 블록도이다.

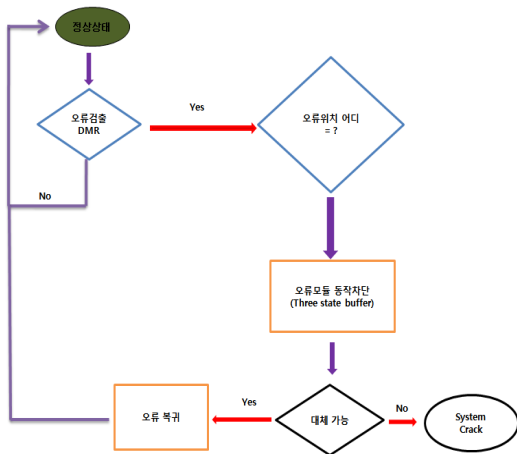


그림 3. 동작 메커니즘 블록도

정상적으로 동작하는 회로가 있을 경우 출력단의 값이 다르게 됨을 인지할 경우 오류 위치를 찾아야 한다. 오류 위치 정보는 모듈의 기능을 조절하는 상위 모듈에 정보가 전달되고 오류모듈의 출력을 차단시킨다. 이때 미리 구워진 대체 회로가 있을 경우 정상동작을 하지만 대체 회로가 존재하지 않을 경우 회로는 멈추게 된다.

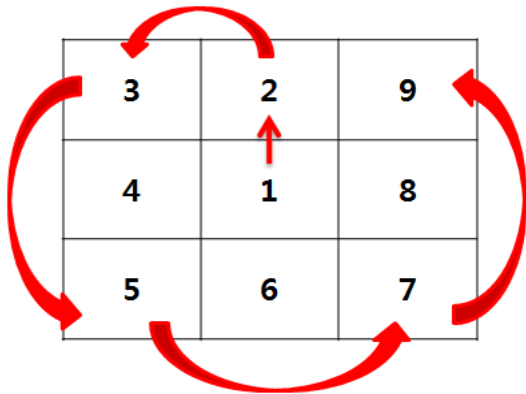


그림 4. 모듈의 번호

그림 4는 디지털회로를 세분화 시켰을 때 각 모듈의 배열을 보여준다. 공통적으로 전체 회로는 이 규칙을 지니며 오류 난 모듈의 위치를 찾아낼 수 있다.

세부 회로에 대한 오류가 발생한 위치는 그림 5의 9개의 위치 중 한곳에서 신호가 올라오고 각 신호는 Encoder와 연결되어 있어 이것이 4비트의 어드레스 형태로 변경되어 그림 6과 같이 상위 관리 모듈에 전달된다.

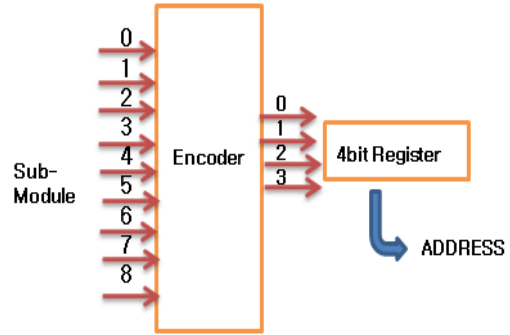


그림 5. 오류검출용 Encoder

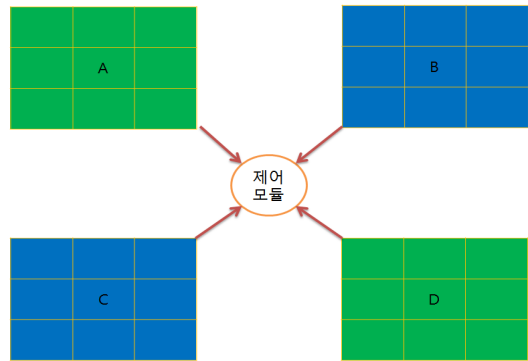


그림 6. 모듈관리

A3	A2	A9	A'3	A'2	A'9	B3	B2	B9
A4	A1	A8	A'4	A'1	A'8	B4	B1	B8
A5	A6	A7	A'5	A'6	A'7	B5	B6	B7
D'3	D'2	D'9	A3	A2	A9	B3	B2	B9
			A4	A1	A8	B4	B1	B8
D'4	D'1	D'8	A5	A6	A7	B5	B6	B7
			D3	D2	D9	C3	C2	C9
D'5	D'6	D'7	D4	D1	D8	C4	C1	C8
			D5	D6	D7	C5	C6	C7
D3	D2	D9	C'3	C'2	C'9	C3	C2	C9
D4	D1	D8	C'4	C'1	C'8	C4	C1	C8
D5	D6	D7	C'5	C'6	C'7	C5	C6	C7

그림 7. 전체 기능별 분류

전체시스템에 대한 블록은 그림 7과 같이 나눈다. 전체 기능을 큰 기능별로 4개의 블록으로 나누고 각 큰 기능 모듈은 세부 9개의 모듈로 나눈다. 이렇게 나누는 것은 구성하고자 하는 모듈의 복잡 여부에 따라 달라 질수 있다. 즉, 이것보다 전체 모듈의 수가 늘어 날 수 있으며 또한 세부 모듈의 수도 줄 수가 있다. 여기서는 전체 모듈을 4개의 블록으로 나누고 각 블록은 9개의 세부블록 구조를 표현하였다.

II. 복구방법

시스템 오류가 발생한 모듈에 대한 복구 방법은 세부 모듈, column, row, 전체 블록에 대한 방법으로 실시한다. 각 모듈에 대한 오류 검출 방법은 그림 8에서부터 그림 11까지 이며 빠르고 정확하게 복구하는데 본 연구의 목적이 있다.

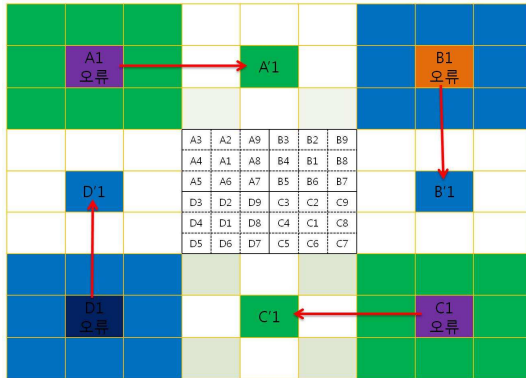


그림 8. 세부 모듈별 복구방법

그림 8에서는 본 연구에서 제시한 최소단위 별 복구방법을 나타낸다. 그림 상에서 가운데 모듈만 보여주지만 각 9개씩 36개의 모듈이 화살표 방향으로 각각 복구가 가능하다. 단 오류 난 모듈에 대하여 1번씩 복구가 가능하다는 단점이 있지만 전체 모듈에 대한 복구가 아니라 세부 모듈에 대한 복구이므로 빠르고 정확하게 위치를 찾아 복구할 수 있는 장점을 지니게 된다.

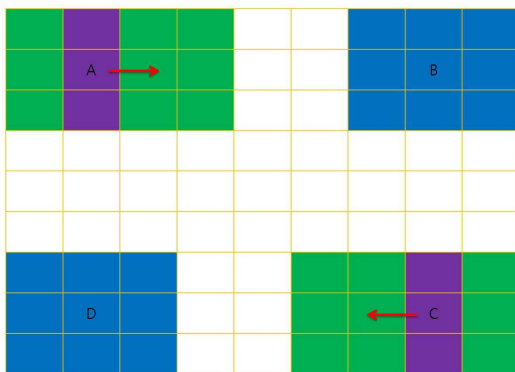


그림 9. column 복구방법

네 개로 나눈 블록 중 제시된 구조에서 column에 대한 복구는 A, C 블록만 가능하고 row에 대한 복구는 B, D 블록만 가능하다. 복구

모듈은 시계 방향으로 위치 시켰기 때문에 A, C는 column, B, D는 row만 가능하다. 그림 상에서는 각 3개의 모듈만 표시 했지만 전체 모듈에 대한 복구, 복수개의 모듈의 복구가 가능하도록 설계한다.

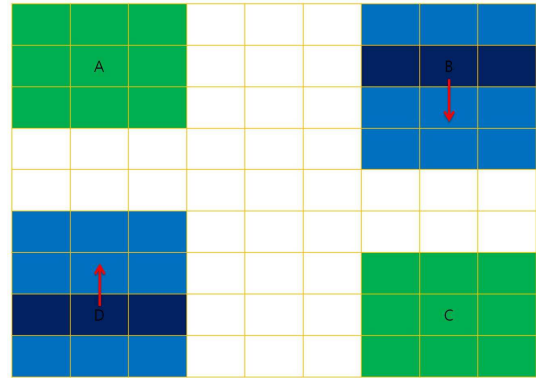


그림 10. row 복구방법

IV. 결론

디지털 회로의 동작 상태를 파악하기 위한 일반적인 방법은 이중 모듈화 (Double Modular Redundancy, DMR)방법 또는 삼중 모듈화 (Triple Modular Redundancy, TMR)방법을 이용한다. 이 방식은 구현된 회로가 정상적으로 동작하는 지 오류가 났는지 확인하고 대체회로로 교체하는 기능을 가진다. 본 논문에서는 세포가 지니는 자가 복구 기능을 모사한 디지털 시스템 설계에서의 설계 방향에 대해 세포의 본래 구조인 3차원 배열이 아닌 FPGA를 이용하여 Cell들을 2차원 구조로 설계하고 효율적인 오류검출을 위한 블록배열 방법에 대해 알아보았다. 일정한 규칙성을 지닌 방법으로 설계를 하므로 전체 디지털 회로를 세부적으로 나누어 배열 시 쉽고 빠르게 검출할 수 있다. 오류 난 모듈에 대하여 1번씩 복구가 가능하다는 단점이 있지만 전체 모듈에 대한 복구가 아니라 세부 모듈에 대한 복구이므로 빠르고 정확하게 위치를 찾아 복구할 수 있는 장점을 지니게 된다. 이에 본 연구에서는 추후 다른 방법에서는 이런 부분을 보완하는 새로운 알고리즘 방법을 제시하고자 한다.

참고 문헌

- [1] Will Barker, David M. Halliday, Yann Thoma, Eduardo Sanchez, Gianluca Tempesti, and Andy M. Tyrell, "Fault Tolerance Using Dynamic Reconfiguration on the POEtic Tissue," IEEE Trans. Evol. Comput., vol.11, no.5, pp. 666-684, Oct. 2007.
- [2] Wei-Je Huang and Edward J. McCluskey, "Column-Based Precompiled Configuration Techniques for FPGA Fault Tolerance," Proc. IEEE Field-Programmable Custom Computing Machines(FCCM01), pp. 137-146, 2001.
- [3] Sutardia, Sehatsutadia, Pantas, " Self -reparable semiconductor and method thereof" 유럽특허, EP1170666A3, 2008.
- [4] P.K. Lala, B. Kiran Kumar, J.P. Parkerson, " On self-healing digital system design, " Microelectronics Journal vol. 37, pp. 353-362, 2006.
- [5] Garrison W. Greenwood, " On the Practicality of Using Intrinsic Reconfiguration for Fault Recovery, " IEEE Trans. Evol. Comput., vol. 9, no.4, pp. 398-405, 2005.