

ST-P015

Self-formation of Diffusion Barrier at the Interface between Cu-V Alloy and SiO₂

문대용¹, 박재형¹, 한동석¹, 강유진¹, 서진교², 윤돈규², 신소라², 박종완²

¹한양대학교 나노반도체공학과, ²한양대학교 신소재공학부

Cu가 기존 배선물질인 Al을 대체함에 따라 resistance-capacitance delay와 electromigration (EM) 등의 문제들이 어느 정도 해결되었다. 그러나 지속적인 배선 폭의 감소로 배선의 저항 증가, EM 현상 강화 그리고 stability 악화 등의 문제가 지속적으로 야기되고 있다. 이를 해결하기 위한 방법으로 Cu alloy seed layer를 이용한 barrier 자가형성 공정에 대한 연구를 진행하였다. 이 공정은 Cu 합금을 seed layer로 사용하여 도금을 한 후 열처리를 통해 SiO₂와의 계면에서 barrier를 자가 형성시키는 공정이다. 이 공정은 매우 균일하고 얇은 barrier를 형성할 수 있고 별도의 barrier와 glue layer를 형성하지 않아 seed layer를 위한 공간을 추가로 확보할 수 있는 장점을 가지고 있다. 또한, via bottom에 barrier가 형성되지 않아 배선 전체 저항을 급격히 낮출 수 있다. 합금 물질로는 초기 Al이나 Mg에 대한 연구가 진행되었으나, 낮은 oxide formation energy로 인해 SiO₂에 과도한 손상을 주는 문제점이 제기되었다. 최근 Mn을 합금 물질로 사용한 안정적인 barrier 형성 공정이 보고 되고 있다. 하지만, barrier 형성을 하기 위해 300도 이상의 열처리 온도가 필요하고 열처리 시간 또한 긴 단점이 있다. 본 실험에서는 co-sputtering system을 사용하여 Cu-V 합금을 형성하였고, barrier를 자가 형성을 위해 300도에서 500도까지 열처리 온도를 변화시키며 1시간 동안 열처리를 실시하였다. Cu-V 공정 조건 확립을 위해 AFM, XRD, 4-point probe system을 이용하여 표면 거칠기, 결정성과 비저항을 평가하였다. Cu-V 박막 내 V의 함량은 V target의 plasma power density를 변화시켜 조절 하였으며 XPS를 통해 분석하였다. 열처리 후 시편의 단면을 TEM으로 분석하여 Cu-V 박막과 SiO₂사이에서 interlayer가 형성된 것을 확인 하였으며 EDS를 이용한 element mapping을 통해 Cu-V 내 V의 거동과 interlayer의 성분을 확인하였다. PVD Cu-V 박막은 기판 온도에 큰 영향을 받았고, 200도 이상에서는 Cu의 높은 표면에너지에 의한 agglomeration 현상으로 거친 표면을 가지는 박막이 형성되었다. 7.61 at.%의 V함량을 가지는 Cu-V 박막을 300도에서 1시간 열처리 한 결과 4.5 nm의 V based oxide interlayer가 형성된 것을 확인하였다. 열처리에 의해 Cu-V 박막 내 V는 SiO₂와의 계면과 박막 표면으로 확산하며 oxide를 형성했으며 Cu-V 박막 내 V 함량은 줄어들었다. 300, 400, 500도에서 열처리 한 결과 동일 조성과 열처리 온도에서 Cu-Mn에 의해 형성된 interlayer의 두께 보다 두껍게 성장했다. 이는 V의 oxide formation energy가 Mn 보다 작으므로 SiO₂와의 계면에서 산화막 형성이 쉽기 때문으로 판단된다. 또한, V⁺⁵이온 반경이 Mn⁺²이온 반경보다 작아 oxide 내부에서 확산이 용이하며 oxide 박막 내에 여기되는 전기장이 더 큰 산화수를 가지는 V의 경우 더 크기 때문으로 판단된다.

Keywords: Cu interconnect, Cu-V alloy, Seed layer, Diffusion barrier