

3상 UPS용 3레벨 인버터의 시지연 보상기 설계

이진우*, 임승범, 홍순찬
 두원공과대학*, 단국대학교

Design of Time Delay Compensator of Three-Level Inverter for Three-Phase UPS Systems

Jin-Woo Lee*, Seung-Beom Lim, Soon-Chan Hong
 Doowon Technical College*, Dankook University

ABSTRACT

The inevitable calculation time delay of digital controller especially degrades the voltage control performance of three-phase UPS systems. This paper proposes time delay compensators based on the Smith-predictor for both voltage and current controllers of three-level NPC inverters. The PSIM-based simulation results show that the proposed controller with delay compensator gives improved voltage control performance with respect to time delay.

1. 서 론

UPS(Uninterruptible Power Supply)는 컴퓨터 등과 같이 전 원품질에 민감한 부하에 항상 일정한 전압과 주파수의 이상적 인 전원을 공급하는 장비로서 최근 효율 개선을 위해 3레벨 인 버터를 채택하고 있으며, 입력전원 변동과 비선형 부하를 포함 한 다양한 부하 조건에 대하여 우수한 제어 성능을 갖도록 하 기 위하여 디지털 제어기를 사용하고 있다.

UPS의 이상적인 출력 전압 제어를 위하여 많은 연구결과가 발표되었으며, 대표적인 제어기로는 데드비트 제어기, 상태 궤 환 제어기, 비례-공진 제어기 등이 있다.^[1]

본 논문에서는 NPC(Neutral Point Clamped)형 3레벨 인버 터 방식의 3상 4선식 UPS 시스템에 적용이 가능하고 제어 성 능이 우수한 비례-공진 제어기를 전압제어기로 사용하고, 전류 제어기는 PI제어기를 사용하는 제어에 있어서 디지털 제어기로 구현하는 경우에 나타나는 제어성능 저하현상을 보이고, 이러 한 시지연에 의한 영향을 개선하고자 시지연 보상기를 갖는 제 어기를 설계하며, PSIM을 이용한 모의실험을 통하여 제안한 방법에 의한 제어성능 개선결과를 보이고자 한다.

2. UPS의 시지연 보상기 설계

2.1 3상 4선식 UPS 시스템 모델

3레벨 NPC 인버터 방식의 3상 4선식 UPS 시스템은 직류링 크 중성점에 중성선이 연결되어 있는 3상 4선식이기 때문에 단 상, 삼상, 선형, 비선형의 다양한 부하에 전원을 공급할 수 있 는 특징을 갖고 있다. 한편, 단상 부하를 포함한 적용 가능한 부하의 종류와 각 상 회로 구성의 대칭성으로 인하여 3상 UPS 이지만 독립된 3개의 단상 3레벨 인버터 방식의 UPS가 중성선

을 공유하는 것으로 볼 수 있으므로 단상 UPS로 모델링 할 수 있으며, 회로의 전압방정식은 다음과 같다.

$$v_{ix} = R_f i_{ix} + L_f \frac{di_{ix}}{dt} + v_{ox} \quad (1)$$

$$v_{ox} = \frac{1}{C_f} \int_0^t (i_{ix} - i_{ox}) d\tau + v_{ox}(0) \quad (2)$$

여기서 $x = u, v, w$ 이고, $v_{ix}, v_{ox}, i_{ix}, i_{ox}$ 는 각각 인버터 와 UPS의 출력전압 및 출력전류이며, R_f, L_f, C_f 는 각각 출 력필터용 인덕터의 저항과 인덕턴스, 그리고 커패시터의 정전 용량이다.

2.2 UPS의 시지연 보상기 설계

시스템의 시지연(τ)을 보상하는 스미스 예측기를 적용한 제 어시스템은 그림 1과 같고, 전달함수는 식 (3)으로 시지연이 없 는 경우의 응답이 시지연만큼 지연되는 특성을 보인다. 여기서 제어기($G_c(s)$)는 시지연이 없는 경우와 같이 설계한다.

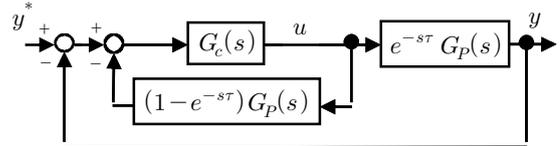


그림 1 스미스 예측기를 포함한 제어시스템 블록도
 Fig. 1 Block diagram of control system with Smith-predictor

$$\frac{y}{y^*} = \frac{G_c(s) G_p(s)}{1 + G_c(s) G_p(s)} e^{-s\tau} \quad (3)$$

UPS의 디지털 제어기 구현과 관련한 시지연(τ)을 포함하여 한상에 대한 PI 전류제어기의 블록도를 나타내면 그림 2와 같 다. 식 (3)을 참조하여 PI 전류제어기는 시지연이 없는 경우로 식 (4), 식 (5)와 같이 설계한다.

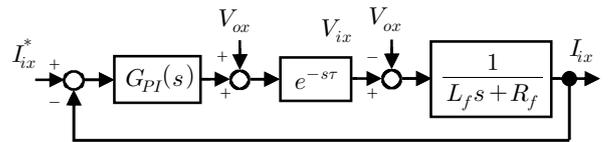


그림 2 시지연을 포함한 한상에 대한 PI전류제어기 블록도
 Fig. 2 Block diagram of one-phase PI current controller with time delay

$$K_{P_i} = L_f \omega_c, \quad K_{I_i} = R_f \omega_c \quad (4)$$

$$\frac{I_{ix}}{I_{ix}^*} = \frac{\omega_c}{s + \omega_c} \quad (5)$$

여기서 ω_c 는 전류제어기의 대역폭이고, K_{P_i} , K_{I_i} 는 각각 PI 전류제어기의 비례이득과 적분이득이다.

설계한 전류제어기를 포함한 한상에 대한 비례-공진 전압제어기 블록도는 그림 3과 같다.

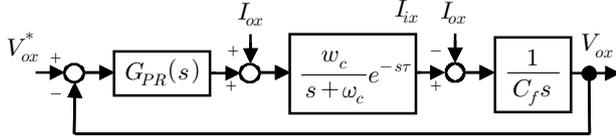


그림 3 시지연을 포함한 한상에 대한 비례공진 전압제어기 블록도
Fig. 3 Block diagram of one-phase P+R voltage controller with time delay

비례-공진 전압제어기의 전달함수는 식 (6)과 같으며, 공진 주파수(f_o)는 기준전압의 주파수와 동일하게 설정한다.

$$G_{PR}(s) = K_{P_v} + K_{I_v} \frac{2 \omega_{cut} s}{s^2 + 2 \omega_{cut} s + \omega_o^2} \quad (6)$$

한편 시지연에 의한 영향을 개선하기 위해서는 그림 1과 같이 스미스 예측기를 각각 그림 2와 그림 3에 적용하는 것이 필요하다. 그림 2의 경우는 그림 1과 비교하여 바로 적용하는 것이 가능하며, 그림 3의 경우는 시스템에 해당하는 전달함수를 식 (7)과 같이 하여 적용하면 된다.

$$G_P(s) = \frac{\omega_c}{s + \omega_c} \cdot \frac{1}{C_f s} \quad (7)$$

3. UPS의 제어 성능 모의실험 결과

모의실험에서 사용한 UPS의 사양은 표 1과 같고 스위칭 주파수는 20kHz이다. 샘플링 주기는 스위칭 주기와 같은 50 μ s이며 시지연은 디지털 제어연산에 필요한 한 샘플링 주기 50 μ s로 하였다. 전류제어기의 대역폭 주파수는 2kHz이며, 전압제어기의 $K_{P_v} = 0.75$, $K_{I_v} = 150$, $f_{cut} = 1.5$ Hz이다. 모의실험에서 초기에는 무부하 상태에서 0.02s까지 기준전압크기를 선형적으로 증가하고, 0.06s에서 정격 저항부하인 7.26 Ω 을 각 상에 인가하였다. 그림 4는 시지연이 없는 경우로서 우수한 출력전압 제어 응답을 보이며, 그림 5는 시지연이 있는 경우로서 시지연에 의해 출력전압 제어응답이 현저히 저하됨을 보여주고 있다. 그림 6은 시지연을 보상한 경우로서 그림 5에 비해 크게 개선된 응답 특성을 나타내며, 제안한 시지연 보상을 적용한 제어기의 유효성을 보여주고 있다.

표 1 UPS의 사양
Table 1 Specifications of UPS

정격용량	20kVA	정격 상전압	220V
직류전압	760V	R_f	100 $\mu\Omega$
C_f	40 μ F	L_f	206 μ H

4. 결 론

본 논문에서는 3레벨 NPC 인버터 방식의 3상 4선식 UPS

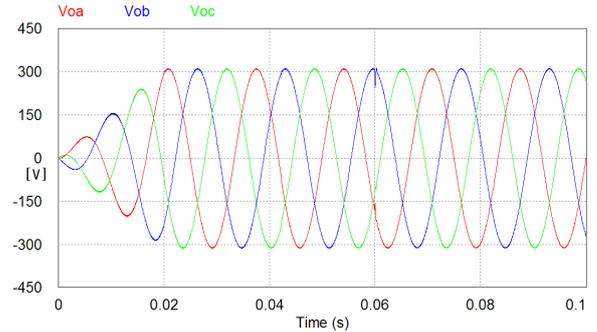


그림 4 시지연이 없는 경우의 3상 출력전압 모의실험 파형
Fig. 4 Simulation waveform of three-phase output voltage in case of no time delay

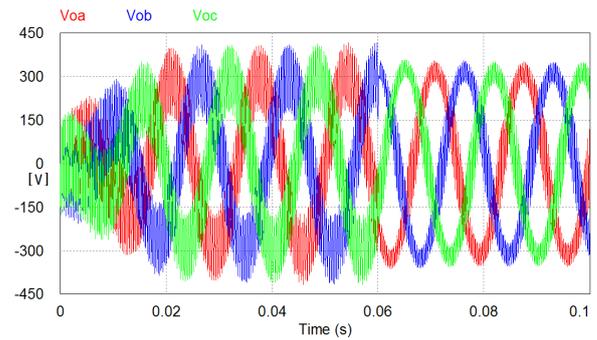


그림 5 시지연이 있는 경우의 3상 출력전압 모의실험 파형
Fig. 5 Simulation waveform of three-phase output voltage in case of time delay

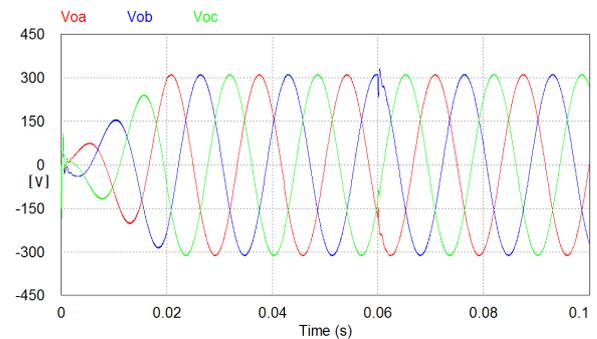


그림 6 시지연을 보상한 경우의 3상 출력전압 모의실험 파형
Fig. 6 Simulation waveform of three-phase output voltage in case of time delay compensation

시스템의 디지털제어와 관련하여 시지연에 의한 제어성능 저하 현상을 보이고, 이를 개선하는 시지연 보상을 갖는 제어기를 설계하였으며, PSIM을 이용한 모의실험을 통하여 제안한 방법에 유효성을 보였다.

참 고 문 헌

[1] P. C. Loh, M. J. Newman, D. N. Zmood, and D. G. Holmes, "A Comparative Analysis of Multiloop Voltage Regulation Strategies for Single and Three-Phase UPS Systems", IEEE Trans. on Power Electronics, Vol. 18, No. 5, pp. 1176-1185, Sept. 2003.