

비정질 IGZO TFT의 Bias Stability 및 그에 적합한 Shift-Register 설계

이영욱*, 우종석*, 김선재*, 이수연*, 한민구*
서울대*

Bias Stability of a-IGZO TFT and a New Shift-Register Design Suitable for a-IGZO TFT

Young Wook Lee*, Jong-Seok Woo*, Sun-Jae Kim*, Soo-Yeon Lee*, Min-Koo Han*
Seoul National University*

Abstract - 비정질 IGZO TFT를 제작하여 양의 DC 및 AC에 대한 bias stability를 측정하였다. 소자특성이 상당부분 양의 방향으로 움직여 전류가 감소하였다. 따라서 기존의 Shift-Register는 양의 스트레스 전압을 지속적으로 받기 때문에 회로가 제대로 동작하지 않을 수 있다. 따라서 우리는 양의 스트레스 전압을 받지않는 새로운 Shift-register를 고안하고 SPICE 시뮬레이션을 통하여 안정한 출력을 확인하였다.

문턱전압이 약 5V 이동하였다. DC의 경우보다는 그 이동량이 작지만, 길지 않은 시간동안 stress가 인가된 것을 고려하면 매우 큰 V_{th} 변동량이다. 기존의 Shift-register는 안정한 출력을 내기 위하여 양의 전압 stress를 받게되는 TFT가 일부 포함되어 있다. 따라서 비정질 IGZO TFT를 이용하여 이러한 회로를 구성하게 되면 회로의 출력이 불안해질 수 있다. 따라서 오랜시간 동안 안정한 출력을 내는 회로를 만들기 위해서는 양의 전압 스트레스가 인가되지 않는 회로를 설계해야만 한다.

1. 서 론

최근 비정질 산화물 반도체가 AMLCD와 AMOLED 등의 디스플레이 장치의 스위칭 소자로써 각광을 받고 있다. 그 이유는 비정질이어서 대면적에 균일한 소자특성 확보에 유리하고, 이동도가 수에서 수십 cm^2/Vs 로써 기존 비정질 실리콘에 비해 매우 높아 고주파수 고효율도 디스플레이 제작에 적합하기 때문이다[1]-[3].

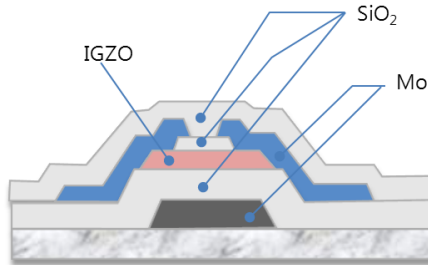
몇몇의 회사에서 드라이버 IC비용을 절감하기 위해 a-Si TFT를 이용하여 Shift-register를 패널에 내장하고 있다[4]-[5]. 이와 비슷하게 a-IGZO TFT를 이용한 방법도 시도되고 있다[6]-[7]. 하지만 기존의 논문에서는 산화물 반도체의 초기 특성 만을 고려하였고, 구동하는 동안 받게 되는 Bias 신뢰성을 고려하지 않았다. 따라서 본 논문에서는 a-IGZO TFT를 제작하여 그 초기 특성 및 Bias stress에 대한 특성을 연구하고, 그 특성을 바탕으로 a-IGZO TFT에 적합한 Shift-register 회로를 제안하고자 한다.

2. 본 론

2.1 소자 제작 및 초기특성

글래스 기판위에 Mo 250nm를 증착하고 패터닝하여 게이트를 형성하였다. 이어 PECVD로 SiO_2 300nm를 증착하고 이어서 IGZO 40nm를 DC스퍼터로 증착한 후 패터닝 하였다. 후속공정에 의한 반도체 층의 손상을 예방하기 위하여 다시 PECVD로 SiO_2 50nm(에치스트퍼)를 형성하였다. 에치스트퍼 패터닝은 드라이에칭 공정을 이용하여 식각하였다. 소스/드레인 전극으로는 Mo를 250nm 증착하였고, 보호막을 또다시 SiO_2 200nm를 증착하였다. 모든 박막의 패터닝 과정은 통상의 포토리소그래피 공정으로 진행하였다.

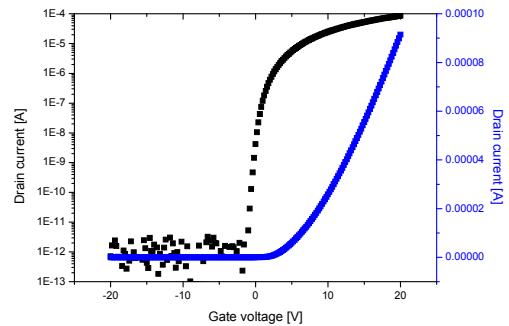
<그림1>은 에치 스트퍼를 도입하여 제작된 a-IGZO TFT의 소자구조를 보여주고, <그림2>는 Transfer 특성을 나타낸 것이다. 제작된 소자의 문턱전압은 0.67V이고, 문턱전압 이하의 기울기는 0.34V/decade로써, a-Si TFT에 비해 상당히 작은 값이다. 이것은 a-IGZO TFT가 a-Si TFT에 비해 급지대 내의 결합상태가 작다는 것을 의미한다.



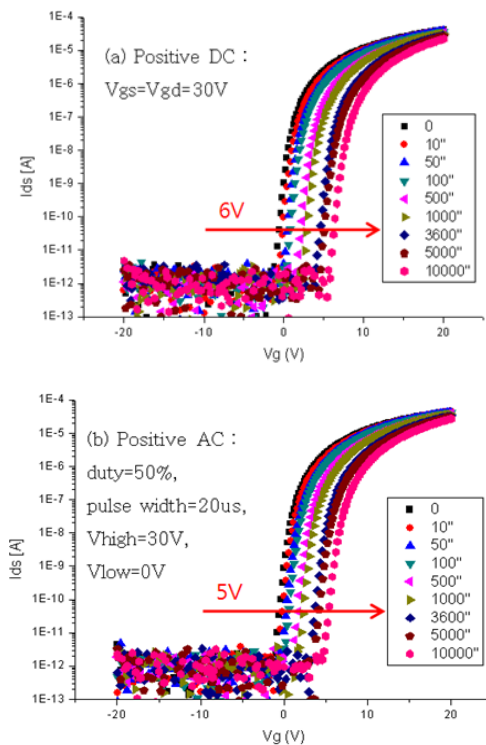
<그림 1> 제작된 a-IGZO TFT 구조

2.2 Bias stability 특성

양의 전압 하에서의 안정성을 알아보기 위하여, $V_{gs}=30\text{V}$ 의 전압조건으로 DC와 AC가 각각 10000초 동안 인가되었다. <그림3> (a)는 DC일 때의 Transfer curve의 이동을 나타내는데, 문턱전압이 약 6V 이동하였다. (b)는 동일한 시간동안 AC가 인가되었을 때의 그래프인데 이 경우



<그림 2> 제작된 a-IGZO TFT의 Transfer 특성



<그림 3> Transfer curve shift under bias stress : (a) positive DC, (b) positive AC

[참 고 문 헌]

[1] H. Yubata *et al.*, "High-mobility thin-filmtransistor with amorphous InGaZnO4 channel fabricated by room temperature rf-magnetron sputtering", *Appl.Phys.Lett.* 89, 112123 (2006).

[2] H. Hosono *et al.*, "Recent progress in transparent oxide semiconductors: Materials and device application", *Thin Solid Films* 515 (2007).

[3] J-H. Lee *et al.*, "World's largest (15-inch) XGA AMLCD panel using IGZO oxide TFT, SID08 Digest, PP. 625 (2008)

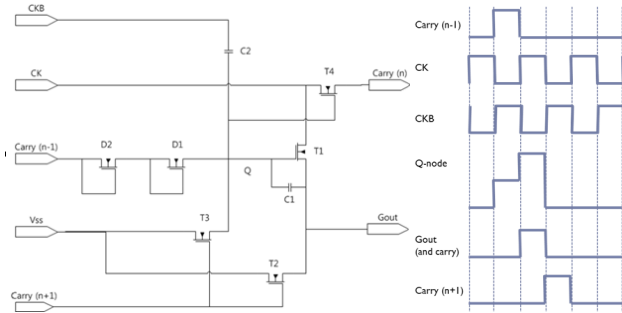
[4] S.H. Moon *et al*, US20070177438

[5] Yong Ho Jang, US20060146978

[6] Abbas Jamshidi-Roudbari, Shahruxh Akbar Khan and Miltiadis K. Hatalis, "High-Frequency Half-Bit Shift Register With Amorphous-Oxide TFT", *IEEE ELECTRON DEVICE LETTERS*, VOL. 31, NO. 4, (2010)

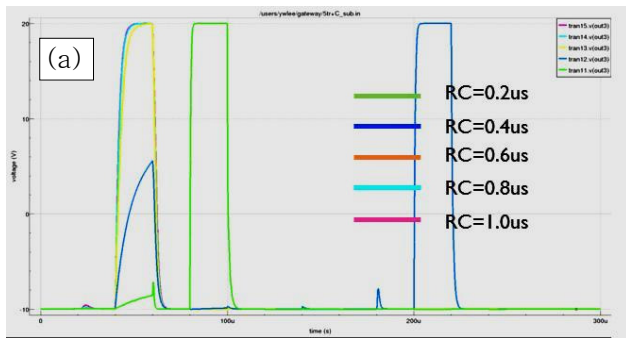
[7] T. Osada, K. Akimoto, T. Sato, M. Ikeda, M. Tsubuku, J. Sakata, J. Koyama, T. Serikawa, and S. Yamazaki, "Development of driverintegrated panel using amorphous In-Ga-Zn-Oxide TFT," in *Proc. SID Symp. Dig.*, vol. 40, pp. 184 - 187 (2009)

우리는 양의 전압 스트레스가 인가되지 않는 shift-register를 설계하였다. <그림 4> 고안된 회로도도와 회로에 입력되는 신호와 출력되는 신호를 보여주고 있다. 회로에 입력되는 신호는 위상이 반대인 두 클락과 전단으로부터 캐리신호가 입력된다.

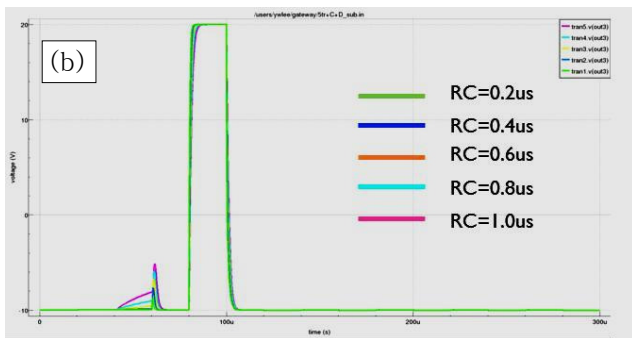


<그림 4> 신규 고안된 Shift-register 회로도도 및 입력/출력 신호

Gout 출력을 SPICE를 이용하여 시뮬레이션 하였다. 입력되는 신호에 RC 지연을 고려할수록 Gout 출력이 악화되는 것을 확인하였다. <그림 5> (a)는 회로에서 D2가 없을때의 Gout출력이다. RC=0.2us를 제외하고 그 이상에서는 모두 비정상적인 Gout이 출력되었다. 이러한 비정상 출력을 제어하기 위하여 D2 다이오드를 회로에 추가하였다. <그림 5> (b)는 그러한 경우의 시뮬레이션 결과인데, RC지연이 1us가 입력되어도 출력이 안정화 됨을 확인할 수 있다. 이것은 D2 다이오드가 D1 다이오드로 입력되는 캐리신호의 노이즈를 제거하거나 약화시키는 역할을 하기 때문이다.



(a) D2 다이오드가 없는 경우



(b) D2 다이오드가 있는 경우

<그림 5> 출력의 SPICE 시뮬레이션

3. 결 론

비정질 IGZO TFT를 제작하여 양의 전압 스트레스를 DC와 AC로 인가하여 제작된 소자의 신뢰성을 측정하였다. 두 경우 모두 길지 않은 시간에 문턱전압이 상당히 이동하였다. 이렇게 소자의 신뢰성이 안좋은 TFT를 기존의 Shift-register에 그대로 적용할 경우 회로의 안정성을 보장할 수 없다. 그러므로 우리는 양의 전압 스트레스가 인가되지 않는 회로설계를 목표로 하였다. 새로 고안된 회로는 입력신호의 RC지연을 고려하더라도 상당히 안정된 출력을 내는 것을 SPICE 시뮬레이션을 통하여 확인하였다.