

열 산화공정을 이용하여 제작된 고전압 GaN 쇼트키 장벽 다이오드

하민우*, 노정현*, 최홍구*, 송홍주*, 이준호*, 김영실**, 한민구**, 한철구*
전자부품연구원(KETI) 화합물반도체소재연구센터*, 서울대학교 전기공학부**

High-Voltage GaN Schottky Barrier Diode on Si Substrate Using Thermal Oxidation

Min-Woo Ha*, Cheong Hyun Roh*, Hong Goo Choi*, Hong Joo Song*, Jun Ho Lee*,
Young-Shil Kim**, Min-Koo Han**, and Cheol-Koo Hahn*

Compound Semiconductor Devices Research Center, Korea Electronics Technology Institute*,
School of Electrical Engineering, Seoul National University**

Abstract - 차세대 전력 반도체인 고전압 GaN 쇼트키 장벽 다이오드의 역방향 특성을 개선하기 위해서 열 산화공정이 제안되었다. AlGaN/GaN 에피택시 위에 쇼트키 다이오드 구조가 제작되었으며, 쇼트키 콘택은 증착 후 450 °C에서 산화되었다. 열 산화공정이 메사 측면의 AlGaN 및 GaN 표면에 AlO_x 및 GaO_x를 형성하여 표면으로 흐르는 누설전류를 억제한다. 표면 및 GaN 버퍼층을 통한 누설전류는 열 산화공정 이후 100 μm-너비당 51.3 nA에서 24.9 pA로 1/2000 배 수준으로 감소하였다. 표면 산화물 형성으로 인하여 생성된 Ga-vacancy와 Al-vacancy는 acceptor로 동작하여 surface band bending을 증가시켜 쇼트키 장벽 높이를 증가시킨다. 애노드-캐소드 간격이 5 μm인 제작된 소자는 0.99 eV의 높은 쇼트키 장벽 높이를 획득하여, -100 V에서 0.002 A/cm²의 낮은 누설전류를 확보하였다. 애노드-캐소드 간격이 5에서 10, 20, 50 μm로 증가되면 소자의 항복전압은 348 V에서 396, 606, 941 V로 증가되었다. 열 산화공정은 전력용 GaN 전자소자의 누설전류 감소와 항복전압 증가를 위한 후처리 공정으로 적합하다.

1. 서 론

GaN 전자소자는 높은 전력밀도, 낮은 전력손실, 고주파수 동작 및 안정적인 고온동작특성으로 차세대 전력용 반도체로 개발되고 있다. 최근 GaN 전자소자의 상용화를 가로막고 있는 기관단가를 낮추기 위하여 Si 기판 위 GaN 에피택시를 성장시키는 기술이 개발되고 있다 [1]. 또한 Si 기판은 사파이어나 SiC에 비하여 대규격화가 용이하다. 그러나 Si 기판은 GaN과 격자 상수와 열팽창 계수의 차이가 커서 생성되는 그 위에 성장된 GaN 에피택시내 결함이 많다. 이러한 결함을 감소시키기 위해서 Si 기판과 GaN 층 사이에 특수하게 설계된 전이층 (transition layer)이 필요하다.

GaN 전자소자 중 하나인 쇼트키 장벽 다이오드 (Schottky barrier diode)는 높은 항복전압과 빠른 역방향 회복특성 때문에 기존 Si PiN 다이오드를 대체하기 위하여 연구되고 있다. 그러나 쇼트키 콘택 (Al)GaN의 경계트랩으로 인한 Fermi-level pinning은 쇼트키 장벽 높이를 제한하여 GaN 쇼트키 장벽 다이오드의 누설전류를 증가 시킨다 [2-3]. GaN 쇼트키 장벽 다이오드의 누설전류와 항복전압을 개선시키기 위하여 플로팅 금속 링 (floating metal ring) 설계 [4], 오믹 콘택 최적화 기술 [5] 및 쇼트키 콘택의 열 산화공정 기술 [6] 등이 발표되었다. 이 중 쇼트키 콘택의 산화 기술은 쇼트키 콘택 증착 후 O₂ 분위기에서 쇼트키 콘택을 산화시키는 것으로 소자의 역방향 특성을 개선하며 공정이 간단한 장점을 가지고 있다. 종래 GaN 전자소자의 쇼트키 콘택의 산화기술은 주로 사파이어나 SiC 기판 위 성장된 GaN 에피택시를 이용하였으며, Si 기판 위 성장된 GaN의 결과는 발표되지 않았다.

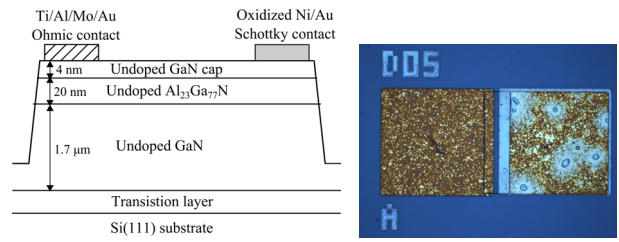
본 논문의 목적은 Si 기판 위 GaN 에피택시를 이용하여 GaN 쇼트키 장벽 다이오드를 제작하였으며, 후처리 산화공정으로 Ni/Au의 쇼트키 콘택을 산화시켜 1 kV의 높은 항복전압을 구현하였다. GaN 쇼트키 장벽 다이오드는 우수한 전도성 채널을 가지는 AlGaN/GaN 위에서 제작되었으며 측정되었다.

2. 본 론

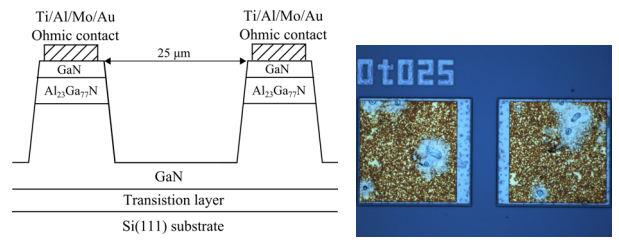
2.1 소자 제작

6인치 Si 기판 위 유기금속 화학기상 증착법 (MOCVD)으로 성장된 AlGaN/GaN은 GaN 쇼트키 장벽 다이오드 제작의 초기 재료로 이용되었다. AlGaN 장벽층의 Al 몰분율은 23 %이며, 두께는 20 nm이다. GaN 버퍼층의 두께는 1.7 μm이다. 홀 측정 결과 이차원 전자가스의 면저항, 전자 농도 및 전자 이동도는 444 Ω/sq, 7.28×10¹² /cm²과 1930 cm²/Vs 이다. 소자와 소자사이의 절연을 위하여 유도결합플라즈마 식각기 (ICP

etcher)에서 Cl₂와 BCl₃를 이용하여 318 nm-깊이의 메사 구조를 형성하였다. 금속 패दन은 전자건 증착기를 이용하여 다중 금속층의 증착 후 리프트-오프 방법을 이용하여 형성되었다. Ti/Al/Mo/Au (20/100/25/200 nm)의 오믹 금속이 증착된 후 rapid thermal annealing을 이용하여 N₂ 분위기 및 870 °C에서 30 s동안 어닐링 되었다. Ni/Au (50/500 nm)의 쇼트키 금속이 증착된 후 퍼니스를 이용하여 O₂ 분위기 및 450 °C에서 300 s동안 산화되었다. 그림 1은 제작된 GaN 쇼트키 장벽 다이오드의 단면도 및 현미경 사진이다. 도핑되지 않은 GaN 버퍼층은 소자가 역방향 항시 공핍이 되어 항복전압을 지탱하는 중요한 역할을 한다. 표면 누설전류 및 도핑되지 않은 GaN 버퍼층의 누설전류 특성을 측정하는 테스트 구조가 제안되었으며, 소자와 동시에 제작하였다. 테스트 구조는 메사 구조로 분리된 2개의 오믹 콘택으로 이루어진다. 테스트 구조의 너비는 100 μm이며, 2개의 오믹 콘택 간격은 25 μm이다. 그림 2는 제작된 테스트 구조와 현미경 사진이다.



<그림 1> GaN 쇼트키 장벽 다이오드의 단면도 및 현미경 사진

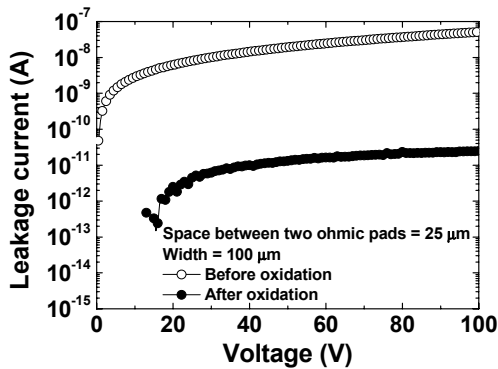


<그림 2> GaN 쇼트키 장벽 다이오드의 표면 및 GaN 버퍼층의 누설전류를 측정하기 위한 테스트 구조 및 현미경 사진

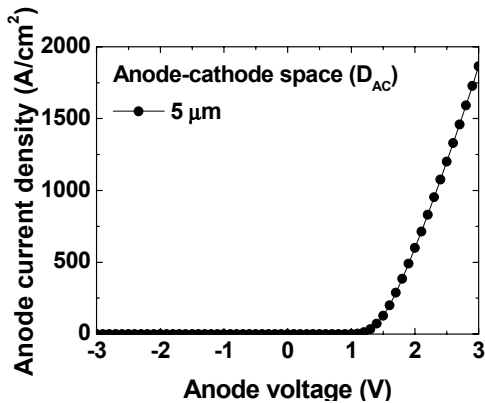
2.2 소자의 전기적 특성

그림 3은 산화공정 전, 후 메사 영역으로 흐르는 표면 및 GaN 버퍼층을 흐르는 누설전류의 측정값이다. 산화공정 이후 표면 및 GaN 버퍼층의 누설전류는 100 V 전압에서 51.3 nA에서 24.9 pA로 1/2000배 수준으로 감소하였다. 이를 GaN 버퍼층의 저항으로 환산하면 산화공정 이후 1.9 GΩ에서 4.0 TΩ으로 증가하였다. GaN가 고온에서 산화되면 III족 원자인 Ga 및 Al이 O와 반응하는 에너지가 V족 원자인 N와 O와 반응하는 에너지보다 크다 [2]. III족 원자인 Ga과 Al은 외부로 확산되어 GaO_x와 AlO_x를 형성한다. 열 산화공정이 메사 측면의 플라즈마 손상을 받은 격자 결함을 안정된 결함으로 변경하는 메커니즘이 가능하다. 산화과정 중 GaN 및 AlGaN 내부에 Ga과 Al의 outdiffusion으로 Ga-vacancy와 Al-vacancy가 생성된다. Ga vacancy와 Al vacancy는 acceptor로 동작하여 GaN 버퍼층의 저항을 증가시킨다. 증가된 GaN 버퍼층의 저항은 역방향시 공핍영역을 확대시켜 항복전압을 증가시킨다.

GaN 쇼트키 장벽 다이오드는 쇼트키 금속 증착 후 450 °C에서 산화되어 제작되었다. 그림 4는 GaN 쇼트키 장벽 다이오드의 측정된 I-V 특성이다. 제작된 GaN 쇼트키 장벽 다이오드는 0 V에서 핀치-오프된다. 애노드-캐소드 간격이 5 μm인 소자는 100 A/cm²에서 1.45 V의 낮은 순방향 전압 강하와 1.84 mΩcm²의 낮은 온-저항을 가진다. 기존 Si 다이오드에 비하여 GaN 쇼트키 장벽 다이오드의 우수한 순방향 DC 특성은 AlGaIn/GaN 경계에서 형성되는 고전도성 채널 때문이다. 무시가능한 수준의 시리즈 저항과 $V > 3kT/q$ 의 가정 하에 thermionic emission theory [7]를 이용하여 쇼트키 장벽 높이를 I-V 특성에서 추출하였다. 쇼트키 장벽 높이를 계산할 때 이용된 유효 리차드슨 상수는 26.4 Acm⁻²K⁻²를 이용하였다 [7]. 애노드-캐소드 간격이 5 μm인 GaN 쇼트키 장벽 다이오드의 쇼트키 장벽 높이는 0.99 eV이다. 소자의 애노드-캐소드 간격이 증가하여도 소자의 쇼트키 장벽 높이는 0.99±0.04 eV로 측정되었다. 이 값은 종래 GaN 쇼트키 장벽 다이오드의 Ni-쇼트키 장벽 높이의 측정값인 0.53 eV보다 높다 [8]. GaN 쇼트키 장벽 다이오드에 열산화공정을 진행하여 Ni-쇼트키 장벽 높이가 0.59 eV에서 0.84 eV로 증가된 기존 결과가 보고된 바가 있다 [6]. 이는 산화공정에서 형성된 Ga-vacancy와 Al-vacancy가 acceptor로 작용하여 표면 Fermi-level이 가전자대로 이동하여 surface band bending이 증가되어 쇼트키 장벽 높이가 증가되었기 때문이다 [6].

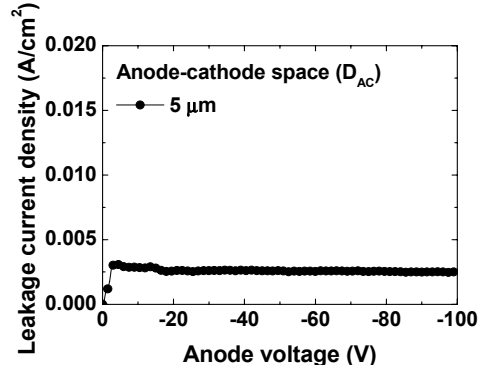


〈그림 3〉 측정된 표면 및 GaN 버퍼층의 누설전류

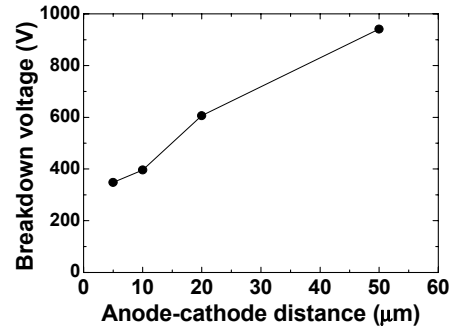


〈그림 4〉 GaN 쇼트키 장벽 다이오드의 측정된 I-V 특성

그림 5는 GaN 쇼트키 장벽 다이오드의 측정된 누설전류이다. 애노드-캐소드 간격이 5 μm인 소자의 -100 V에서 0.002 A/cm²의 낮은 누설전류를 가진다. 제작된 소자는 역방향 전압이 증가할수록 항복까지 누설전류는 증가되지 않고 일정하게 유지되는 장점을 가진다. Ni-쇼트키 컨택의 열 산화로 인하여 발생된 쇼트키 장벽 높이가 증가로 제작된 소자는 낮은 누설전류를 가진다. 또한 Ni를 산화시켜 형성되는 NiO_x는 금속 컨택에 비해서 절연성이 높아 낮은 누설전류의 원인이 될 수 있다 [4]. 커브 트레이서를 이용하여 제작된 소자의 항복전압을 측정하였다. 그림 6은 GaN 쇼트키 장벽 다이오드의 애노드-캐소드 간격에 따른 측정된 항복전압이다. 애노드-캐소드 간격이 10, 20, 50 μm로 증가할수록 소자의 항복전압은 396, 606, 941 V로 증가된다. 애노드-캐소드 간격이 증가할수록 수평방향의 공핍영역이 증가하여 소자의 항복전압이 증가한다. AlGaIn/GaN 에피택시를 이용하여 낮은 순방향 전압강하와 열 산화공정을 이용하여 GaN 쇼트키 장벽 다이오드의 낮은 누설전류와 높은 항복전압을 성공적으로 구현하였다.



〈그림 5〉 GaN 쇼트키 장벽 다이오드의 측정된 누설전류 특성



〈그림 6〉 애노드-캐소드 간격에 따른 GaN 쇼트키 장벽 다이오드의 측정된 항복전압

3. 결 론

차세대 전력반도체 물질로 주목받고 있는 GaN-on-Si를 이용하여 고전압 쇼트키 장벽 다이오드를 제작하였다. GaN 소자를 열 산화시켜 형성된 Ga,Al-vacancy는 acceptor로 작용하여 surface band bending을 증가시켜 쇼트키 장벽 높이를 0.99 eV까지 증가시켰다. 추가적으로 열 산화공정에서 형성된 NiO_x는 금속 컨택에 비해 절연성이 높아서 누설전류 감소에 효과적이다. 열 산화공정을 이용하여 제작된 GaN 쇼트키 장벽 다이오드는 5 μm의 애노드-캐소드 간격에서 1.45 V의 낮은 순방향 전압 강하, 1.84 mΩcm²의 낮은 온-저항 및 348 V의 높은 항복전압을 구현하였다. 애노드-캐소드 간격을 50 μm까지 증가시켜 소자의 항복전압이 약 1 kV까지 증가되었다.

[감사의 글]

본 연구는 2011년도 지식경제부의 재원으로 한국에너지 기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다.
(전력산업원천기술개발사업 No. 101030002B)

[참 고 문 헌]

- [1] N. Ikeda, et.al, "GaN power transistors on Si substrates for switching applications", Proc. IEEE, vol. 98, p. 1151, 2010
- [2] S. Arulkumaran, et.al, "Electrical characteristics of Schottky contacts on GaN and Al_{0.11}Ga_{0.89}N", Jpn. J. Appl. Phys., vol. 39, p. L351, 2000
- [3] G. Koley and M. G. Spencer, "Surface potential measurements on GaN and AlGaIn/GaN heterostructures by scanning Kelvin probe microscopy", J. Appl. Phys., vol. 90, p. 337, 2001
- [4] S.-C. Lee, et.al, "Suppression of leakage current of Ni/Au Schottky barrier diode fabricated on AlGaIn/GaN heterostructure by oxidation", Jpn. J. Appl. Phys., vol. 45, p. 3398, 2006
- [5] M.-W. Ha, et.al, "High-voltage Schottky barrier diode on Silicon substrate", Jpn. J. Appl. Phys., to be published in 2011
- [6] C. M. Jeon and J.-L. Lee, "Enhancement of Schottky barrier height on AlGaIn/GaN heterostructure by oxidation annealing", Appl. Phys. Lett., vol. 82, p. 4301, 2003
- [7] K. M. Tracy, et.al, "Electrical and chemical characterization of the Schottky barrier formed between clean n-GaN(0001) surface and Pt, Au, and Ag", J. Appl. Phys., vol. 94, p. 3939, 2003
- [8] 황대원, 하민우, 노정현, 박정호, 한철규, "고전압 GaN 쇼트키 장벽 다이오드의 완충층 누설전류 분석", 전자공학회 논문지, vol. 48, p. 75, 2011