

## IED에 대한 범용 시스템버스 적용방안에 대한 연구

**김상호**, 강효진, 권효철, 임재훈, 양항준  
(주)효성 중공업연구소

### A Study on the Adaptation Method of General System Bus for IED

Sang-Ho Kim, Hyo-Jin Kang, Hyo-Chul Kwon, Jea-Hoon Lim, Hang-Jun Yang  
HYOSUNG Corporation, Power & Industrial Systems R&D Center

**Abstract** - 전력 IT 추세에 따라 IED(Intelligent Electronic Device)에서 다양한 기능이 요구되고 있으며, 따라서 이를 구현하기 위한 시스템도 복잡화되어 가고 있다. 또한 IED 내부에서 처리하여야 하는 데이터양이 대폭 증가하고 있으며 고속의 처리 속도를 요구하고 있기 때문에 산업용 시스템 버스의 도입 필요성이 제기되고 있다. 산업용 시스템 버스는 오랜 적용기간을 통해 그 신뢰성을 검증받았으며, 호환성이 뛰어나 H/W 플랫폼으로서의 가치가 있다. IED의 경우와 같이 다수 개의 CPU가 요구되는 시스템에서 CPU간 H/W적인 데이터 인터페이스 방식을 어떻게 선정하는지는 매우 중요하며 본 논문에서는 CompactPCI 기반의 최신 기술인 CompactPCI Plus IO와 Serial 기술에 대하여 살펴보고, IED에서 사용되는 기존의 메모리 공유방식이나 저속 시리얼 방식 대신 상기 CompactPCI 기반의 기술을 적용하는 방안에 대하여 검토해 보기로 한다.

#### 1. 서 론

오늘날 반도체 기술과 IT 기술의 눈부신 발전으로 사회 전반에 걸쳐 커다란 변화를 가져오고 있다. 전력기기 분야도 IT 기술이 융합되면서 보호계전기, 전력량계 등 기존의 아날로그 타입의 제품들이 디지털 기반으로 빠르게 변모하고 있다. 디지털 보호계전기의 경우 고성능의 마이크로프로세서를 이용하여 보호 알고리즘을 구현함으로써 아날로그 기기에 비해 고신뢰도, 고기능화, 저 소비부담, 소형화가 유리하고, 계측 기능, 통신 기능, 자기진단기능 등의 다양한 부가기능을 제공이 가능하다. 나아가 최근에는 디지털 전력기기들에 고속 이더넷 기반의 양방향 통신기능이 더해지면서 지능형 IED(Intelligent Electronic Device)로 발전하고 있다. 이처럼 전력기기들이 점점 지능화되고 다양한 기능을 가지게 됨에 따라 IED 내부의 데이터를 고속으로 처리하기 위한 산업용 시스템 버스의 적용 필요성이 제기되고 있다. 본 연구에서는 산업용 시스템 버스로서, 산업 전반에 걸쳐 널리 사용되고 있는 CompactPCI 기술을 기반으로 최근에 제정된 CompactPCI Plus IO 기술과 Compact Serial 기술에 대하여 살펴보고 나아가 이 기술들을 IED에 적용하는 방안을 제안하고자 한다.

#### 2. CompactPCI 관련 기술

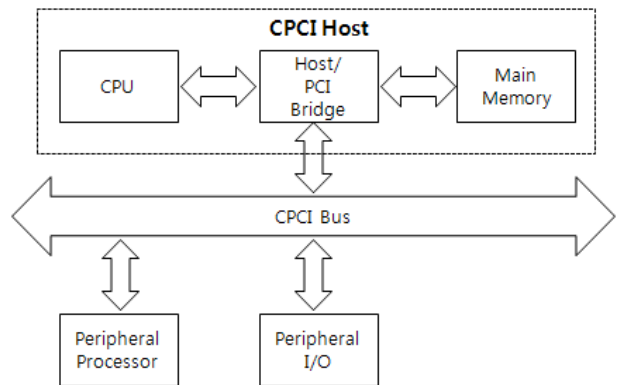
##### 2.1 CompactPCI 기술의 장단점

CompactPCI 기술은 산업용 PC 구조에 적용된 PCI 버스를 근간으로 하여 다양한 임베디드 시스템에 적용할 수 있도록 계량한 것이다. PCI 버스의 전기적 특성을 그대로 계승하였기 때문에 구조적으로 강인한 특성을 갖는다. 1999년 처음으로 제정된 CompactPCI 규격은 시스템 설계를 위한 form factor에 대한 규격을 정의한 것으로서, 병렬 버스에 대한 신호규격, 커넥터 및 핀 레이아웃, Power consumption, Cooling, 토 폴로지 등 시스템 전반에 대하여 포괄적인 규격을 정의하고 있다. 당시에는 산업용 임베디드 시스템에 VME 버스를 적용하는 것이 대세였으나, CompactPCI 기술이 소개된 이후 CompactPCI 적용분야 및 제품이 빠르게 확대되고 있다. 아래 표 1은 CompactPCI 버스와 VME 버스 간 성능을 비교한 것으로 VME에 비해 대역폭(데이터 처리속도) 측면에서 유리함을 알 수 있다. 또한 비용적인 측면에서도 CompactPCI는 VME에 비해 적은 비용으로 구현할 수 있는 장점이 있다.

**<표 1> CompactPCI와 VME 버스 비교**

	CompactPCI	VME	VME64
대역폭	532MB/s	40MB/s	320MB/s
지원 slot 수	최대 8개	최대 21개	최대 21개
Bus logic	CMOS	TTL	ETL
3.3v 지원	지원	미지원	지원

아래 그림 1은 일반적인 CompactPCI Bus를 지원하는 시스템의 구조를 나타낸다.

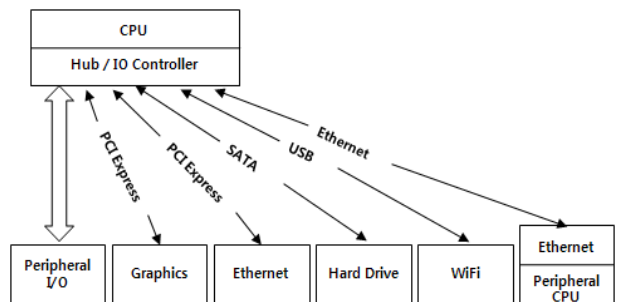


**<그림 1> 일반적인 CompactPCI 시스템 구조**

상기 CompactPCI 시스템 구조에서 CPCI Host는 동일한 버스를 공유하는 다수의 Processor와 I/O간의 데이터 송수신이 서로 충돌하지 않도록 중재하는 역할을 한다. 상기 구조에서 디지털 입/출력 처리를 위한 I/O 보드의 경우, 보통 CPCI 버스 대신 시리얼 통신(RS-485, CAN 통신 등)을 많이 사용하는 추세이다. 하지만, 초기 CPCI 규격에서는 병렬 데이터버스에 대한 신호 규격만을 정의하고 있으며, 시리얼버스에 대해서는 정의하지 않았다. 다만, 사용자가 CPCI 규격에 정의되어 있지 않은 인터페이스 방식을 사용할 수 있도록 커넥터의 빈 공간을 따로 할당해 놓았으며 이를 User-define 영역이라 정의하고 있다. 즉, 제조사는 CPCI 기반에서 I/O 보드 확장을 위하여 시리얼 버스를 추가하기 위하여 제조사 임의로 User-define 영역에 해당 신호선을 추가해야 하며, 이렇게 제작된 CPCI 보드는 더 이상의 호환성을 제공할 수 없는 문제점을 갖는다.

##### 2.2 CompactPCI Plus IO와 CompactPCI Serial 기술

앞서 살펴보았듯이 CompactPCI 기술은 병렬 버스에 대한 규격만을 정의하고 있기 때문에 시리얼 버스를 적용하여 I/O를 확장하는 경우에 호환성을 유지하기 곤란한 한계가 있다. 이러한 한계를 극복하기 위하여 2009년 CompactPCI Plus IO 기술이 제정되었다. CompactPCI Plus IO 기술은 기존의 CompactPCI 기술에 최근 널리 사용되고 있는 고속의 시리얼 버스를 추가한 것으로서 그림 2는 CompactPCI Plus IO의 다양한 시리얼 인터페이스 방식을 활용하여 시스템을 구성하는 예를 나타낸다.



**<그림 2> CompactPCI Plus IO 적용 시스템 구성 예**

상기 시스템 구조는 일반적인 산업용 PC에서 흔히 볼 수 있는 구성으로 기존의 주변 I/O 장치는 기존의 병렬 PCI 버스를 사용하여 인터페이스하고, 고속을 요하는 그래픽 컨트롤러는 고속 시리얼 버스인 PCI Express를 사용하는 것으로 되어 있다. 그 외 I/O 장치들도 각각 이에 상응하는 시리얼 버스 인터페이스 할 수 있도록 되어 있으며, 별도 내부의 CPU와의 인터페이스는 이더넷을 사용할 수 있도록 되어 있다. CompactPCI Serial 기술은 Plus IO에서 한 단계 더 진화한 것으로 기존의 CompactPCI 병렬 인터페이스는 더 이상 지원하지 않는 대신 고속의 시리얼 인터페이스를 대폭 강화하였으나, 기존의 병렬 인터페이스를 지원하지 않기 때문에 기존 시스템과의 호환성은 많이 떨어진다. 따라서 기존의 PCI 버스와 Plus IO 그리고 Serial을 혼용할 수 있도록 BackPlane이 개발되는 추세이다. IED 시스템을 구성할 때에도 이와 같이 PCI 버스와 Plus IO 그리고 Serial을 혼용하여 함께 구성함으로써 쉽게 접근 가능할 것으로 예상된다.

### 3. CompactPCI Plus IO 및 Serial 기술 적용 검토

#### 3.1 일반적인 IED 구성

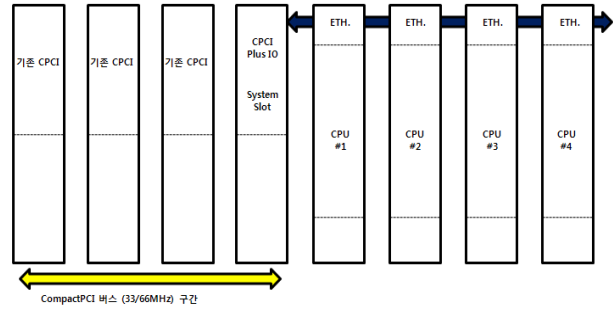
다음으로 앞서 살펴본 CompactPCI Plus IO 및 Serial 기술을 IED에 적용하는 방안에 대하여 생각해보고자 한다. 먼저 일반적인 IED의 구성에 대하여 살펴보면 크게 입출력부(Analog I/O부, Digital I/O부)와 Digital 연산 처리부(A/D, D/A 변환부, CPU), HMI(Human Machine Interface)부, 통신부의 4부분으로 이루어지며 최근에는 사용자가 현장 상황에 따라 자유롭게 입출력 로직을 구성할 수 있는 PLC(Programmable Logic Controller) 기능을 별도로 구성하는 추세이다. 입출력부는 전력 계통의 전압, 전류, 온도, 스위치 상태 등의 각종 데이터를 외부 센서에 의해 입력받고, 외부 제어 출력신호를 내보내는 역할을 한다. 입출력부는 외부와 연결되어 있는 부분이므로 Surge나 노이즈가 침입하기 쉬운 부분이므로 캐패시터나 Zener 다이오드 등의 보호 소자를 사용하여 절연시키는 것이 일반적이다. 연산처리부는 일련된 계통 데이터를 실시간으로 처리해 각종 계통 정보를 알아내야 하기 때문에 고성능의 마이크로프로세서가 요구된다. HMI부는 표시장치(LCD등), Button, LED 등으로 구성되며 IED의 각종 상태값을 사용자에게 직관적으로 알려주는 역할을 수행한다.

즉, IED를 구성하기 위해서는 일반적으로 A/D, D/A 연산과 알고리즘을 수행하는 DSP 프로세서, IED의 전반적인 데이터를 관리 및 통신을 관장하는 CPU, 전면 HMI를 관장하는 CPU 등 다수개의 CPU가 필요하며 이들 CPU간의 H/W적인 데이터 인터페이스 방식을 어떻게 설계하느냐가 IED 구조설계에 있어 주요한 고려 대상이 된다. 현재 흔히 사용되는 CPU간 데이터 인터페이스 방식은 DPRAM(Dual Port RAM)을 통한 메모리 공유방식 또는 RS-232/485 나 CAN과 같은 시리얼 통신 방식이다. DPRAM을 이용한 메모리 공유방식을 사용하는 경우, CPU간 데이터 교환을 구현하는 방식이 일반적인 메모리 접근과 동일하므로 구현하기 용이하고 고속처리가 가능한 장점이 있지만, CPU의 개수가 늘어남에 따라 시스템 설계가 점점 복잡해지고 동일한 물리적인 메모리 번지를 양쪽의 CPU가 동시에 접근할 때 발생할 수 있는 구조적인 오류 가능성은 DPRAM을 적용하여 설계할 때 항상 염두에 두어야 한다. 또한 IED의 기능이 점점 고성능화 되어감에 따라 내부에서 처리하여야 하는 데이터양이 대폭 증가하였으며, 이에 따른 고속의 처리속도를 요구하고 있다. 따라서 기존의 RS-232/485 나 CAN과 같은 저속 시리얼 통신 방식을 사용하면 대량의 전송 데이터를 고속으로 처리하기에는 제약이 따를 것으로 예상된다. 앞서 살펴보았듯이 CompactPCI Plus IO 및 Serial 기술은 CompactPCI를 기반으로 하기 때문에 H/W 측면에서의 신뢰성과 호환성을 제공하는 동시에 이더넷과 같은 고속의 시리얼 버스를 제공하기 때문에 IED와 같은 멀티 CPU를 갖는 시스템에서 CPU간 데이터 인터페이스 방식에 적용하더라도 고속의 데이터 처리 및 전송이 가능하게 된다.

#### 3.2 CompactPCI / Plus IO / Serial 기술을 혼용한 IED 설계

CompactPCI 관련된 3가지 기술을 다시 한번 비교해보면, 먼저 기존의 CompactPCI는 병렬 인터페이스만을 제공하기 때문에 시리얼 인터페이스 방식을 적용하는데 제약이 따르고, CompactPCI Plus IO는 병렬 인터페이스와 고속 시리얼 인터페이스를 모두 지원하지만 시리얼 인터페이스 채널의 수가 1개나 2개 정도밖에 되지 않아 IED와 같이 다수의 CPU로 구성하여야 하는 복잡한 시스템에서는 마찬가지로 제약이 있을 수 있다. 마지막으로, CompactPCI Serial 에서는 반대로 고속 시리얼 인터페이스 채널 수를 4개에서 8개까지로 확장하였으나, 기존의 병렬 인터페이스를 더 이상 제공하지 않기 때문에 기존의 시스템과의 호환성 측면에서 제약을 받는다. 이처럼 CompactPCI 관련된 3가지 기술들은 각기 장단점과 상호 보완적인 특성을 가지고 있다. 이와 같은 맥락에서 CompactPCI BackPlane을 개발하는 업체에서는 다양한 산업용 시스템에 적용 가능하도록 이 3가지 기술을 혼용하여 CompactPCI의 병렬 인터페이스와 Plus IO 및 Serial의 고속 시리얼 인터페이스를 모두 사용할 수

있는 BackPlane을 개발하는 추세이며, 그림 3은 이와 같이 CompactPCI 관련 3가지 기술이 혼합된 BackPlane을 구성하여 멀티 CPU 기반의 고성능 IED 시스템을 설계하는 예를 나타낸다.



<그림 3> CompactPCI Plus IO/Serial BackPlane 구성 예

그림 3에서 예를 든 BackPlane은 총 8개의 Slot으로 구성되며, 왼쪽의 4개의 Slot에는 기존의 CompactPCI 버스 인터페이스가 제공되며 오른쪽 4개의 Slot은 CompactPCI Plus IO 버스 및 CompactPCI Serial 버스를 혼용할 수 있도록 해당되는 시리얼 인터페이스를 제공한다. 이 때 왼쪽의 Slot에 Compact PCI Serial 버스에서 제공되는 이더넷 버스(최대 8개 채널)를 적용하여 IED의 멀티 CPU간 인터페이스에 적용할 수 있다. CompactPCI 기술은 BackPlane을 어떻게 구성하느냐에 따라 다양한 조합이 가능하며, 그림 3은 이 중 구성 가능한 하나의 예를 나타낸 것이다.

### 4. 결 론

IED의 기능이 다양화되고 고성능화됨에 따라 H/W적인 측면에서의 모듈화에 대한 필요성이 제기되고 있으며 이를 위해서는 산업 전반에서 검증된 시스템 버스의 적용이 필수적이다. 본 논문에서는 산업용 시스템 버스 중 CompactPCI 기반의 최신 기술인 CompactPCI Plus IO와 Serial 기술에 대하여 살펴보았으며, 주로 CPU간 H/W 인터페이스를 중심으로 이 기술을 IED에 적용하는 방안을 검토하였다. 즉, 앞서 그림 3의 IED의 일반적인 내부 구조에서 보았듯이 IED의 기본 기능을 구현하기 위해서는 DSP 및 CPU 등 다수개의 CPU가 필요하며 이 CPU간 데이터 교환을 위한 H/W적인 인터페이스 선정이 매우 중요하다. 기존에는 주로 DPRAM이나 저속의 시리얼 버스를 사용하였으나 본 고에서 살펴본 CompactPCI Plus IO와 Serial 기술을 활용하면 IED 내부의 다수의 CPU들을 이더넷 기반으로 쉽게 구성할 수 있다. 또한 이렇게 구성된 시스템은 산업 전반에 걸쳐 장기간 동안 검증된 H/W 측면에서의 신뢰성과 단일 CPU기반의 모듈화, 그리고 다른 CompactPCI 기반 시스템과의 호환성 등을 확보하기에 유리한 장점을 가진다. 본 고에서는 IED 내부의 CPU간 데이터 인터페이스 방식에 한하여 CompactPCI 기반의 최신 기술을 적용하는 방안을 검토하였으며, 실제 적용을 위해서는 보다 다양한 측면에서의 검토가 선행되어야 할 것이다.

### [참 고 문 헌]

- [1] Doug Abbott, Gary Price, PCI Bus Demystified, Butterworth-Heinemann, 2004
- [2] Sumathi, S., Labview-based Advanced Instrumentation Systems, Springer Verlag, 2007
- [3] Shanley, PCI SYSTEM ARCHITECTURE, Addison Wesley, 1999
- [4] DON ANDERSON, Inc. MindShare, Dave Dzatko, Universal Serial Bus System Architecture, Addison-Wesley, 2002
- [5] Sam Fuller, RapidIO: The Embedded System Interconnect, Wiley, 2005