

# A 6.4-Gb/s/channel Asymmetric 4-PAM Transceiver for Memory Interface

이광훈\* · 장영찬\*

\*금오공과대학교

## A 6.4-Gb/s/channel Asymmetric 4-PAM Transceiver for Memory Interface

Kwang-Hun Lee\* · Young-Chan Jang\*

\*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

### 요약

Hight speed memory application을 위하여 6.4-Gb/s/channel 4-PAM transceiver가 제안된다. Voltage margin과 time margin을 증가시키기 위하여 asymmetric 4-PAM scheme과 이를 위한 회로를 제안한다. 제안된 asymmetric 4-PAM scheme은 기존 회로에 비하여 송신단에서 33%의 기준전압 노이즈 영향을 줄인다. Channel의 ISI를 줄이기 위해서 transmitter의 1-tap pre-emphasis가 사용된다. 제안된 asymmetric 4-PAM transceiver는 1.2V supply 0.13um 1-poly 6-metal CMOS 공정에서 구현되었다. PLL을 포함한 1-channel transceiver의 면적과 전력소모는 각각  $0.294\mu\text{m}^2$ 와 6mW이다.

### ABSTRACT

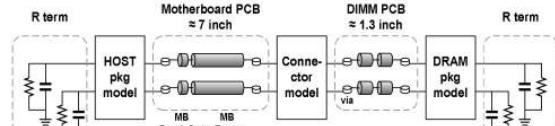
An 6.4-Gb/s/channel 4-PAM transceiver is designed for a high speed memory application. The asymmetric 4-PAM signaling scheme is proposed to increase the voltage and time margins, and reduces the reference noise effect in a receiver by 33%. To reduce ISI in a channel, 1-tap pre-emphasis of a transmitter is used. The proposed asymmetric 4-PAM transceiver was implemented by using 0.13um 1-poly 6-metal CMOS process with 1.2V supply. The active area and power consumption of 1-channel transceiver including a PLL are  $0.294\mu\text{m}^2$  and 6mW, respectively.

### 키워드

Asymmetric 4-PAM, transceiver, receiver, reference, ISI

## I. 서 론

메모리 시스템의 interface 속도가 증가함에 따라, high-speed serial link에서 사용되는 설계 기법들이 유용해졌다. 예를 들어 data training, 송수신단에서의 equalization, data coding과 같은 기법들이 high speed 메모리 시스템의 설계에 적용되고 있다. 본문에서는 high speed 메모리 interface system에 적용될 수 있는 설계기법들 중 voltage와 time margin을 증가시킨 pulse amplitude modulation (PAM) 기법을 소개한다. 일반적으로, 4-PAM은 interface channel을 위한 Nyquist frequency를 반으로 줄임으로써 송신단에서의 timing margin을 증가시킨다[1]. 하지만 4-PAM은 voltage margin을 1/3으로 줄인다. 따라서 4-PAM은 skin effect 등에 의한 channel loss 가 10dB 이상일 경우에서 유용하다.



(a)

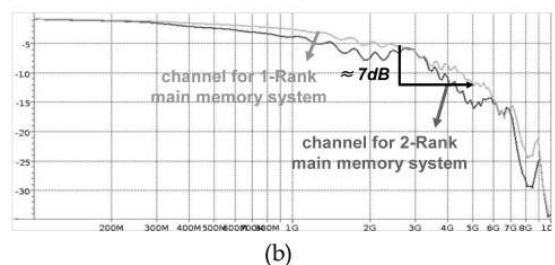


그림 1. (a) Channel model of main memory DRAM system (b) 1-Rank와 2-Rank memory channels의 주파수 특성

그림 1(a)의 1-DIMM (dual lin line memory module) 형태의 memory channel을 Hspice를 통하여 시뮬레이션 했을 때 그림 1(b)에서 보이듯 signaling speed가 2.5GHz에서 5GHz로 두 배되었을 때, channel loss는 7dB (1-Rank)에서 10dB (2-Rank)로 증가한다[2]. 4-PAM을 포함한 multi-level signaling은 channel loss에 의한 영향을 줄여 줄 뿐만 아니라, 전력 소모도 감소한다. 시뮬레이션 된 2-PAM과 4-PAM의 전력 소모를 그림 2에 나타내었다. 데이터 전송율이 5Gb/s/channel 이상으로 높아짐에 따라 4-PAM의 전력 소모가 2-PAM의 전력 소모에 비하여 효율적이다. 이는 4-PAM signaling이 2-PAM에 비하여 낮은 clock 주파수에서 동작을 하기 때문에 clock tree의 전력 소모가 감소되기 때문이다.

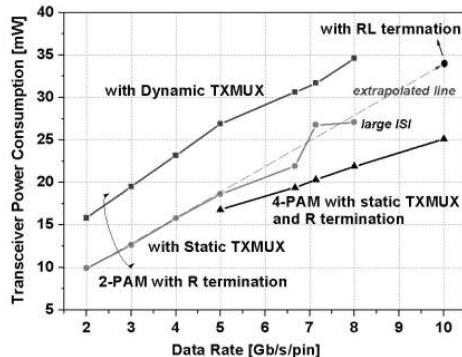


그림 2. clock tree를 제외한 transceiver의 전력소모

## II. Asymmetric 4-PAM Transceiver

Voltage margin과 timing margin을 증가시키기 위하여 그림 3에 보인바와 같은 asymmetric swing level을 가지는 4-PAM을 제안하고자 한다.  $REF_H'$ 과  $REF_L'$  기준전압의 deterministic noise 크기가  $3a$ 인 경우,  $V_1$ 과  $V_2$ 의 level을  $2a$  만큼씩, 그리고  $REF_H$ 과  $REF_L$  기준전압의 level을  $1a$  만큼씩 조정한다. 이 경우  $V_0$ 과  $V_3$ 의 full swing level이 변하지 않는다면 기존 4-PAM signaling에 비해 transceiver의 전체 전력소모는 변하지 않는다. 제안하는 asymmetric 4-PAM의 최적화된  $V_1$ 과  $V_2$ 의 level은 기준전압의 noise의 영향을 포함한 upper 또는 lower의 eye의 voltage 크기와 중간에 위치하는 기준전압을 요구하지 않는 중간위치의 eye의 voltage 크기가 같아지도록 결정된다.

PAM signaling은 timing margin 보다 voltage margin에 issue가 발생함으로 voltage의 크기로 이를 결정한다. 제안하는 asymmetric 4-PAM에서 deterministic noise 크기가  $3a$  일 때  $RX0_H$ 과  $RX0_M$ 에서 4가지의 voltage margin을 살펴보면 worst case인 경우 voltage margin은  $\Delta V - 4a$ 이다. 기존의 4-PAM signaling에 비해  $2a$ 의 voltage margin 증가가 기대된다. 또한  $RX0_H$ 와  $RX0_L$ 에서의 timing margin도 기준전압의 shift ( $REF_H$ 과  $REF_L$ )로 인해 그림 3에 보듯이  $T_{eye2}$ 에서  $T_{eye2}'$ 으로 증가된다.

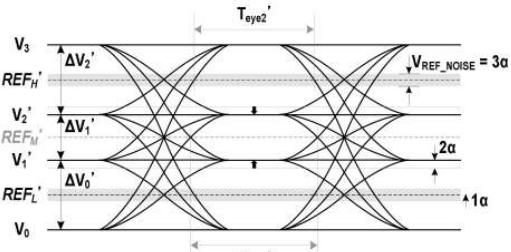


그림 3. Asymmetric 4-PAM의 eye diagram을 위한 개념도

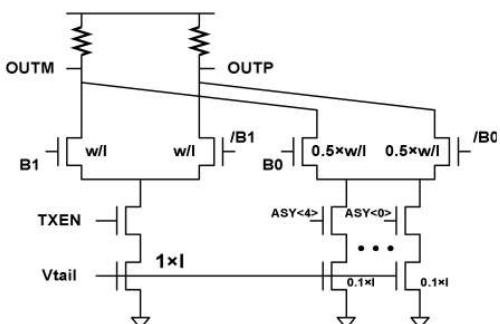


그림 4. Asymmetric 4-PAM을 위한 송신단

그림 4는 asymmetric 4-PAM을 위한 송신단을 나타내었다. 이 송신단은 LSB (B0)를 가지는 TX driver의 전류의 크기를 조절되며 이를 위해 RX의 reference noise의 크기에 따른  $V_1$ 과  $V_2$  베이스의 조절을 5bit 디지털 코드를 사용한다. Channel의 ISI를 줄이기 위해서 transmitter의 1-tap pre-emphasis를 사용한다[3].

## III. 시뮬레이션 결과 및 칩 구현

그림 5는 기존 4-PAM과 제한하고자 하는 asymmetric 4-PAM의 Hspice에 의한 simulation 결과를 보여준다. 그림 5(a)는 62.5ps의 timing

margin을 가지는 rectangle eye mask를 사용할 경우의 voltage margin을 나타내었고 그림 5(b)는 diamond eye mask를 사용할 경우의 timing margin을 나타내었다. 이를 표 1에서 그림 5의 simulation 결과를 정리하였다. 수신단의 기준전압에 noise가 존재 할 경우 제안하고자 하는 asymmetric 4-PAM signaling의 voltage margin과 time margin은 기존 4-PAM signaling에 비해 증가함을 보여준다.

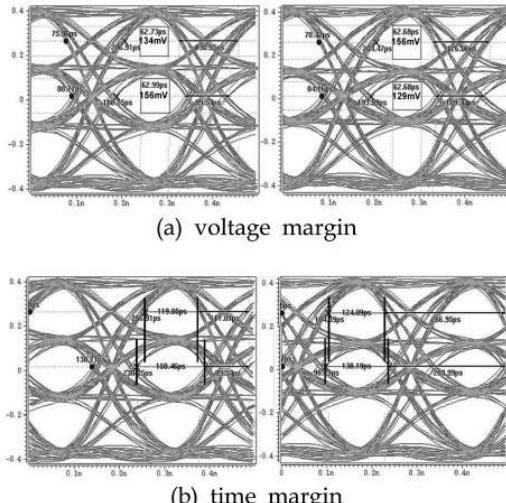


그림 5. 기존 4-PAM과 asymmetric 4-PAM 시뮬레이션 결과

표 1. 기존 4-PAM과 asymmetric 4-PAM의 eye margin

Eye mask : Rectangle	eye_center	eye_upper		
		diff_ref.noise (00mV)	diff_ref.noise (30mV)	diff_ref.noise (60mV)
voltage margin [mV]	Symmetric 4-PAM	<b>156</b>	134	<b>104</b>
	Asymmetric 4-PAM	<b>129</b>	156	<b>126</b>
time margin [ps] (target : 62.5ps)	Symmetric 4-PAM	62.99	62.73	
	Asymmetric 4-PAM	62.68	62.68	
Eye mask : Diamond	eye_center	eye_upper		
		diff_ref.noise (00mV)	diff_ref.noise (30mV)	diff_ref.noise (60mV)
voltage margin [mV]	Symmetric 4-PAM	<b>214.6</b>	217.4	187.4
	Asymmetric 4-PAM	<b>182.8</b>	241.9	211.9
time margin [ps]	Symmetric 4-PAM	150.46	<b>119.05</b>	
	Asymmetric 4-PAM	138.19	<b>124.09</b>	

Clock generator인 PLL을 포함하여 제안된 asymmetric 4-PAM transceiver는 1.2V supply 0.13um 1-poly 6-metal CMOS 공정에서 구현되었으며, 그림 6은 구현된 transceiver의 layout이다. PLL의 면적은  $500 \times 400 \mu\text{m}^2$ , transmitter의 면적은  $450 \times 140 \mu\text{m}^2$ , receiver의 면적은  $240 \times 130 \mu\text{m}^2$ . 그리고 6mW/Gb/s/channel의 전력을 소모한다.

## V. 결 론

제안하는 asymmetric 4-PAM transceiver는 기준 전압의 노이즈 영향을 33% 감소시키고 timing margin을 증가시킨다. 제안된 회로는 1.2V의 0.13um CMOS공정을 이용하여 제작되었으며, 6mW/Gb/s/channel의 전력을 소모 한다.

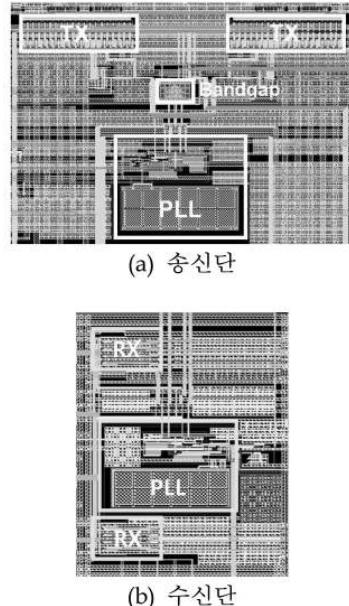


그림 6. 구현된 asymmetric 4-PAM Layout

## Acknowledgment

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2010-0006314) and IDEC.

## 참고문헌

- [1] J. L. Zerbe, et al., "Equalization and Clock Recovery for a 2.5-10Gb/s 2-PAM/4-PAM Backplane Transceiver Cell," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2121-2130, Dec. 2003.
- [2] Y.-C. Jang, et al., "BER Measurement of a 5.8-Gb/s/pin Unidirectional Differential I/O for DRAM Application with DIMM Channel," *IEEE J. Solid State Circuits*, vol. 44, no. 11, pp.2987-2998, Nov. 2009
- [3] J. F. Buckwalter, et al., "Phase and amplitude pre-emphasis techniques for low-power serial links," *IEEE J. Solid-State Circuits*, vol. 41, no. 6, pp. 1391-1399, June 2006.