
가우스분포를 이용한 이중게이트 MOSFET의 드레인유기장벽감소분석

정학기, 한지형, 정동수, 이중인, 권오신
군산대학교 전자공학과

Analysis of Drain Induced Barrier Lowering for Double Gate MOSFET Using Gaussian Distribution

Hakkee Jung·Jihyung Han·Dongsoo Jeong·Jongin Lee·Ohshin Kwon
Department of Electronic Eng., Kunsan National University

요 약

본 연구에서는 차세대 나노소자인 DG MOSFET에서 발생하는 단채널효과 중 하나인 드레인유기장벽 감소(Drain Induced Barrier Lowering; DIBL)에 대하여 분석하고자 한다. 포아송방정식을 풀어 전위분포에 대한 분석학적 해를 구할 때 전하분포함수에 대하여 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였으며 이때 가우시안 함수의 변수인 이온주입범위 및 분포편차 그리고 소자 파라미터인 채널의 두께, 도핑강도 등에 대하여 드레인유기장벽감소의 변화를 관찰하고자 한다. 본 연구의 모델에 대한 타당성은 이미 기존에 발표된 논문에서 입증하였으므로 본 연구에서는 이 모델을 이용하여 드레인유기장벽감소에 대하여 분석할 것이다.

Abstract

In this paper, drain induced barrier lowering(DIBL) has been analyzed as one of short channel effects occurred in double gate(DG) MOSFET to be next-generation devices. Since Gaussian function been used as carrier distribution for solving Poisson's equation to obtain analytical solution of potential distribution, we expect our results using this model agree with experimental results. DIBL has been investigated according to projected range and standard projected deviation as variables of Gaussian function, and channel thickness and channel doping intensity as device parameter. Since the validity of this analytical potential distribution model derived from Poisson's equation has already been proved in previous papers, DIBL has been analyzed using this model.

키워드

DG MOSFET, 도핑분포, 가우시안 분포, 포아송방정식, DIBL, 단채널효과

I. 서 론

최근 반도체메모리의 용량이 급격히 증가하면서 각 트랜지스터의 크기가 나노단위로 감소하고 있다. 트랜지스터의 크기감소는 단순히 전류의 증가 등 장점만 있는 것이 아니라 단채널효과로 알려진 문턱전압스윙의 저하, 문턱전압의 급격한 변화 및 드레인유기장벽감소 현상등 비바람직한 효과도 나타나고 있다. 특히 드레인유기장벽감소 현상은 채널의 길이가 감소하면서 드레인전압의 영향이 소스측까지 미치는 심각한 단채널효과이다. 즉, 드레인전압의 증가로 인하여 소스측 에너지장벽높이가 감소하고 이로인하여 문턱전압의 변화를 야기시키는 효과이다. 드레인유기장벽감소 현상에 의하여 게이트전압에 의해 장벽을 더욱 낮추며 소스에서 채널로 더욱 많은 전자를 유출하여 전류를 크게 증가시킨다. 더욱이 이 전류는 드레인 전압과 함께 증가하여 포화영역에서 유한 동적저항을 나타나게 한다. 일반적으로 MOSFET에서 나노소자의 경우 심각한 단채널효과를 유발하나 이와 같은 문제점을 해결하기 위하여 다중게이트 MOSFET를 개발 상용화하고자 노력하고 있다. 다중게이트 MOSFET는 소자가 초소형으로 진화됨에 따라 기존의 MOSFET에서 발생하는 단채널효과를 획기적으로 감소하는 것으로 나타나고 있다. 이는 여러 게이트에서 채널내 캐리어를 제어할 수 있고 채널의 폭을 더욱 좁게하여 완전결핍상태 (fully depleted)인 채널내에서 캐리어의 전송속도를 매우 증가시킬 수 있기 때문에 가능하다. 일반적인 SPICE 모델에서는 단순히 수치적으로 드레인 전압에 대한 문턱전압의 감소를 표현하고 있다.[1] 물론 게이트 산화막에 의한 캐패시터, 또는 채널의 길이와 같은 소자파라미터에도 그 강도는 영향을 받지만 결국 실험적인 데이터와 결과를 피팅(fitting)함으로써 정확한 모델링을 수행하고 있는 것이다. 이에 본 연구에서는 가장 일반적인 이중게이트 MOSFET에서 드레인유기장벽감소현상에 대하여 고찰하고자 한다. 특히 채널내 포텐셜을 구하기 위하여 사용되고 있는 포아송방정식을 풀 때 도핑농도의 분포를 가우스함수로 사용하여 보다 정확한 전위분포에 대한 해석학적 모델[2]을 설명할 것이며 이를 이용하여 문턱전압을 구하고 궁극적으로 드레인유기장벽감소 현상을 고찰할 것이다.

II. 이중게이트 MOSFET와 포아송방정식의 해

그림 1은 이 논문에서 사용한 DG MOSFET의 개략도로서 x, y, z 방향에 대한 전위분포를 구하기 위하여 다음과 같은 포아송방정식을 이용한다.

$$\nabla^2\phi(x, y, z) = \frac{qn(x)}{\epsilon_{si}} \tag{1}$$

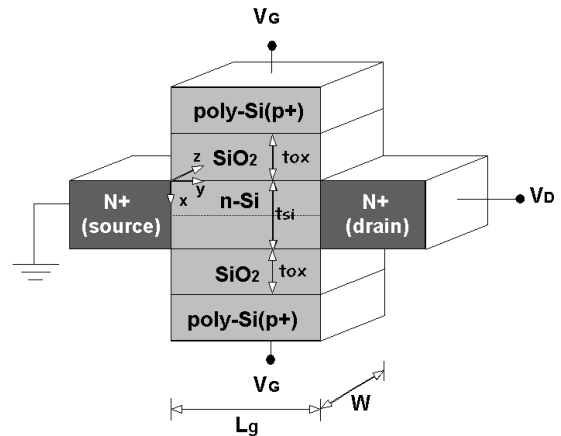


그림 1. DG MOSFET의 개략도
Fig. 1 Schematic view of DG MOSFET

그러나 z 방향으로의 전위분포는 거의 일정하므로 [3] x, y 방향의 2차원 전위분포만을 이용하여 해석학적 모델을 유도하였다. $n(x)$ 는 채널내 도핑분포함수로서 식 (2)와 같은 가우시안 분포함수를 이용하였다.

$$n(x) = N_p \exp\left\{-\frac{(x - R_p)^2}{2\sigma_p^2}\right\} \tag{2}$$

여기서 N_p 는 이온주입시 도즈량(cm^{-2})이며 R_p 와 σ_p 는 각각 이온주입의 범위 및 분포편차를 나타낸다. 식 (1)과 식 (2)를 이용하여 Tiwari 등이 구한 해석학적 전위분포는 수치해석학적 모델에 의한 전위분포와 매우 일치하는 것으로 나타났다[2]. 그러므로 본 연구에서는 Tiwari의 전위분포모델 및 문턱전압 모델을 이용하여 드레인유기장벽감소현상을 해석할 것이다. 드레인 전압을 1V 변화시켰을 때 문턱전압의 변화 즉, 드레인유기장벽감소 현상을 식 (2)의 이온주입범위 및 분포편차를 변화시키면서 구하여 고찰하였다. 드레인유기장벽감소는 다음과 같은 식으로 나타낼 수 있다.

$$DIBL = V_{th}(V_D = 0V) - V_{th}(V_D = 1V) \quad (3)$$

식 (3)에서 문턱전압을 유도하는 과정은 Tiwari의 모델[2]을 이용하였다. 문턱전압을 유도할 때 소자파라미터에 대하여 변화가 발생하며 이는 드레인유기장벽감소 현상에도 영향을 미친다. 그러므로 본 연구에서는 소자파라미터에 대한 드레인유기장벽감소현상을 채널도핑강도의 변화에 대하여 고찰할 것이다.

III. 드레인유기장벽감소에 대한 고찰

그림 2에 이온주입범위 및 분포편차의 변화에 따라 채널두께에 대한 드레인유기장벽감소 현상을 도시하였다. 채널두께가 증가할수록 드레인유기장벽감소현상이 현저히 증가하는 것을 알 수 있다. 또한 이온주입범위가 증가할수록 드레인유기장벽감소현상이 증가하며 분포편차가 감소할수록 드레인유기장벽감소현상이 증가하였다. 분포편차가 작을 때는 이온주입범위에 따라 차이가 크게 나타났으며 분포편차가 클 때는 이온주입범위의 변화에 거의 영향을 받지 않는 것을 알 수 있었다.

이온주입범위 및 분포편차의 변화에 대한 드레인유기장벽감소현상을 더욱 자세히 고찰하기 위하여 그림 3에 분포편차를 변화시킬 때 드레인유기장벽감소현상을 도시하였다. 그림 2와 마찬가지로 분포편차가 감소할수록 드레인유기장벽감소현상이 크게 나타나는 것을 알 수 있었다. 또한 이온주입범위가 클수록 드레인유기장벽감소는 현저히 증가하였다. 이온주입범위가

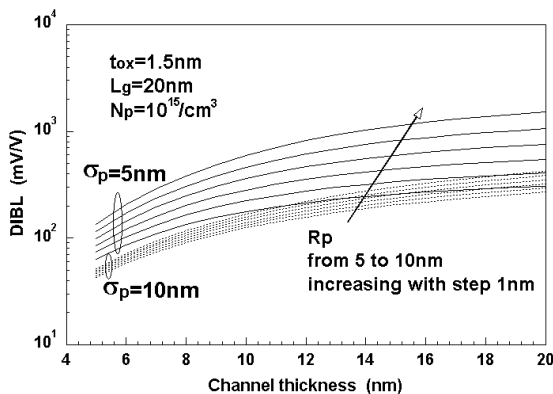


그림 2. 이온주입범위 및 분포편차에 따른 채널두께에 대한 드레인유기장벽감소(1)
Fig. 2 Drain induced barrier lowering for channel thickness with the change of projected range and standard deviation(1)

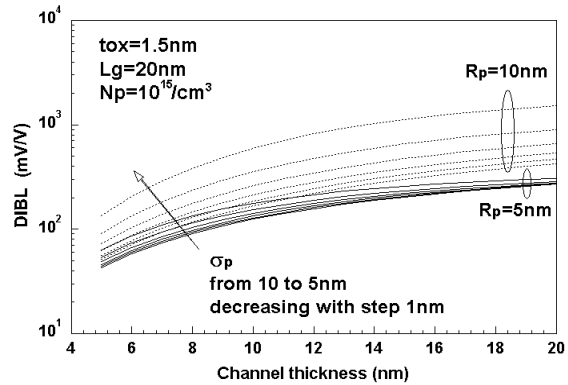


그림 3. 이온주입범위 및 분포편차에 따른 채널두께에 대한 드레인유기장벽감소(2)
Fig. 3 Drain induced barrier lowering for channel thickness with the change of projected range and standard deviation(2)

작을 때는 분포편차의 변화에 따라 드레인유기장벽감소현상이 거의 일정하게 나타나는 것을 알 수 있었다. 이와같이 이온주입범위 및 분포편차에 따라 드레인유기장벽감소현상이 크게 영향을 받고 있다는 것을 알 수 있다.

이온주입범위 및 분포편차에 대한 드레인유기장벽감소현상의 등고선 그래프를 그림 4에 도시하였다. 그림 2와 그림 3에서 고찰한 바와같이 이온주입범위가 클수록 그리고 분포편차가 작을수록 드레인유기장벽감소현상이 크게 증가하는 것을 알 수 있었다. 또한 이온주입범위가 크고 분포편차가 작을 때 드레인유기장벽감소의 증가율이 매우 가파르다는 것을 알 수 있었다. 그러므로 이중게이트 MOSFET 소자

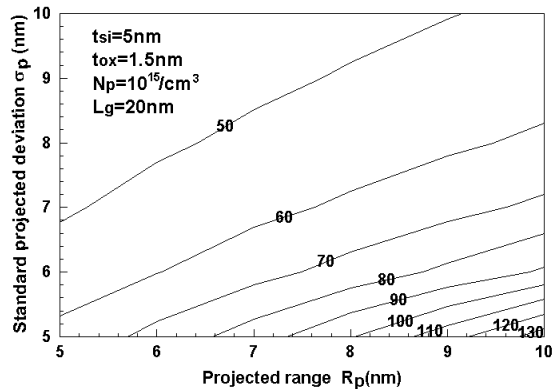


그림 4. 이온주입범위 및 분포편차에 따른 드레인유기장벽감소의 등고선곡선 (채널두께 5nm일때)

Fig. 4 Contour curves of drain induced barrier lowering with the change of projected range and standard deviation(channel thickness is 5nm)

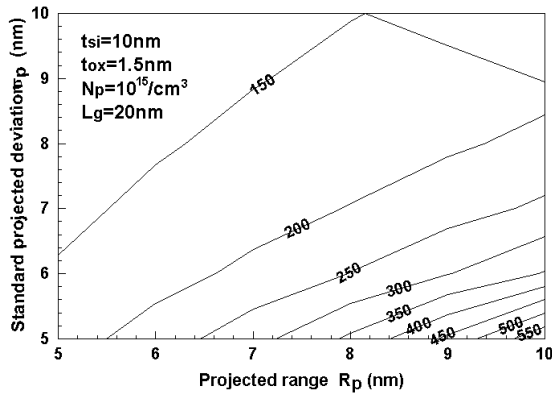


그림 5. 이온주입범위 및 분포편차에 따른 드레인유기장벽감소의 등고선곡선(채널두께 10nm일때)

Fig. 5 Contour curves of drain induced barrier lowering with the change of projected range and standard deviation(channel thickness is 10nm)

설계시 채널형성 이온주입공정 중 이온주입범위는 작게 그리고 분포편차는 크게 도핑시켜야 할 것이다. 채널두께에 대한 드레인유기장벽감소현상의 변화를 관찰하기 위하여 채널두께가 그림 4와 비교하여 10nm로 증가하였을 때의 드레인유기장벽감소의 등고선곡선을 그림 5에 도시하였다. 결과적으로 채널 두께의 증가에 따라 드레인유기장벽감소 현상이 매우 증가하는 것을 알 수 있었다. 증가율은 채널두께가 5nm일때보다 매우 가파르게 증가하며 특히 이온 주입범위가 크고 분포편차가 작을 때 크게 증가하는 것을 알 수 있었다. 이와같이 채널두께에 따라 드레인유기장벽감소현상은 크게 변화하므로 이중게이트 MOSFET 설계시 매우 중요한 요소로 작용할 것이다.

IV. 결론

본 연구에서는 이중게이트 MOSFET에서 발생하는 단채널효과 중 하나인 드레인유기장벽 감소 현상에 대하여 분석하였다. 포아송방정식을 풀어 전위분포에 대한 해석학적 해를 구할 때 전하분포함수에 대하여 가우시안 함수를 사용함으로써 보다 실험값에 가깝게 해석하였으며 이때 가우시안 함수의 변수인 이온주입범위 및 분포편차 그리고 소자 파라미터인 채널의 두께, 도핑강도 등에 대하여 드레인유기장벽감소의 변화를 관찰하였다. 결과적으로 이온주입범위가 증가할수록 드레인유기장벽감소현상이 증가하

며 분포편차가 감소할수록 드레인유기장벽감소 현상이 증가하였다. 또한 채널두께가 커지면 매우 가파르며 드레인유기장벽감소 현상이 증가하며 특히 이온주입범위가 크고 분포편차가 작을 때 증가율이 현저히 커지는 것을 알 수 있었다. 이와같은 결과는 향후 이중게이트 MOSFET 설계시 이용될 수 있다고 사료된다.

참고 문헌

- [1] S.Dimitrijević, Principles of Semiconductor devices, 1st, Oxford University Press, 2006.
- [2] P.K. Tiwari, S. Kumar, S. Mittal, V. Srivastava, U. Pandey and S. Jit, "A 2D Analytical Model of the Channel Potential and Threshold Voltage of Double-Gate(DG) MOSFETs with Vertical Gaussian Doping Profile," IMPACT-2009, pp.52-55, 2009.
- [3] A.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, pp.737-741, 2006.