
분할 기법을 이용한 스위칭함수 구성

박춘명*

*충주대학교 첨단과학기술대학 컴퓨터공학과

Constructing the Switching Function using Partition Techniques

Chun-Myoung Park*

*Dept. of Computer Eng., CAST, Chungju National University

E-mail : cmpark@cjnu.ac.kr

요 약

본 논문에서는 최근에 디지털논리시스템의 회로 구현시에 적용되기 시작한 분할설계기법의 한가지 방법을 제안하였다. 기존의 디지털논리회로설계기법은 적용되는 개별소자를 어떻게 효과적이며 효율적으로 이용하느냐 하는 것이 큰 목적이었으나, 최근의 전자공학의 발달과 회로의 집적도가 높아짐에 따라서 디지털논리설계기법은 각각의 모듈을 구성하고 있는 소자들의 개별소자를 사용하는 것보다는 복잡하더라도 좀 더 경제적이고 다기능의 분할설계기법이 요구되고 있다. 이러한 내용을 근간으로 본 논문에서는 효과적인 분할기법을 이용한 스위칭함수구성의 한가지 방법을 제안하였다.

ABSTRACT

This paper presents a method of the circuit design of the multiple-valued digital logic switching functions based on the modular techniques. First of all, we introduce the necessity, background and concepts of the modular design techniques for the digital logic systems. Next, we discuss the definitions that are used in this paper. For the purpose of the circuit design for the multiple-valued digital logic switching functions, we discuss the extraction of the partition functions. Also we describe the construction method of the building block, that is called the modules, based on each partition functions. And we apply the proposed method to the example, we compare the results with the results of the earlier methods. In result, we decrease the control functions, it means that we obtain the effective cost in the digital logic design for any other earlier methods. In the future research, we require the universal module that treat more partition functions and more compact module.

키워드

Embedded systems, Hardware-Software Co-design, Information Technology

1. 서 론

지금까지의 디지털논리회로설계기법은 개별소자를 어떻게 효과적이며 효율적으로 이용하느냐 하는 것이 큰 목적이었으나, 최근의 디지털논리설계기법은 각각의 모듈을 구성하고 있는 소자들의 개별소자를 사용하는 것보다는 복잡하더라도 좀 더 경제적이고 다기능의 모듈러설계기법이 관심의 대상이 되고 있다.[9-15] 그 후 앞에서의 내용을 여러 가지 형태로 개선한 연구들이 다수 발표되고 있다. 이들 연구들의 큰 특징은 모듈러 라

이브러리에 미리 사용 가능한 각종 모듈을 등록시켜 놓고 필요할 때마다 이들 모듈을 불러다 사용하는 방법을 이용하고 있다. 그러나 이들 연구에서의 단점은 이미 준비해 놓은 모듈을 적용할 수 있는 디지털논리스위칭함수인 경우에는 효과적이지만 그렇지 않은 경우에는 효과적인 축약된 함수(Minimized Functions)를 도출했다 하더라도 이를 디지털논리시스템회로로 구현하는데는 제약을 받을 수 밖에 없는 단점을 내포하고 있다. 따라서 본 논문에서는 이러한 점을 고려하여 좀 더 다양한 형태의 모듈을 구성하였으며, 이러한 과정

을 통하여 제어함수를 상당수 줄일 수 있는 효과를 얻었다.

II. 분할설계기법

본 절에서는 최근에 디지털논리시스템의 회로 구현시에 많이 적용되고 있는 분할설계기법에 대해 기술한다. 디지털논리시스템의 회로를 분할설계기법에 의한 구현의 가장 큰 장점은 개별 디지털논리소자를 사용하는 것 보다는 경비가 절감된다는 점이다. 이와같은 내용은 디지털논리시스템의 회로 구현시에도 적용되어 T-Gate를 기본 소자로한 디지털논리소위칭함수를 도출한 후 회로 설계하는 연구가 활발히 진행 중이다. 분할설계기법의 개념은 먼저 임의의 디지털논리소위칭함수에 대한 최종 목적함수(Goal Function)를 여러개의 부분함수(Subfunction)로 분할(Decomposition or Partition)한 후 이들 분할된 부분함수들을 체계적으로 연결하여 최종 목적함수에 대한 출력을 구현하는 방법이다. 이때 각각의 부분함수들은 이미 정의한 Building Block(B.B.)을 사용하여 구현하며 각각의 BB들은 T-Gate, PLA(Programmable Logic Array), PLD(Programmable Logic Device), GAL(Gate Array Logic) 또는 FPGA(Field Programmable Gate Array) 등을 사용하여 구성할 수 있다.

III. 제안한 방법의 알고리즘

본 장에서는 본 논문에서 제안한 모듈러설계기법에 기초한 디지털논리시스템의 회로구현하는 방법에 사용되는 각종 정의들에 대해 논의한다. 임의의 주어진 디지털논리소위칭함수는 여러 개의 상이한 부분함수로 분할할 수 있으며, 이미 정의 되어있는 모듈을 사용하기 위해서는 최종적으로는 스위칭함수로 분할되어야만 한다. 따라서 도출한 부분함수 안에서의 함수 값들 사이에는 다음의 정의들과 같은 다양한 관계들이 존재하며 이러한 정의들은 각각의 분할된 부분함수사이에도 성립한다.

[정의 1] 분할행렬(Partition Matrix)에서 임의의 2개의 행과 열의 모든 위치에서 동일한 함수 값을 갖는다면 이들 2개의 행과 열을 「Identical」 이라고 한다.

[정의 2] 분할행렬에서 2개의 행과 열이 동일한 함수 값을 갖는다면 이들 2개의 행과 열을 「Compatible」 이라고 한다.

[정의 3] 분할행렬에서 행과 열이 상수(constant), 또는 입력변수와 같거나 오직 하나의 부분함수로 구성되어 있으면 「Trivial 행과 열」 이라 한다.

[정의 4] 분할행렬에서 각각의 행과 열이 다른 어떤 행과 열과도 관계가 성립하지 않는다면 이를 「유일(Unique)한 행과 열」 이라 한다.

VI. 디지털논리소자의 구성

본 장에서는 본 논문에서 제안한 디지털논리소위칭함수를 분할설계기법에 기초하여 회로설계할 때 사용되는 기본 논리소자인 Building Block에 대해 논의한다. 본 논문에서 사용할 기본 논리소자인 Building Block은 P차 2변수의 구조이며 3 level의 값을 갖는 T-Gate로 구성된다. 이때, Building Block을 구성하는 소자는 T-Gate 이외의 소자로도 구성이 가능하지만 현재 디지털논리소자로서는 T-gate가 가장 범용화 되어 있으므로 본 논문에서도 T-gate를 사용한다.

V. 결론

본 논문에서는 최근에 디지털논리시스템의 회로 구현시에 적용되기 시작한 분할설계기법의 한 가지 방법을 제안하였다. 기존의 디지털논리회로 설계기법은 적용되는 개별소자를 어떻게 효과적이며 효율적으로 이용하느냐 하는 것이 큰 목적이었으나, 최근의 전자공학의 발달과 회로의 집적도가 높아짐에 따라서 디지털논리설계기법은 각각의 모듈을 구성하고 있는 소자들의 개별소자를 사용하는 것보다는 복잡하더라도 좀 더 경제적이고 다기능의 분할설계기법이 요구되고 있다. 특히, 디지털논리소위칭함수를 회로로 구현하는 분야에 분할설계기법의 적용은 매우 효과적이다. 따라서 본 논문에서는 이러한 점을 고려하여 좀 더 다양한 형태의 모듈을 구성하였으며, 이러한 과정을 통하여 제어함수를 상당수 줄일 수 있는 효과를 얻을 수 있었다.

참고문헌

- [1] T.Luba, H.Selvaraj and A.Kransiewaski, "A new approach to FPGA-based logic synthesis workshop on design methodologies for microelectronics and signal processing, Gliwice-Cracow.,2008.
- [2] W.D.Becher, Logical Dsign using Integated Circuits, Hayden Book Co., 2009.
- [3] T.R.Blakeslee, Digital Design with Standard MSI and LSI, John Willy and sons,1979.
- [4] B.Sami, Abugharbien & S.C.Lee,"Fast Algorithms for the Disjunctive Decomposition of m-valued functions", Part I : The Decomposition Algorithm, IEEE 23th ISMVL., pp.118-125,1993.
- [5] V.Shen, A.Mckeller and P.Weiner,"A fast algorithm for the disjunctive decomposition of switching functions" IEEE Trans., vol.C-20,pp.3-4-309, Mar. 2010.