

# 2.5V 0.25 $\mu$ m CMOS Temperature Sensor with 4-Bit SA ADC

김문규\* · 장영찬\*

\*금오공과대학교

2.5V 0.25 $\mu$ m CMOS Temperature sensor with 4-Bit SA ADC

Moon-Gyu Kim\* · Young-Chan Jang\*

\*School of Electronic Engineering, Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

## 요 약

SoC에서 칩 내부의 온도를 측정하기 위한 proportional-to-absolute-temperature (PTAT) 회로와 sensing 된 아날로그 신호를 디지털로 변환하기 위해 4-bit analog-to-digital converter (ADC)로 구성된 temperature sensor를 제안한다. CMOS 공정에서 vertical PNP 구조를 이용하여 PTAT 회로가 설계되었다. 온도변화에 둔감한 ADC를 구현하기 위해 아날로그 회로를 최소로 사용하는 successive approximation (SA) ADC가 이용되었다. 4-bit SA ADC는 capacitor DAC와 time-domain 비교기를 이용함으로써 전력소모를 최소화하였다. 제안된 temperature sensor는 2.5V 0.25 $\mu$ m 1-poly 9-metal CMOS 공정을 이용하여 설계되었고, 50~150 °C 온도 범위에서 동작한다. Temperature sensor의 면적과 전력 소모는 각각  $130 \times 390 \mu\text{m}^2$ 과 868 uW이다.

## 키워드

Temperature sensor, PTAT, successive approximation analog-to-digital converter

## I. 서 론

최근 반도체 집적회로의 동작속도가 증가함에 따라 전력소모는 더욱 증가하고 있다. 이는 반도체 칩의 온도를 상승시킨다. 더욱이 자동차 및 항공 관련 분야에 이용되는 반도체 칩은 급격한 온도의 변화 속에서 동작을 한다. 한편, 반도체 특성상 반도체 칩의 온도 변화는 성능의 악화를 유발시킴으로 칩 내부의 온도 측정이 요구된다. 측정된 반도체 칩 내부의 온도정보는 이를 측정된 칩의 온도 정보는 칩 성능 저하의 보상, power management 등에 유용하게 이용된다. 이를 위해 temperature sensor가 주 회로와 함께 구현되고 있다[1-2].

일반적으로 반도체 칩의 온도를 측정하기 위해서 proportional-to-absolute-temperature (PTAT) 회로를 이용하는데, 이를 위해서는 bipolar 공정이 요구된다. 칩 개발의 편이성, 전력소모 그리고 칩 개발 비용 면에서 bipolar 공정보다 CMOS 공정이 많은 장점을 가지고 있다. 따라서 twin-well을 가지는 CMOS 공정에서 PTAT 회로를 구현하기 위해 vertical structure의 P-N-P 구조를 이용한다. 그림 1은 PTAT 회로의 온도에 따른 전달곡선을 개념적으로 나타내었다. 그림에 나타난 바와 같이 정확한 temperature sensor를 구현하기 위해서는 우선

PTAT의 선형성이 중요하다. 즉, 주어진 입력 온도 범위 내에서 구현된 PTAT의 회로는 온도가 증가됨에 따라 saturation되지 않고 일정한 기울기의 전달 곡선을 가져야 한다. 따라서 정해진 입력 온도에 따른 출력 전압의 범위가 확보되어야 한다.

한편, 기본적으로 temperature sensor는 아날로그 전압을 출력하는 PTAT 회로와 디지털 회로의 인터페이스를 위해 analog-to-digital converter (ADC)를 포함한다. 여기에 이용되는 ADC의 sampling rate는 반도체 칩 온도의 변화에 따라 결정되는데, 수 kHz ~ 수백 kHz 정도이다. 또한 ADC의 해상도는 주어진 시스템의 사양에 따라 결정되는데, 주로 4bit ~ 8bit 이내로 결정된다.

본 논문에서는 twin-well CMOS 공정에서 구현되는 PTAT 회로와 4-bit 출력을 가지는 successive approximation (SA) ADC로 구성된 temperature sensor를 소개한다. 특히, SA ADC는 최소한의 아날로그 회로를 사용하여 구현됨으로 온도, 전압 등 아날로그 노이즈에 대해 다른 ADC에 비해 상대적으로 민감하지 않고, 소형화 및 저전력 설계에 유리하다.

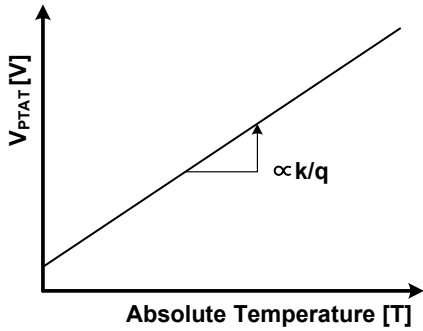


그림 1. 온도의 변화에 따른 PTAT의 전달곡선  
Fig 1. Transfer curve of PTAT according to temperature variation

II. 제안하는 temperature sensor

그림 2는 제안하는 temperature sensor의 전체 블록도이다. 온도에 비례하는 출력을 내는 PTAT 회로, PTAT 회로 내의 OP 앰프를 위한 bias 회로, 그리고 그 출력을 4-bit 디지털 코드로 변환하는 ADC로 구성된다. Twin-well을 가지는 CMOS 공정에서 PTAT 회로를 구현하기 위해 vertical structure의 P-N-P 구조를 이용하며, 출력 범위를 제어하기 위한 수단을 가진다. 사용되는 ADC는 저 전력 및 온도의 변화에 상대적으로 둔감한 successive approximation 구조를 이용한다.

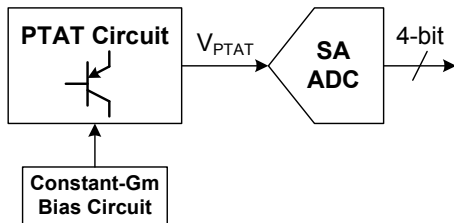


그림 2. Temperature sensor의 블록도  
Fig 2. Block diagram of temperature sensor

A. PTAT 회로

그림 3은 본 연구에 사용된 PTAT의 회로도이다 [3]. 기존의 PTAT 회로와 complementary-to-absolute-temperature (CTAT) 회로가 결합된 band-gap reference 회로 중 PTAT 회로를 이용하였다. 일반적으로 CMOS transistor, 저항, 그리고 capacitor에 비해 P-N-P bipolar transistor는 큰 면적의 layout을 가진다. 따라서 본 연구에서는 두 개의 P-N-P bipolar transistor의 비율을 1:10으로 설계하여 이용되는 P-N-P bipolar transistor의 개수를 줄였다. 이 경우 R1에 절대온도에 비례하는 전압이 정상적으로 형성되기 위해 그림 3의 M3 및 M4의 W/L의 크기는 M1과 M2의 W/L의 크기에 비해 절반으로 설계되었다.

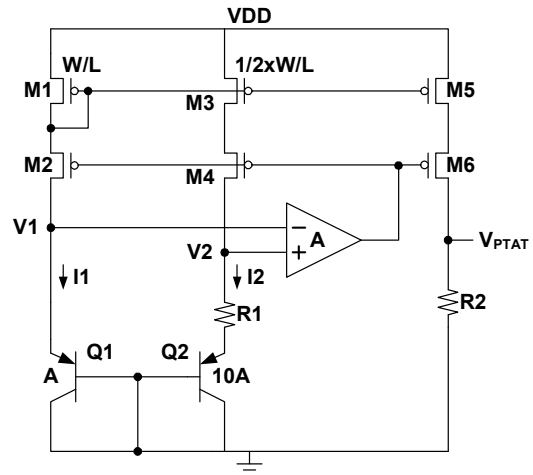


그림 3. Temperature sensor 회로도  
Fig 3. Temperature sensor circuit schematic

두 개의 P-N-P bipolar transistor의 base-emitter 전압( $V_{be}$ )의 차이가 R1에 발생되기 위해 그림 3의 M1, M2, M3, 그리고 M4로 구성된 current mirrors의 양쪽 출력노드 전압 V1, V2이 동일하게 유지되어야 한다. 이를 위해 V1과 V2를 입력으로 하는 OP 앰프 A를 이용하여 feedback을 형성하여 current mirror를 제어하도록 하였다.

PTAT 회로의 출력전압의 level 및 range를 정하는 것에 있어 식(1)을 이용할 수 있다[3].

$$\begin{aligned}
 V_{ptat} &= (V_{be,Q1} - V_{be,Q2}) \times \frac{R_2}{R_1} \\
 &= \frac{kT}{q} \ln n \times \frac{R_2}{R_1}
 \end{aligned}
 \tag{1}$$

여기서, k는 boltzmann 상수, q는 electron charge, T는 절대온도, 그리고 n은 두 개의 bipolar transistor emitter 크기의 비율이며, 본 연구에서는 effective하게 100의 값을 가진다. 식(1)에서 보는 것처럼  $R_1$ 과  $R_2$ 의 비, 그리고 Q1, Q2의 emitter 면적 비에 의해  $V_{PTAT}$ 가 결정된다. 특히, 정해진 두 개의 bipolar transistor emitter 크기의 비율에서  $R_1$ 과  $R_2$ 의 값을 조절하여 원하는  $V_{PTAT}$ 의 전압범위를 결정할 수 있다. 그림 4는 온도 변화에 따른 설계된 PTAT 회로의 simulation 결과를 보여준다. 50 ~ 150 °C 온도 범위에 대해  $V_{PTAT}$ 는 1.2 ~ 1.6V의 전압범위를 가진다.

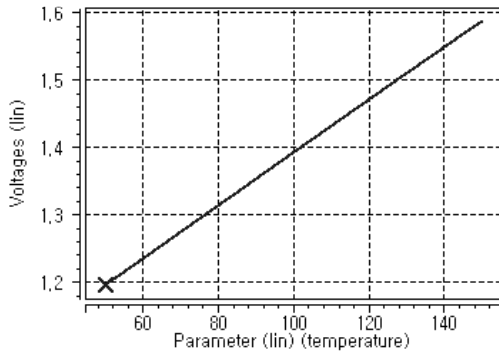


그림 4. 온도에 따른 PTAT 회로의 출력파형  
Fig 4. Output of PTAT circuit according to temperature variation

B. SA ADC

그림 5는 SA ADC의 블록도이며, switched capacitor-based DAC, time-domain 비교기, 그리고 SAR logic으로 구성된다. SA ADC의 입력범위는 PTAT 회로의 출력 범위와 동일하여야 한다. 이를 위해  $V_{REFP}$ 와  $V_{REFM}$ 이 외부에서 공급된다. 4-bit 디지털 코드로의 변환을 위해 reset, sample, 그리고 네 번 클럭주기 동안의 data conversion의 과정을 거쳐, 총 여섯 번의 클럭주기가 소요된다.

DC 전력소모를 줄이기 위해 capacitor를 이용한 DAC를 사용하며, 설계된 DAC는 SA ADC의 입력 range를 위해 외부에서 공급되는  $V_{REFP}$ 와  $V_{REFM}$ 의 기준전압을 이용한다. SA ADC에서 사용되는 비교기는 time-domain 비교기로 voltage-controlled delay converter (VCDC), time amplifier (TA), binary phase detector (PD)로 구성된다[4].

그림 6은 일정한 기울기를 가지는 아날로그 ramp 신호에 대한 설계된 4-bit SA ADC의 출력파형이다. 166.7kHz의 sampling rate를 가질 때 HSPICE 시뮬레이션을 통하여 확인한 결과이다.

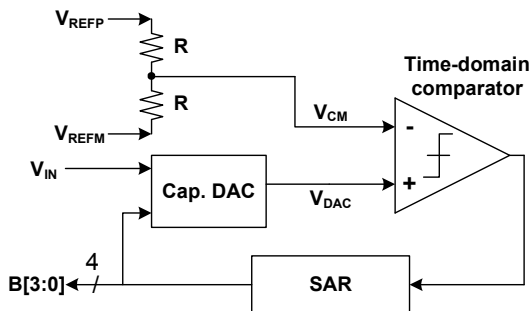


그림 5. SA ADC 블록도  
Fig 5. Block diagram of SA ADC

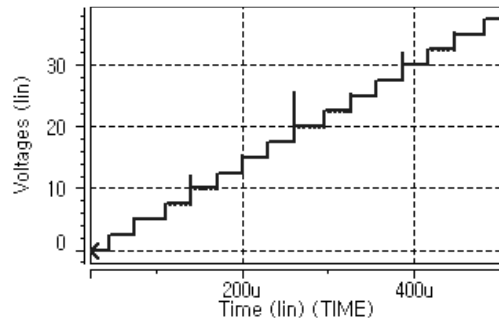


그림 6. Ramp 입력신호의 변화에 대한 ADC 출력  
Fig 6. ADC output according to Ramp input signal

III. 칩 설계 및 시뮬레이션 결과

그림 7은 2.5V supply, 0.25um 1-poly 9-metal CMOS 공정에서 설계된 temperature sensor의 layout이다. Temperature sensor의 면적은  $130 \times 390 \text{ um}^2$ 이고, 전력 소모는 868uW이다.

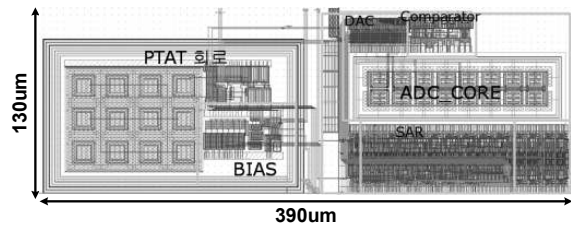


그림 7. Temperature sensor의 layout  
Fig 7. Layout of temperature sensor

50°C와 150°C에서의 temperature sensor 출력을 그림 8에 나타내었다. 각각의 경우 PTAT의 출력은 1.2, 1.6V이며, 최종 SA ADC의 바이너리 디지털 코드는 0000, 1111을 출력한다. 시뮬레이션 환경은 2.5V supply, typical process corner에서 수행하였다.

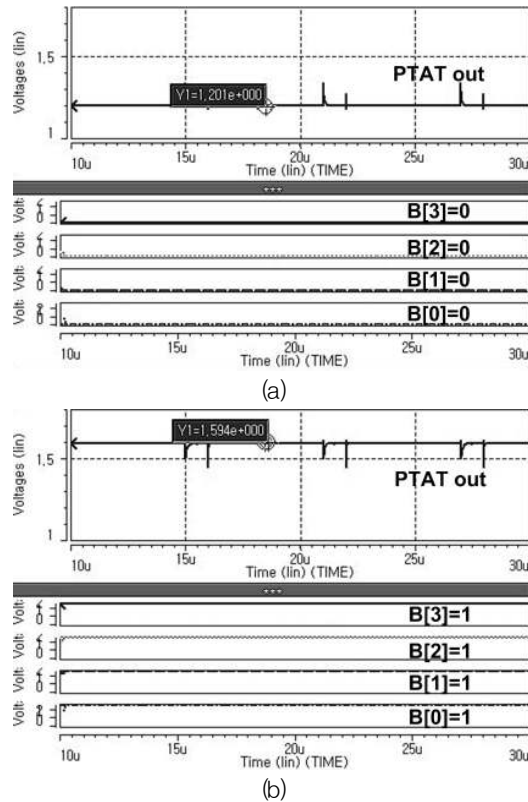


그림 8. 온도 변화에 따른 PTAT circuit과 ADC의 출력 (a) 50°C (b) 100°C

Fig 8. Outputs of PTAT circuit and ADC according to temperature variation (a) 50°C (b) 100°C

#### IV. 결 론

본 연구에서는 bipolar 면적을 1/10로 줄인 PTAT 회로와 아날로그회로를 최소화함으로 온도 변화에 둔감하도록 설계한 SA ADC를 이용한 temperature sensor를 제안하였다. PTAT 회로의 온도 입력 범위는 50 ~ 150°C의 범위를 가지며 최종 바이너리 디지털 코드로 4-bit를 출력한다. 4-bit SA ADC는 capacitor DAC와 time-domain 비교기를 이용함으로 전력소모를 최소화하였다. 제안된 temperature sensor는 2.5V 0.25 $\mu$ m 1-poly 9-metal CMOS 공정을 이용하여 설계되었다. Temperature sensor의 면적과 전력 소모는 각각 130  $\times$  390  $\mu$ m<sup>2</sup>과 868  $\mu$ W이다.

#### 감사의 글

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2010-0006314) and IDEC.

#### 참고문헌

- [1] D. Barretino, *et al.*, "CMOS-based monolithic controllers for smart sensors comprising micromembranes and microcantilevers," *IEEE Transactions on Circuits and Systems I*, vol. 54, no. 1, pp. 141–152, Jan. 2007
- [2] E. Lauwers, *et al.*, "A CMOS multiparameter biochemical microsensor with temperature control and signal interfacing," *IEEE J. of Solid State Circuits*, vol. 36, no. 12, pp. 2030–2038, Dec. 2001
- [3] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, New York, 2001
- [4] J. H. Eo *et al.*, "A 1V 200 kS/s 10-bit Successive Approximation ADC for a Sensor Interface," *IEICE transaction on Electronics*, vol. E94-C, no. 11, Nov. 2011