

클럭 보정회로를 가진 1V 2.56-GS/s 6-bit Flash ADC

김상훈* · 이한열* · 장영찬*

*금오공과대학교

1V 2.56-GS/s 6-bit Flash ADC with Clock Calibration Circuit

Sang-hun Kim* · Han-yeol Lee* · Young-Chan Jang*

*School of Electronic Engineering, Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

요 약

본 논문은 클럭 보정회로를 가진 1V 2.56-GS/s 6-bit flash analog-to-digital converter (ADC) 제안한다. 제안하는 ADC 구조에서 아날로그 블록은 단일 T/H와 2단의 프리앰프, 그리고 비교기를 사용된다. 2단의 프리앰프와 비교기의 출력에 옵셋의 크기를 줄이기 위하여 저항 평균화 기법을 적용하였다. 디지털 블록은 quasi-gray rom base 구조를 사용한다. 3입력 voting 회로로 flash ADC에서 발생하기 쉬운 bubble error를 제거하였으며, 고속 동작을 위해 단일 클럭을 사용하는 TSPC F/F로 구현한다. 제안하는 flash ADC는 클럭 듀티 비를 조절할 수 있는 클럭 보정회로를 사용한다. 클럭 보정 회로는 비교기 클럭 듀티 비를 조절하여 리셋 시간과 evaluation 시간의 비율을 최적화함으로써 dynamic 특성을 확보한다. 제안한 flash ADC는 1V 90nm의 CMOS 공정에서 설계되었다. Full power bandwidth인 1.2 GHz 입력에 대하여 ADC 성능을 시뮬레이션을 통해 확인하였다. 설계된 flash ADC의 면적과 전력소모는 각각 $800 \times 400 \mu\text{m}^2$ 와 193.02mW 이다.

키워드

Flash ADC, 클럭 보정, 단일 TH, 저항 평균화 기법, quasi-gray rom base 구조, 3입력 voting 회로

I. 서 론

레이더 시스템에 사용될 ADC는 시스템의 초단에 위치하여 analog 신호를 digital 신호로 변환하는 역할을 한다. 따라서 이 블록은 시스템 전체의 성능을 결정지을 수 있는 중요한 블록이 된다. 더욱이 레이더 시스템에서 요구되는 아날로그 입력신호의 bandwidth가 500MHz 이상의 고속 신호이기 때문에 이를 digital 신호로 변환하기 위해 Giga sampling rate 이상의 high speed ADC가 요구된다. GHz 이상의 고속신호에서는 ADC 각 블록에 들어가는 클럭 위상과 듀티 비가 중요해진다. 본 논문에서는 클럭 보정회로를 이용하여 비교기 클럭 듀티 비를 조절하여 비율을 최적화함으로써 dynamic 특성을 확보하였다 [1]. 2장은 flash ADC 구성에 관하여 소개하며, 3장은 제안하는 회로를 소개한다. 4장에서는 클럭 보정회로의 구성과 성능을 소개하며, 보정회로를 클럭 발생기에 적용하여 비교기의 클럭 듀티 비가 ADC의 성능에 미치는 영향을 확인한다. 5장에서는 칩 설계 및 시뮬레이션 결과를 정리하며, 마지막장에서는 결론으로 2.56-GS/s 6-bit Flash ADC를 정리한다.

II. Flash ADC 구조

6-bit 해상도, 2.56-GS/s의 변환 속도를 가지는 ADC는 단일 T/H를 이용하여 flash ADC type으로 구현하였다. 그림 1에서 전체 flash ADC 구조를 나타내었다. 입력을 받아들이기 위한 단일 T/H, 기준 전압을 위한 저항 열과 Band-Gap Reference (BGR), 2단의 프리앰프, 비교기와 래치, Digital Encoder, Deserialize, Mux, 그리고 Clock Generator로 구성하였다.

입력 단은 단일 T/H를 사용하여 입력신호를 샘플링을 한다. 입력 단에서 발생하는 큰 input capacitance를 줄이기 위해 입력 단의 출력에 Source Follower (SF)를 위치했다.

아날로그 신호를 디지털 신호로 변환하기 위해 기준 되는 전압이 필요하다. 안정된 기준전압을 만들어 주기 위해 BGR를 통하여 구현한다. 프리앰프는 기준전압과 샘플링된 신호의 차이를 증폭하며, 고속 동작에서 시간적인 마진을 확보하기 위해 2단으로 구성했다. 각각의 프리앰프 입력 옵셋을 감소하기 위해 저항 평균화 기법을 적용했다 [2-3]. 저항 평균화 기법을 적용하기 위해 dummy 프리앰프를 추가하여 구현하였다. 프

리앰프단의 출력은 비교기단의 입력으로 사용된다. 비교기는 고속 동작이 가능하여야 하며, 해상도를 증가시키기 위해 프리앰프를 가진 래치 형태로 설계했다. 비교기의 출력에 래치를 배치하여 풀스윙 (full-swing)이 가능하다.

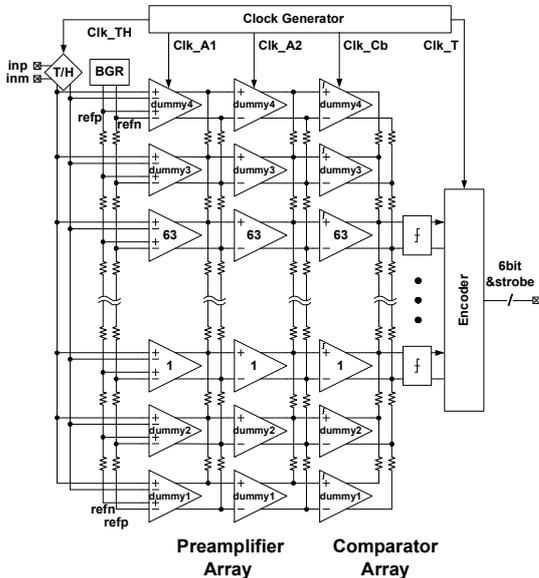


그림 1. Flash ADC 구조

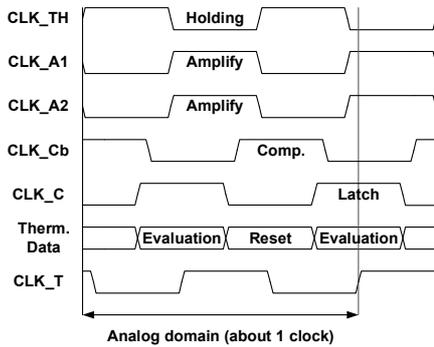


그림 2. Flash ADC 타이밍도

Flash ADC의 래치단의 출력은 thermometer code의 형태이다. 이를 6-bit binary code로 전환하기 위해 디지털 인코더 블록이 위치된다. 본 연구에서 인코더 블록은 quasi-gray coding을 사용하여 bit error rate (BER)를 줄이도록 하였다. 이에 앞서 thermometer code에 존재할 수 있는 버블 (bubble), 혹은 스파클 (sparkle) 노이즈를 제거하기 위해 캐스캐이드 보팅 과정 (cascade voting process)을 사용하였다 [4]. 또 quasi-gray coding을 사용함으로써 고속 동작에 대한 부담을 줄였다. 클럭 발생기는 칩 외부에서 2.56 GHz의 차동 클럭을 받아 칩 내부 블록에 적합한 클럭을 생성하여 공급한다.

본 연구에서는 통상적으로 50%의 듀티 비를

가지는 클럭을 사용하는 일반 flash ADC 대비 high speed comparator를 위한 최적화된 듀티 비를 가지는 클럭을 사용함으로써 flash ADC의 dynamic 특성을 향상시킨다.

III. 회로 설명

Flash ADC에는 T/H 회로가 사용이 된다. distributed T/H를 사용하는 경우 높은 해상도와 큰 FPBW를 확보할 수 있지만, 공정 변화에 따른 R-on 변화로 신호의 왜곡이 발생된다. 그림 3에서 input capacitance를 줄이기 위해 T/H 출력에 SF를 추가한 단일 T/H 구조를 사용했다. 6-bit ADC에 대한 입력 해상도를 얻기 위해 PVT 변화를 고려하여 8-bit이상의 해상도를 가지게 설계하였다. 1V 전압 원에서 발생하는 R-on 변화 값을 줄이기 위해 boosting 회로로 2xVDD 클럭을 만들어 공급하였다 [5]. SF의 출력 range를 확보하기 위해 2.5V 전압 원을 사용하며, 이때 SF 출력단의 SNDR이 52.14 dB를 가진다.

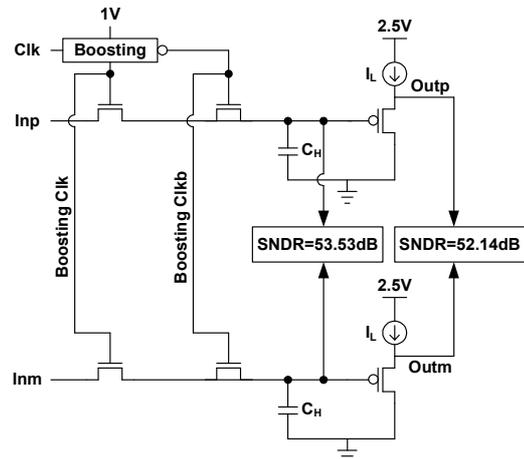
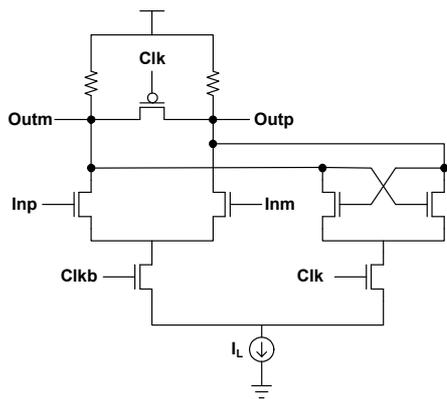


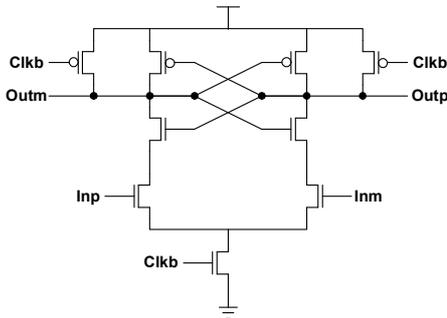
그림 3. T/H & SF 회로도

비교전압은 그림 1에 나타나는 BGR에서 refp와 refm을 만들며, 이 값은 최고 기준전압 (refp)과 최저기준전압 (refm)을 가지며 총 67개의 기준전압을 저항 열을 통하여 만든다. 그림 1에서 프리앰프 단은 67개의 프리앰프, 비교기단은 67개의 비교기와 63개의 래치로 이루어져 있다. Flash ADC는 2n-1개의 프리앰프와 비교기가 필요하지만 공정상 발생할 수 있는 오프셋을 줄여주기 위해 4개의 dummy를 더 추가해주었으며, 각 출력은 저항 평균화 기법을 적용하였다 [2-3]. 2단의 프리앰프는 입력신호와 기준전압의 차이를 증폭한다. 신호를 증폭할 때 증폭 시간을 확보하기 위하여 그림 2와 같이 T/H에서 holding을 함과 동시에 증폭하여 시간적 마진을 최대한 확보하였다. 그림 4에서 (a)는 프리앰프와 래치를 가지는 비교기 회로이고, (b)는 비교기의 풀스윙

을 위한 래치회로이다 [3]. 그림 2의 flash ADC 타이밍 도를 보면 비교기에 공급되는 클록 (CLK_Cb)이 High일 때 리셋 모드가 된다. 이때 프리앰프가 turn-on되고 래치가 turn-off된다. 출력 노드는 pMOS switch가 turn-on이 되어 입력신호에 대한 작은 level차이를 가지게 된다. 클록이 Low일 때 evaluation모드가 되어 프리앰프를 turn-off하고 래치를 turn-on시킨다. 이때 출력은 입력 신호에 대하여 큰 level을 가지게 된다. 비교기의 출력은 래치를 통해 디지털 level을 가지며 비교기단의 데이터 형태는 thermometer code형태를 가진다.



(a) 비교기



(b) 래치 (Latch)

그림 4. 비교기 블록

비교기 블록을 통하여 만들어진 thermometer code는 Encoder에서 보팅회로와 quasi-gray coding을 통하여 binary code로 변환된다 [4].

IV. 클록 발생기

클록 발생기에서 클록 보정회로를 사용하여 비교기에 들어가는 클록 듀티 비를 50%에서 80%로 변화하며 ADC의 성능을 확인하였다. 그림 5를 보면, 클록 보정회로는 인버터의 부하 capacitor를 변화함으로써 구현할 수 있다. C₁과 C₄는 s[1:0]로 제어하고, C₂와 C₃은 s[3:2]로 제어

하여 총 4-bit (s[3:0])으로 부하 capacitor를 제어할 수 있게 설계하였다. 표 1은 각 코드에 대한 클록 듀티 비 변화에 따른 시뮬레이션 결과 값이다. 하나의 클록 보정회로는 클록 듀티 비를 50%에서 4%로 조절이 가능하다.

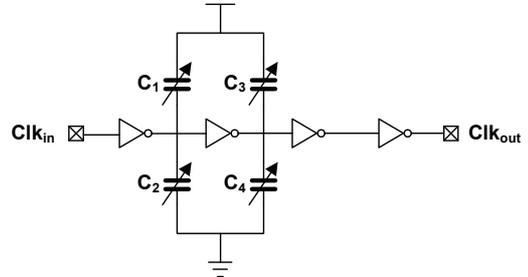


그림 5. 클록 보정회로

비교기에 공급되는 클록의 위상은 공정변화로 설계한 위상을 가지지 못한다. 클록 위상에 따라 ADC가 오동작할 수 있기 때문에, 이를 보정하기 위해 부하 capacitor인 C₁, C₂, C₃, C₄를 동일한 capacitance로 변화하여 클록 지연 (Clk_{out} - Clk_{in})을 변화함으로써 보정할 수 있다. 이 값을 표 2에 나타내었다. s[3:0] = 1111 일 때의 클록 지연과 s[3:0] = 0000 일 때의 클록 지연의 차이가 60 psec 이다. 60 psec는 2.56GHz 클록에서 클록 위상을 65°조절할 수 있는 수치이다.

표 1 클록 듀티 보정

s[3:0]	High(psec)	Low(psec)	Duty(%)
0000	194.4	196.2	49.77
0001	190.4	200.2	48.75
0010	185.5	205.1	47.49
0011	179.6	211	45.98
0100	198.6	192	50.84
1000	203.9	186.7	52.20
1100	210.1	180.5	53.79

표 2 클록 지연 보정

s[3:0]	Delay(psec)
0000	54.98
0101	71.25
1010	92.04
1111	114.6

그림 6에 나타난바와 같이 클록 듀티 비가 60%에서 ENOB가 5.92 bit으로 가장 높게 나타났다. 즉, 비교기에서 evaluation 시간의 확보는 ADC 성능에 긍정적인 영향을 가진다. 하지만 60%이상에서는 리셋 시간의 감소로 인하여 부정적인 영향이 나타난다. 따라서 시뮬레이션을 통한 리셋과 evaluation 시간의 적절한 비를 찾아야 한다. 본 연구에서는 60%로 확인되었다.

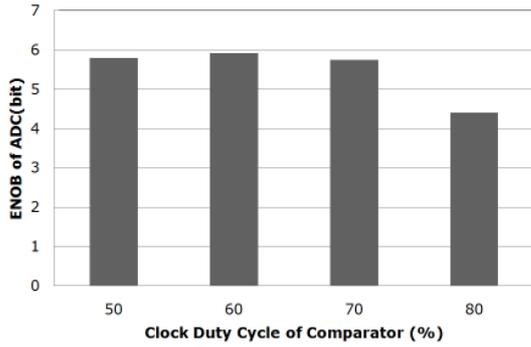


그림 6. 비교기 클럭 듀티 비에 따른 ADC의 ENOB

V. 칩 설계 및 시뮬레이션 결과

본 연구는 1V 90nm CMOS 공정으로 설계되었으며, 2.56-GS/s 6-bit Flash ADC의 클럭 보정 회로를 사용하여 비교기의 클럭 듀티 비를 조절 가능하게 설계하였다. 전체 layout 면적은 그림 7에 나타난 바와 같이 $800 \times 400 \mu\text{m}^2$ 이다.

1.0V supply를 이용하는 제안하는 ADC의 아날로그 입력범위는 800mVpp이며 1.2 GHz의 FPBW를 가지도록 설계되었다. 시뮬레이션된 ADC의 전력소모는 193.02mW이다.

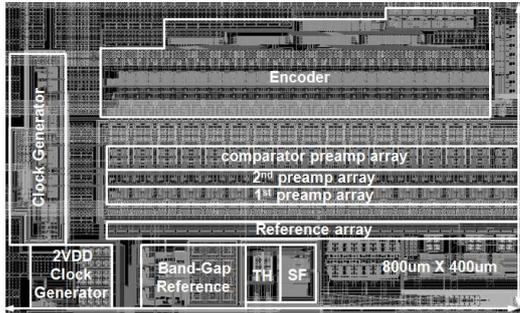


그림 7. Flash ADC 레이아웃

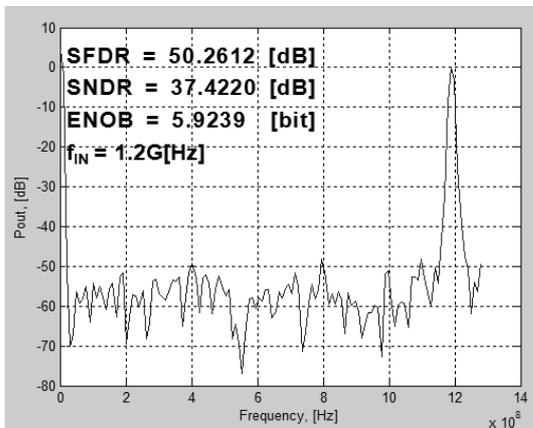


그림 8. FFT 결과@2.56-GS/s, 듀티 비 60%

그림 8은 1V의 supply voltage, 1.2 GHz의 아날로그 입력 주파수, 그리고 comparator의 클럭 듀티 비가 60%에서의 FFT 시뮬레이션 결과를 보여주며, 37.4 dB의 SNDR과 5.92 bit의 ENOB의 dynamic 특성을 가진다.

VI. 결론

제안하는 Flash ADC는 1V 90nm의 CMOS 공정에서 설계되었다. 설계된 flash ADC의 dynamic 특성은 1.2 GHz의 FPBW 입력에 대해서 5.92 bit의 ENOB를 가진다. Comparator의 클럭에 대해 듀티 비가 최적화될 때 기존의 경우 대비 1.2dB정도 성능이 향상되었다. 설계된 flash ADC의 layout면적은 $800 \times 400 \mu\text{m}^2$ 이다. 전력 소모는 1V, 1.2 GHz의 FPBW에서 193.02mW이다.

감사의 글

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2010-0006314) and IDEC.

참고문헌

- [1] Y.-C. Jang, et al., "CMOS digital duty cycle correction circuit for multi-phase clock," *Electronics Letters*, vol. 39, no. 19, 18th September 2003.
- [2] K. Deguchi, et al., "A 6-bit 3.5-GS/s 0.9-V 98-mW Flash ADC in 90-nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 10, October 2008.
- [3] M. Choi, et al., "A 6-bit 5-GSample/s Nyquist A/D converter in 65nm CMOS," *IEEE Symposium on VLSI Circuits* June 2008, pp. 16-17.
- [4] Y.-C. Jang, "Cascaded voting process for flash ADC with interpolating scheme," *Electronics Letters*, vol. 44, no. 18, 28th August 2008.
- [5] A.M. Abo, P.R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline ADC," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, May 1999.