

LDPC 복호기를 위한 sign-magnitude 수체계 기반의 DFU 블록 설계

서진호* · 박해원* · 신경욱*

*금오공과대학교 전자공학부

A design of sign-magnitude based DFU block for LDPC decoder

Jin-ho Seo* · Hae-won Park* · Kyung-wook Shin*

*School of Electronic Eng., Kumoh National Institute of Technology

E-mail : jinho0218@kumoh.ac.kr

요 약

WiMAX, WLAN 등의 무선통신 시스템에 사용되는 LDPC(low-density parity check) 복호기의 핵심 기능블록인 DFU(decoding function unit)의 회로 최적화를 제안한다. 최소합(min-sum) 복호 알고리즘 기반의 DFU는 2의 보수 값과 sign-magnitude 값 사이의 변환이 필요하여 회로가 복잡해진다. 본 논문에서는 sign-magnitude 연산 기반의 DFU를 설계하여 수체계 변환과정을 제거함으로써 회로를 간소화시키고 동작속도를 향상시켰다.

ABSTRACT

This paper describes a circuit-level optimization of DFU(decoding function unit) for LDPC decoder which is used in wireless communication systems such as WiMAX and WLAN. The conventional DFU which is based on min-sum decoding algorithm needs conversions between two's complement values and sign-magnitude values, resulting in complex hardware. In this paper, a new design of DFU that is based on sign-magnitude arithmetic is proposed to achieve a simplified circuit and high-speed operation.

키워드

LDPC(low density parity check) code, LDPC decoder, error correction code

1. 서 론

LDPC(low density parity check) 부호^[1]는 차세대 무선통신 및 디지털 방송 시스템을 위한 오류정정 방식으로 많은 관심을 받고 있으며, LDPC 부호의 생성 및 복호에 대한 연구가 활발히 진행되고 있다^[2,3]. LDPC 부호는 무선 랜 표준(IEEE 802.11n), 유럽 디지털 위성방송 표준(DVB-S2), 모바일 WiMAX 표준(IEEE 802.16e), 10 Gbps 이더넷 표준(IEEE 802.3an), 중국 지상파 디지털방송 표준 등에서 채택되고 있으며, 하드디스크 및 광 저장매체 등에서도 채택이 적극 검토되고 있다.

LDPC 부호는 테너 그래프(Tanner graph)상의 변수노드(variable node; VN)와 검사노드(check node; CN) 사이의 반복적인 정보처리 과정을 통해 복호될 수 있으며, 합곱(sum-product) 알고리즘^[4], 연산 복잡도를 감소시킨 최소합(min-sum) 알고리즘^[5] 등 다양한 방법들이 제안되고 있다. LDPC 복호기는 복호 알고리즘, 복호기 구조, 내부 고정소

수점 비트 수 등의 요인들이 복호기 성능과 하드웨어 복잡도에 영향을 미친다. WiMAX, WLAN 등의 표준에 정의된 다양한 블록길이와 부호율을 지원하는 다중 모드 LDPC 복호기는 연산 및 회로 복잡도가 커서 큰 하드웨어와 전력소모를 필요로 하며, 복호성능과 하드웨어 복잡도 사이에 trade-off 관계가 존재한다.

LDPC 복호기의 설계를 위해서는 복호 알고리즘, 복호기 구조, 회로 구현방식 등의 측면에서 설계 최적화가 중요하며, 중간 결과 값들을 저장하기 위한 메모리 용량의 최소화과 LDPC 복호기의 핵심 블록인 DFU(decoding function unit)의 회로 최적화를 통한 회로 복잡도 및 전력소모 최소화가 필요하다.

본 논문에서는 최소합 알고리즘과 layered 복호 방식을 기반으로 하는 LDPC 복호기의 DFU를 기존의 2의 보수 수체계 대신에 sign-magnitude(SM) 수체계 기반으로 설계하여 회로를 간소화시키고 동작속도를 향상시켰다.

II. LDPC 복호기 구조

최소합 복호 알고리즘과 layered 복호방식을 적용한 LDPC 복호기의 일반적인 구조는 그림 1과 같으며^[6], 복호연산을 수행하는 DFU 배열, 패리티 검사 행렬(parity check matrix; PCM) 정보를 저장하는 H-ROM, PCM 정보에 따라 데이터를 순환 이동시키는 permuter, CN 값을 저장하는 CN 메모리(CN memory), 결정변수 값 저장 메모리(APP memory), 제어블록 등으로 구성된다. 결정변수 메모리는 레이어 단위의 복호연산에서 결정된 APP 값을 저장하였다가 다음 레이어의 복호연산에 사용된다. CN 메모리는 VN에서 연산된 정보를 저장하여 다음 반복복호 연산에 사용된다.

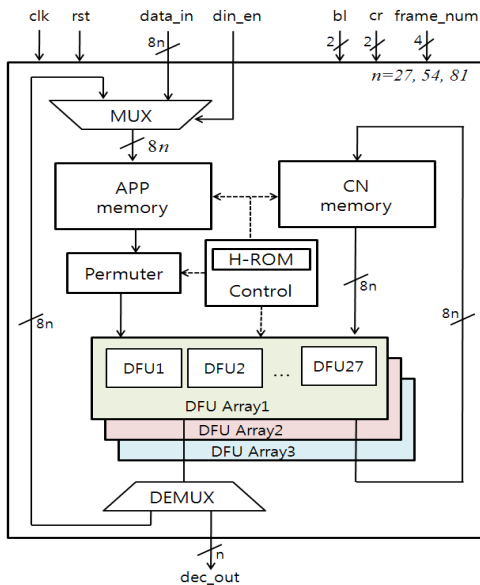


그림 1. LDPC 복호기의 구조

III. DFU(Decoding Function Unit)

DFU는 입력 부호어에 포함되어 있는 오류를 정정하기 위해 자신을 제외한 나머지 부호어들의 LLR(log-likelihood ratio)을 취합하여 원래의 부호어에 가장 가까운 LLR 값을 예측하는 기능을 수행하며, 최소합 복호 알고리즘에 의한 CN 연산과 VN 연산을 수행하여 결정변수 값과 CN 값을 계산한다. PCM의 부행렬(sub-matrix) 단위로 복호 연산을 처리하는 block-serial 방식의 복호기에는 부행렬의 최대 크기만큼의 DFU가 배열로 사용되며, WLAN 표준과 WiMAX 표준용 LDPC 복호기에는 각각 81개와 96개의 DFU가 사용된다.

3.1. 일반적인 DFU 구조

최소합 복호 알고리즘을 기반으로 하는 LDPC 복호기의 DFU는 그림 2와 같은 일반적인 구조를 가지며^[6], CN 메모리에 저장된 값으로부터 CN

값을 생성하는 CNV(check node value) 블록, 최솟값 검출기(Min_det), 부호비트 누산기, 데이터 지연을 위한 FIFO(first-in first-out), 가산기, 감산기, 비교기, 수체계 변환기 등으로 구성된다. 최소합 복호 알고리즘에 의한 최솟값 검출을 위해 2의 보수 수체계를 SM 수체계로 변환하는 TC_SM 블록이 사용되고, 최솟값 검출 후 결정변수 값을 계산하기 위하여 SM 수체계를 2의 보수 수체계로 바꾸기 위한 SM_TC 블록이 사용된다. 이와 같은 수체계 변환 블록들은 DFU의 회로 복잡도와 동작속도에 영향을 미치게 된다.

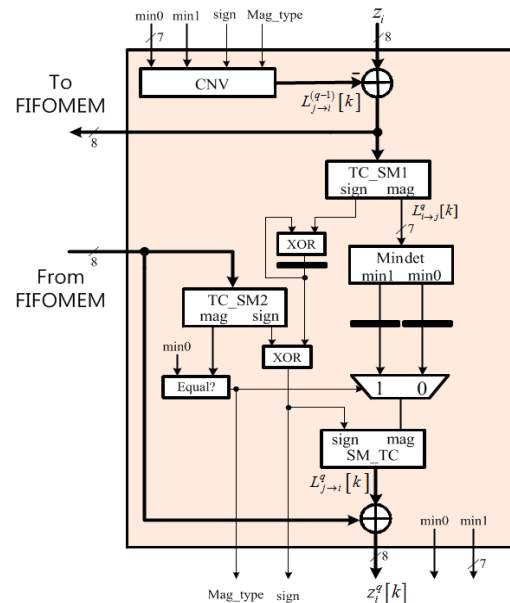


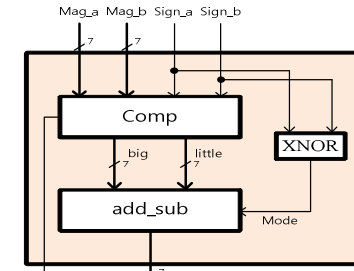
그림 2. 일반적인 DFU 구조

3.2. 제안된 DFU 구조

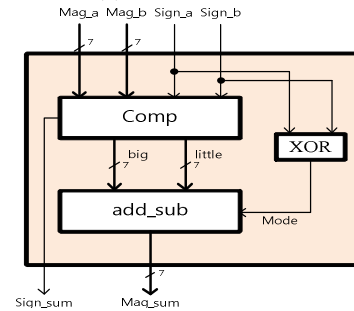
본 논문에서는 그림 3과 같이 간소화된 DFU 구조를 제안하며, DFU 내부의 모든 연산이 SM 수체계로 처리되도록 함으로써 수체계 변환 블록을 사용하지 않는 것을 특징으로 한다. VN 값을 구하기 위한 SM 감산기(SM_Sub), 최솟값 검출기(Min_det), 부호비트 누산기, CN 연산 후의 결정변수 값을 구하기 위한 SM 가산기(SM_Add) 등으로 구성된다. 설계된 DFU 내부의 LLR들은 8비트로 근사화 되어 연산되며, 부호와 크기를 분리하여 계산된다.

DFU의 연산과정은 다음과 같다. CN 값 $L_{j \rightarrow i}^{g-1}[k]$ 와 결정변수 Z_i^g 는 SM_Sub 블록을 통해 VN 값 $L_{i \rightarrow j}^g$ 으로 계산된다. 계산된 VN 값 $L_{i \rightarrow j}^g$ 은 부호와 크기를 분리하고 부호는 순차적으로 입력되어 곱셈연산 된다. 그리고 분리된 VN 값의 크기 $|L_{i \rightarrow j}^g|$ 는 최솟값 검출기(Min_det)를 통해 순차적으로 입력되는 $|L_{i \rightarrow j}^g|$ 들과 비교되어 최솟값과 준최솟값이 검출된 후 레지스터에 저장된다. 한

편, SM_Sub 블록에 의해 계산된 VN 값 $L_{i \rightarrow j}^q$ 은 DFU의 외부로 보내져 LDPC 복호기의 FIFO 메모리에 순차적으로 저장된다. 한 레이어의 유효 서브블록 수만큼의 연산이 완료되면 FIFO에 저장된 VN 값이 순차적으로 DFU에 입력된다. FIFO에서 입력된 VN 값의 크기 $|L_{i \rightarrow j}^q|$ 는 Min_det 블록을 통해 검출된 최솟값과 비교되어 두 값이 같으면 준최솟값 min1을 새로운 CN 값의 크기 $|L_{j \rightarrow i}^q|$ 로 결정되고, 다르면 최솟값 min0가 $|L_{j \rightarrow i}^q|$ 로 결정된다. 그리고 FIFO로부터 입력되는 VN 값 $L_{i \rightarrow j}^q$ 의 부호와 누적 곱셈을 거친 부호가 곱셈 연산을 거쳐 CN 값 $L_{j \rightarrow i}^q$ 의 부호로 결정된다. 부호의 누적 곱셈은 XOR 연산으로 이루어진다. 결정된 CN 값 $L_{j \rightarrow i}^q$ 과 FIFO에서 들어오는 VN 값 $L_{i \rightarrow j}^q$ 은 SM_Add에서 가산되어 결정변수 값이 구해지고 결정변수 메모리에 저장된다. 한편 누적 곱셈을 통해 얻어진 CN 값의 부호 1비트와 비교기를 통해 얻은 mag_type 1비트는 2비트의 SM으로 메모리에 저장되고, 최솟값 검출기를 통해 얻어진 최솟값과 준최솟값은 CN 메모리에 저장된다.



(a) SM_Sub 블록



(b) SM_Add 블록

그림 4. Sign-magnitude 가산기 및 감산기

표 1. SM_Sub와 SM_Add 블록의 동작

SM_Sub 블록				SM_Add 블록					
부호 a	부호 b	크기	출력 부호	연산	부호 a	부호 b	크기	출력 부호	연산
+	+	a>b	+	감산	+	+	a>b	+	가산
		a<b	-				a<b	+	
+	-	a>b	+	가산	+	-	a>b	+	감산
		a<b	+				a<b	-	
-	+	a>b	-	가산	-	+	a>b	-	감산
		a<b	-				a<b	+	
-	-	a>b	-	감산	-	-	a>b	-	가산
		a<b	+				a<b	-	

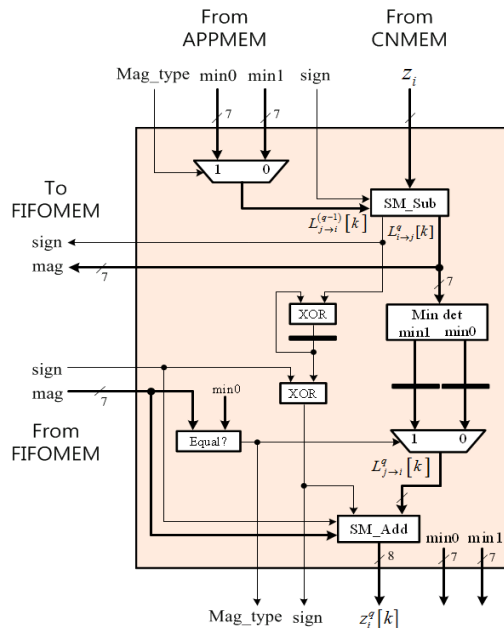


그림 3. 설계된 DFU의 구조

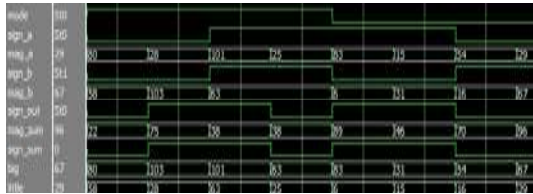
그림 3의 DFU에서 SM_Sub과 SM_Add 블록은 각각 SM 수체계의 두 데이터에 대한 감산과 가산을 수행하며, 그림 4와 같이 설계하였다. 표 1은 SM_Sub과 SM_Add 블록의 동작을 나타낸 것이며, 입력되는 두 데이터의 크기를 비교하여 가산/감산 결과의 부호를 결정하고, 두 데이터의 부호를 XNOR 또는 XOR하여 가산/감산 연산이 결정된다.

IV. 성능 평가 및 검증

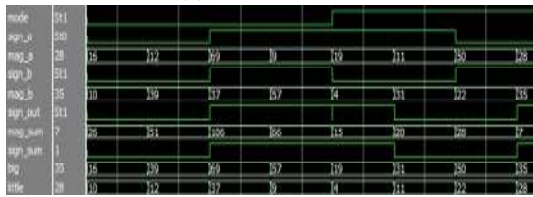
설계된 DFU는 Verilog HDL로 모델링되었으며, ModelSim을 이용하여 기능을 검증하였다. 그림 5는 SM 수체계 감산 및 가산 블록(SM_Sub, SM_Add)의 기능검증 결과이다. 두 데이터의 부호 sign_a와 sign_b의 XNOR/XOR 연산으로 mode 신호가 결정되고, mode 신호에 따라 가산/감산이 올바르게 수행됨을 확인할 수 있다. 설계된 DFU를 WiMAX 표준용 LDPC 복호기에 적용하여 기능을 검증한 결과는 그림 6과 같으며, 논리기능이 정상 동작함을 확인하였다.

기능검증이 완료된 DFU는 0.18- μ m CMOS 셀 라이브러리를 이용한 논리합성을 통해 게이트 수를 평가하였으며, 표 2에서 보는 바와 같이 총

1,038 게이트로 구현되어 기존의 DFU에 비해 약 10%의 게이트 수가 감소되었다. 또한 WiMAX 표준용 LDPC 복호기에 적용하기 위하여 96개의 DFU 배열을 합성한 결과, 92,830 게이트로 구현되어 종래의 방법에 비해 약 18% 감소되었다.



(a) SM_Sub 블록



(b) SM_Add 블록

그림 5. SM 연산블록의 기능검증 결과

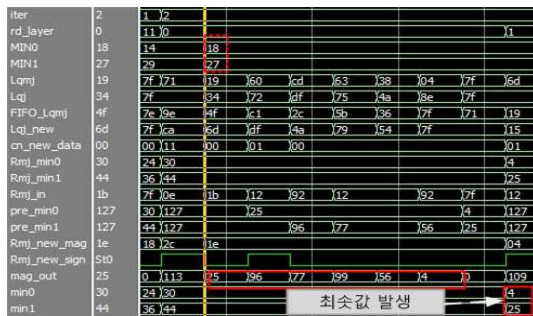


그림 6. 설계된 DFU의 기능검증 결과

표 2. DFU의 게이트 수 비교

구분		게이트 수
DFU	기존 방식	1,154 (1.0)
	본 논문	1,038 (0.9)
96개의 DFU 배열	기존 방식	112,874 (1.0)
	본 논문	92,830 (0.82)

V. 결 론

최소합 복호 알고리즘 기반의 LDPC 복호기에서 핵심 복호기능을 수행하는 DFU를 기존의 2의 보수 수체계 대신에 SM 수체계 기반으로 설계하고 검증하였다. 설계된 DFU는 수체계 변환 회로를 제거하고, SM 수체계의 연산을 적용함으로써 기존의 방법에 비하여 게이트 수를 약 10% 감소시켰으며, 동작속도 향상이 얻어졌다.

참고문헌

- [1] R. Gallager, "Low-Density Parity-Check Codes," IRE Trans. Info. Theory, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] K. Zhang, X. Huang, and Z. Wang, "High-throughput layered decoder implementation for Quasi-Cyclic LDPC codes," IEEE J. Selected Areas in Communications, vol. 27, no. 6, pp. 985-994, Aug. 2009.
- [3] K. Gunnam, G. Choi, W. Wang and M. Yeary, "Multi-rate layered decoder architecture for block LDPC codes of the IEEE 802.11n wireless standard," IEEE Intern. Symp. on Circuits and Systems(ISCAS), pp. 1645-1648, May 2007.
- [4] R.M. Tanner, "A Recursive Approach to Low Complexity Codes," IEEE Trans. Infor. Theory, vol. IT-27, no. 5, pp 533-547, Sep. 1981.
- [5] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," IEEE Trans. Commun., vol. 47, pp. 673-680, May 1999.
- [6] 나영현, 박해원, 신경욱, "다중 블록길이와 부호율을 지원하는 IEEE 802.11n용 LDPC 복호기", 한국해양정보통신학회 논문지 제15권 6호, pp. 1355-1362, 2011. 6.

감사의 글

※ 교육과학기술부의 재원으로 한국연구재단의 연구비를 지원받았음(No. 2011-218-018)
 ※ 반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.