

DPSS 기능을 갖는 3중 모드 DC-DC Buck 변환기

유성목 · 황인호 · 박종태 · 유종근

인천대학교

A Triple-Mode DC-DC Buck Converter with DPSS Function

Seong-Mok Yu Hang In-Ho Park Jong-Tae Chong-Gun Yu

University of Incheon

E-mail : rtzp@naver.com

요 약

본 논문에서는 DPSS 기능을 갖는 3중 모드 DC-DC buck 변환기를 설계하였다. 설계된 buck 변환기는 부하 전류가 큰 경우(80mA~500mA)에는 PWM(Pulse Width Modulation) 제어 방식을 사용하고, 부하 전류가 작은 경우(1mA~80mA)에는 PFM(Pulse Frequency Modulation) 제어 방식을 사용하며, 부하 전류가 1mA 이하인 대기모드(sleep-mode)에서는 LDO(Low Drop Out)를 사용한다. 또한, PFM 제어 방식에서 부하 전류가 작은 경우 효율을 증가시키기 위해 DPSS(Dynamic Partial Shutdown Strategy) 기법을 사용하였다. 그 결과 넓은 부하 전류 범위에서 높은 효율을 얻을 수 있다. 제안된 buck 변환기는 CMOS 0.18 μ m 공정을 이용하여 설계되었다. 3.3V의 입력전압을 받아 2.5V의 출력전압으로 강압시키며, 최대 부하전류는 500mA이고, 스위칭 주파수는 1MHz이다. 최대효율은 97.03 %, 칩 크기는 PAD를 포함하여 1465 μ m x 895 μ m이다.

ABSTRACT

This paper describes a tripple-mode DC-DC buck converter with DPSS Fucntion. The DC-DC buck converter operate in PWM(Pulse Width Modulation) mode at moderate to heavy loads(80mA~500mA), in PFM(Pulse Frequency Modulation)at light loads(1mA~80mA), and in LDO(Low Drop Out) mode at the sleep mode(<1mA). In PFM mode DPSS(Dynamic Partial Shutdown Strategy) is also employed to increase the efficiency at light loads. The triple-mode converter can thus achieve high efficiencies over wide load current range. The proposed DC-DC converter is designed in a CMOS 0.18 μ m technology. It has a maximum power efficiency of 97.02% and maximum output current of 500mA. The input and output voltages are 3.3V and 2.5V, respectively. The chip size is 1465 μ m \times 895 μ m including pads.

키워드

DC-DC Converter, PWM, PFM, LDO, DPSS

I. 서 론

최근 핸드폰, 노트북, PDA 등과 같은 휴대용 제품들은 점점 소형화, 경량화 될 뿐만 아니라, 배터리의 안정적인 전원 공급과 장시간 사용을 요하면서 전력관리 시스템의 중요성이 증가하고 있다. 한정된 배터리의 용량으로 보다 긴 사용시간을 필요로 하고, 이를 얻기 위해서는 배터리 전

본 논문은 지식경제부 출연금으로 ETRI 시스템반도체진흥센터에서 수행한 시스템반도체 설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

압을 내부시스템에 필요한 동작 전압으로 변환할 때의 전력 손실을 최소화 하여야 한다.

설계된 DC-DC buck 변환기는 보통 부하가 클 때 효율이 좋은 PWM 모드, 부하가 작을 때 효율이 좋은 PFM 모드를 사용한다. 그러나 부하가 더 작아지면 PFM 모드를 사용해도 변환기 자체의 손실에 의해 효율이 감소할 수밖에 없다. 부하가 작은 경우에도 높은 효율을 유지하기 위해 PFM 모드에서 사용되지 않는 블록을 shutdown 시키는 기법인 DPSS를 적용한다. 또한, 부하 전

류가 1mA 이하인 대기모드에서는 LDO를 사용한다. 따라서 PWM/PFM/LDO 3중 모드 방식을 적용하여 넓은 부하 전류 범위에서 높은 효율을 얻을 수 있도록 하였다.

II. 회로구성 및 동작원리

1. 전체 회로 구성

그림 1은 본 논문에서 제안된 DPSS 기능을 갖는 3중 모드 DC-DC buck 변환기의 전체 블록 다이어그램이다.

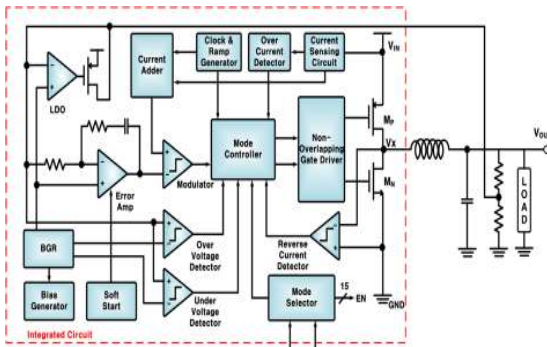


그림 1. 제안된 DPSS 기능을 갖는 DC-DC buck 변환기의 블록 다이어그램

설계된 회로는 출력에서 feedback된 전압과 기준전압 V_{ref} 의 차이를 증폭하는 Error Amp, 인덕터 전류를 센싱하는 Current Sensing Circuit, 1MHz의 clock과 ramp 신호를 만들어주는 Clock & Ramp Generator, 센싱된 전류와 ramp 전류를 합해주는 Current Adder, Error Amp의 출력 V_c 와 Current Adder의 출력 I_{sum} 을 비교하는 Modulator로 구성되어 있다.

또한 인덕터 전류를 센싱하는 Current Sensing Circuit, 일정 전압 이하로 내려가는 것을 방지하는 UVD(Under-Voltage Detector), 일정 전류 이상으로 올라가는 것을 방지하는 OCD(Over-Current Detector), 역전류를 감지하는 ZCD(Zero-Current Detector)등을 포함하고 있다.

2. 동작원리

그림 2는 제안된 DPSS 기능을 갖는 3중 모드 DC-DC buck 변환기의 동작원리이다.

'EN=1'이면 회로에 전원이 공급되면서 BGR과 Bias Generator 회로가 각 블록에 필요한 bias 전압이나 전류를 생성하게 된다. 그리고 'SM' 신호를 받아 'SM=0'이면 sleep 모드로 LDO만 동작하게 되고, 'SM=1'이면 active 모드로 soft-start 기능이 동작한다. 이 기능이 끝나면 PWM 모드로 동작하게 되며 부하가 CCM(Continuous Conduction Mode)에서 DCM (Discontinuous Conduction Mode)으로 바뀌면 PFM 모드로 동작

한다. 이 때 히스테리시스 기능을 넣어 DCM이 8 cycle 이상이 되었을 때 PWM 모드에서 PFM 모드로 바뀌게 된다. PFM 모드에서 동작할 때 CCM으로 바뀌면 바로 PWM 모드로 전환된다.

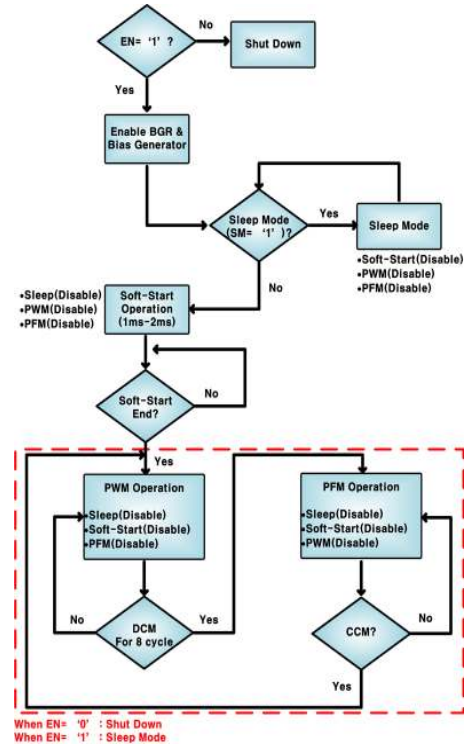


그림 2. 동작 원리

3. DPSS 동작원리

PFM 동작은 파워 스위치의 on/off 상태에 따라 3가지로 구분 할 수 있다. 첫 번째는 PMOS는 on이고 NMOS는 off인 상태(PFM_P), 두 번째는 PMOS는 off이고 NMOS는 on인 상태(PFM_N), 마지막으로 PMOS와 NMOS 모두 off인 상태(PFM_X)이다. DPSS의 동작은 각각의 상태에서 다음 상태로 넘어가기 위해 필요한 블록들만 동작시키고 불필요한 블록들은 표1과 같이 enable 신호를 생성하여 shutdown 시킨다.

표 1. 구성 블록들의 enable 신호

Block	Enable Signal
Current Sensing Circuit	$PWM + \overline{DPSS} \cdot PFM + DPSS \cdot PFM_P$
Over Current Detector	$PWM + \overline{DPSS} \cdot PFM + DPSS \cdot PFM_P$
Over Voltage Detector	$PWM + \overline{DPSS} \cdot PFM + DPSS \cdot PFM_P$
Under Voltage Detector	$\overline{DPSS} \cdot PFM + DPSS(PFM_N + PFM_X)$
Reverse Current Detector	$PWM + \overline{DPSS} \cdot PFM + DPSS \cdot PFM_N$

III. 회로설계

1. Mode Selector

Mode selector는 동작모드를 결정하며, 외부에서 공급되는 enable 신호 'EN_Chip'와 2-bit의 digital 신호 'MS'에 따라 표 2에서와 같이 5가지 모드로 동작하게 된다. Sleep 모드는 시스템이 대기 상태이며, Normal 모드는 시스템이 정상 동작할 때 부하 상황에 따라 PWM 모드와 PFM 모드가 자동으로 절환된다. FPWM 모드와 FPFM 모드는 변환기의 동작 모드를 외부에서 강제로 각각 PWM과 PFM으로 고정시킬 때 사용된다.

표 2. DC-DC 변환기의 동작모드

EN_Chip	MS	Sleep	Normal	FPWM	FPFM	Mode
0	X	0	0	0	0	Shutdown
1	00	1	0	0	0	Sleep
	01	0	1	0	0	Normal
	10	0	0	1	0	Forced PWM
	11	0	0	0	1	Forced PFM

2. Bandgap Reference

그림 3은 저항 값과 N 값을 이용하여 낮은 전압의 기준 전압을 생성하는 Bandgap reference 회로이다[3]. Self bias 구조로 Msn을 이용하여 start-up 회로를 간단히 구현하였다. 모의 실험 결과 20ppm 이하의 500mV 기준 전압을 생성하며 총 전류소모는 6.35uA이다.

$$V_{ref} = \frac{R_3}{R_2} \cdot \left[V_{EB2} + \left(\frac{R_2}{R_1} \ln N \right) \cdot V_T \right]$$

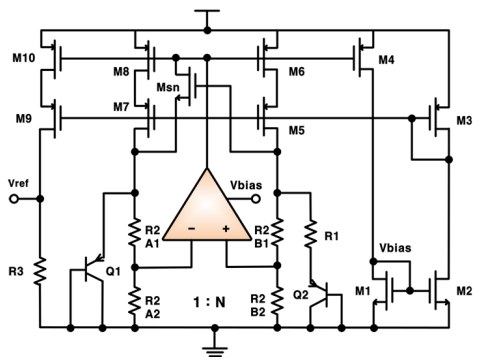


그림 3. Bandgap Reference 회로

3. Reverse Current Detector

벅 변환기가 CCM 모드에서 동작하다가 DCM 모드로 바뀌게 되면, 인덕터에서 NMOS 스위치로 역전류가 흘러 들어와 loss가 발생한다. 그림 6과 같은 reverse current detector 회로를 사용하여 역전류가 발생하면 빠르게 NMOS 스위치를 off시켜서 역전류에 의한 loss를 최소화 할 수 있다.

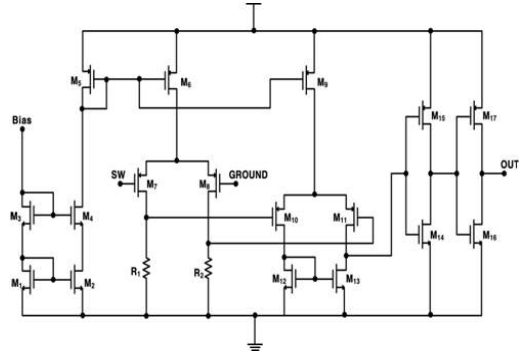


그림 4. Reverse Current Detector 회로

4. Current Sensing Circuit

전류 모드 벅 변환기는 인덕터에 흐르는 전류를 감지하는 회로가 필요하다. 설계된 회로는 그림 5와 같이 증폭기를 사용하지 않은 간단한 구조를 사용하였으며, 1:2000의 비율로 전류를 센싱하여 전력소모를 줄였다. 모의실험 결과 센싱된 인덕터 전류의 정확도는 96% 이상을 유지하였다.

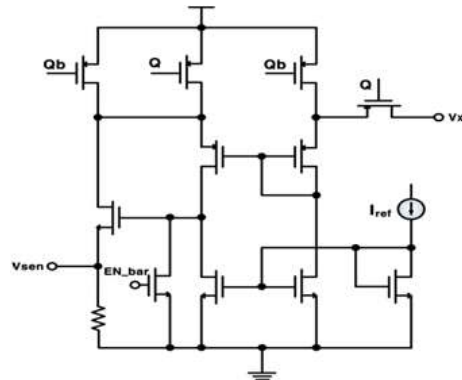


그림 5. Current Sensing Circuit 회로

IV. 모의 실험 결과

그림 6은 출력 부하가 큰 경우(Iout = 500mA), PWM 모드로 동작할 때의 결과 파형이다. 스위칭 주파수는 1MHz이며, 출력 전압 리플은 2mV 이하다. 그림 7은 출력 부하가 작은 경우(Iout = 10mA), PFM 모드로 동작할 때의 결과 파형이다. 스위칭 주파수는 출력 부하 상태에 따라서 변화하며 부하가 작을수록 스위칭 주파수가 낮아진다. 출력 전압 리플은 약 15mV이다.

표 3은 DPSS 기능을 사용한 경우와 사용하지 않은 경우의 효율을 비교하여 나타낸 것이다. 1mA의 부하전류에서 변환기의 효율은 DPSS를 적용하지 않은 경우의 효율에 비해 18.6%의 효율 향상을 보인다. 설계된 벅 변환기의 효율은 그림 8과 같이 10mA ~ 500mA에서 90% 이상이며, 최대 효율은 97.03%이다.

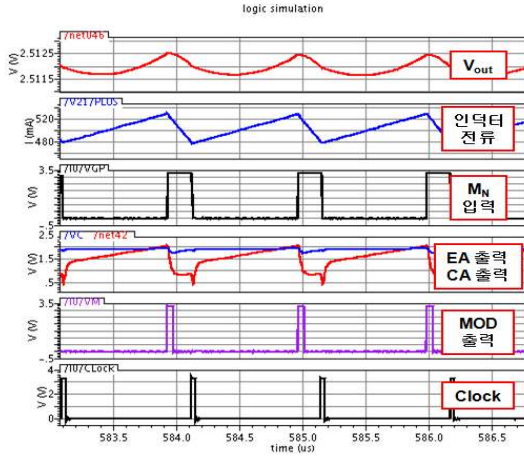


그림 6. PWM($I_{out}=500mA$) Mode 시뮬레이션 결과

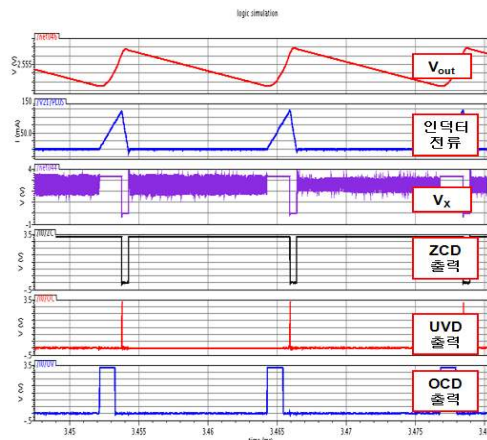


그림 7. PFM($I_{out}=10mA$) Mode 시뮬레이션 결과

표3. DPSS 기법을 적용한 효율 비교표

Load current	1mA	5mA	10mA
W/O DPSS	63.2%	89.2%	95.6%
W/ DPSS	81.86%	93.8%	97.1%
Improvement	+18.6%	+4.6%	+1.5%

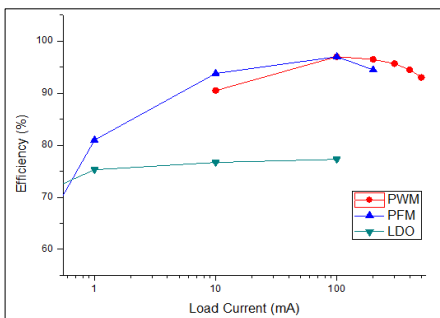


그림 8. 설계된 buck 변환기의 효율 그래프

설계된 회로의 레이아웃 도면을 그림 9에 보였다. 칩의 크기는 $1465\mu m \times 895\mu m$ 이며, PAD를 제외한 크기는 $1315\mu m \times 725\mu m$ 이다.

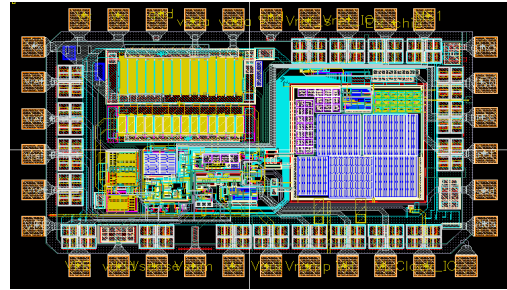


그림 9. 전체 Layout

표4는 설계된 DC-DC buck 변환기와 기존의 DC-DC buck 변환기를 비교한 것이다. 기존의 DC-DC buck 변환기에 비해서 작은 칩 면적을 가지면서 높은 변환 효율을 얻을 수 있었다.

표 4. 연구결과 비교표

Categories	[1]	[3]	This Work
Technology(μm)	0.6	0.35	0.18
Operation mode	PWM/PFM	PWM/PFM	PWM/PFM/LDO
Input Voltage(V)	2.2~6	2.7~5	3.3
Output Voltage(V)	0.6~5.8	1	2.5
Frequency(MHz)	1	0.1~0.6	1
Output Ripple(mV)	3	20/36	2/15
Max Load Current(mA)	450	460	500
Max Efficiency(%)	96.7	94	97.03
Chip Area(mm^2)	1.35	3.57	0.953

V. 결 론

본 논문에서는 DPSS 기능을 갖는 3중 모드 DC-DC buck 변환기를 0.18 μm CMOS 공정을 이용하여 설계하였다. 넓은 부하 전류 범위에서 높은 효율을 얻기 위하여 부하 조건에 따라 세 가지 동작모드(PWM/PFM/LDO)에서 동작하도록 설계하였다. 또한, PFM 모드에서 DPSS 기법을 사용하여 사용하지 않은 경우에 비해 최대 18.6%의 효율 향상을 보였다. 입력 전압은 3.3V, 출력 전압은 2.5V, 최대 효율은 97.03%이다. 설계된 회로의 칩 크기는 PAD를 포함하여 $1465\mu m \times 895\mu m$ 이다.

참고문헌

- [1] F. F. Ma, W. Z. Chen, J. C. Wu, "A Monolithic Current-Mode Buck Converter With Advanced Control and Protection Circuits," *IEEE Transactions on Power Electronics*, vol. 22, no. 5, pp 1836-1846, 2007.
- [2] W. R. Liou, M. L. Yeh, Y. L. Kuo, "A High Efficiency Dual-Mode Buck Converter IC For Portable Applications," *IEEE Transactions on Power Electronics*, vol. 23, no. 2, pp 667-677, 2008.
- [3] R. Dehgani, S. M. Atarodi, "A New Low Voltage Precision CMOS Current Reference With No External Components," *IEEE Transactions on Circuits and Systems II*, vol. 50, no. 12, pp 928-931, 2003.