

# 전류모드 PWM/PFM DC-DC Boost 변환기 설계

황인호·유성목·박종태·유종근

인천대학교

## A Design of Current Mode PWM/PFM DC-DC Boost Converter

In-Ho Hwang·Seong-Mok Yu·Jong-Tae Park·Chong-Gun Yu

University of Incheon

E-mail : c-format@nate.com

### 요 약

본 논문은 전류모드에서 동작하는 PWM/PFM DC-DC Boost 변환기의 설계를 하였다. 부하전류가 클 때는 PWM으로 동작하고, 부하 전류가 작을 때는 PFM으로 동작함으로써 높은 효율을 유지할 수 있게 설계하였다. DC-DC Boost 변환기는 0.35 $\mu$ m 공정으로 설계되었으며, 500KHz의 주파수에 동작하고, 최대 효율은 92.1%이다. 그리고 부하 전류가 최대 600mA까지 구동 할 수 있다. 전체 칩의 크기는 패드를 포함하여 1300 $\mu$ m  $\times$  1070 $\mu$ m이다. 따라서 작은 칩 면적으로 넓은 부하전류를 구동할 수 있는 DC-DC Boost 변환기를 설계하였다.

### ABSTRACT

This paper presents a design of current mode PWM/PFM DC-DC Boost converter. This DC-DC Boost Converter operates with PWM mode at the heavy loads and with PFM mode at light loads. The DC-DC boost converter is designed with CMOS 0.35 $\mu$ m technology. It operates at 500KHz and can drive a load current up to 600mA. It has a maximum power efficiency of 92.1%. The total chip area is 1300 $\mu$ m  $\times$  1070 $\mu$ m including pads. The DC-DC boost converter operates in a wide range of load currents while occupying a small chip area.

### 키워드

DC-DC Boost Converter, PWM, PFM, Efficiency, Load Current

### 1. 서 론

휴대용 장비의 고 효율화로 인한 Power Management IC의 수요증가와 전 세계적인 Energy Costs의 증가로 인해 절전형 전자기기의 수요가 증가하고 있다. 그리고 휴대전화, PMP, PDA와 같은 모바일 기기의 생산업체가 한층 더 작고 높은 효율을 가진 Power Management IC를 요구하고 있다.

Power Management 회로는 일반적으로 Charge Pump, Linear Regulator, Inductor 타입의 DC-DC Converter등이 있다. 그 중에서 Inductor 타입의

DC-DC Converter는 넓은 범위의 입력 전압에 따른 다양한 출력 전압을 생성할 수 있고, 높은 전력 변환 효율을 가지는 장점으로 인해 배터리 수명이 중요시 되는 휴대용 시스템과 기타 기기에 적합하다. 또한 최근 에너지 하베스팅 연구가 활발하게 진행되고 있고, 적용이 가능한 논문도 발표되었다. 진동소자나 태양열과 같은 에너지 전원은 제품에 적용함에 있어서 Power Management 시스템은 더욱 중요하다. 이러한 분야에서도 높은 효율을 가지는 DC-DC converter가 활용된다.

기존의 DC-DC Boost Converter는 부하 전류의 범위가 좁고, 칩 크기가 크기 때문에 소형화와 안정성에 제약이 있지만 본 논문에서는 PWM(Pulse Width Modulation)과 PFM(Pulse Frequency Modulation)으로 동작함으로써 넓은 부하 전류에서 일정한 효율을 가지는 DC-DC Boost Converter를 설계 하였다.

본 논문은 지식경제부 출연금으로 ETRI 시스템반도체진흥센터에서 수행한 시스템반도체 설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

## II. 본 론

### 2.1 DC-DC Boost Converter 구조

그림 1은 설계한 전류모드 PWM/PFM DC-DC Boost Converter의 전체 블록도이다. 설계된 변환기는 Mode selector에 의해 PWM, PFM으로 동작하게 된다. 높은 부하 전류 (100mA ~ 600mA)에서는 일정한 주파수에 동작하는 PWM 방식으로 구동하고 낮은 부하 전류 (10mA ~ 100mA)에서는 주파수가 변화하는 PFM 방식으로 구동하여 높은 효율을 유지 할 수 있도록 설계되었다.

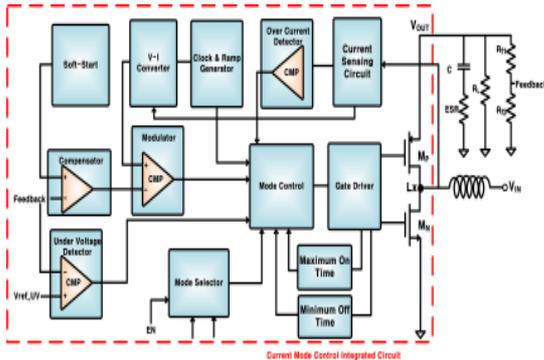


그림 1. DC-DC Boost Converter 전체 블록도

설계한 회로에는 스위칭 주파수를 발생하는 clock and ramp generator, 인덕터 전류를 감지하는 current sensing circuit, 램프신호와 감지된 신호를 전류로 변환시키는 v-i converter, 출력의 feedback전압과 reference 전압차를 증폭하는 error amplifier와 error amplifier의 출력과 v-i converter의 출력을 비교하는 modulator, Boost converter를 구동시키는 gate driver, mode control, Power MOS로 구성된다.

또한 인덕터 전류가 역방향으로 흐르는 것을 방지하기 위한 CMOS-control rectifier와 일정전류 이상으로 올라가는 것을 감지하는 over-current detector와 기준 전압 이하로 내려가는 것을 감지하는 under voltage detector등이 포함하였다.

#### 2.1.1 PWM 동작원리

먼저 clock generator에서 clock이 발생되어 SR latch의 set신호로 들어가 Power MOS인 MN이 on 되어 인덕터 전류가 Build-up된다. current sensing 회로를 통해 인덕터 전류를 감지하고 램프신호를 통해 기울기가 보상된다. 그 보상된 신호는 error amplifier의 출력단과 함께 modulator의 입력으로 들어간다. 이 modulator를 통해 보상된 신호가 error amplifier의 출력전압보다 이상이 되면 SR latch의 reset가 출력되어 MN이 off가 되고 MP가 on 되어 에너지가 출력으로 전달된다. 이렇게 생성된 신호는 Power MOS의 duty비를 조절하여 출력전압이 결정된다.

#### 2.1.2 PFM 동작원리

출력의 Feedback전압이 under voltage detector의 기준전압보다 낮게 되면 출력이 high가 되어 SR latch의 set 신호가 출력되어 MN이 on이 된다. 그리고 MN이 on이 되면 인덕터 전류가 증가하게 되고 인덕터 전류가 일정한 값보다 증가하게 되면 over current detector가 동작하게 되어 SR latch의 reset신호가 출력되어 MN이 off가 된다. 그리고 다시 출력전압이 원하는 전압보다 낮게 되면 MN이 on이 되게 된다.

### 2.2 회로 설계

#### 2.2.1 Current Sensing Circuit

설계한 Current Sensing Circuit은 인덕터에 저항을 직렬로 연결하는 방법이 아닌 전류 미러 방식을 이용하여 구현하였다. 저항을 직렬로 연결시 열손실을 증가시켜 Boost Converter의 전체적인 효율을 감소시키게 된다. V<sub>Q</sub>가 high가 되면 전류가 MN, MN1, MS1의 소자가 on이 되어 MN에 근사화된 전류 I<sub>L</sub>이 흐른다. 이 전류는 전류미러 방식으로 MN1에 흐르게 되고 이때 값은 I<sub>L</sub>/K 만큼 흐르게 된다. 여기서 K는 MN과 MN1의 width의 비이다. 이렇게 감지된 전류는 전류미러 형태를 통해 Isense전류가 Vsense단에 흐르게 된다. 하지만 Isense는 기울기가 매우 작은 값을 가지게 되어 ramp에서 발생된 전류를 통해 기울기가 보상되어진다. 그리고 off일 때는 MS2, MS3가 on이 되어 Isense에는 전류 미러 방식으로 인해 I<sub>ref</sub>전류만 흐르게 된다.

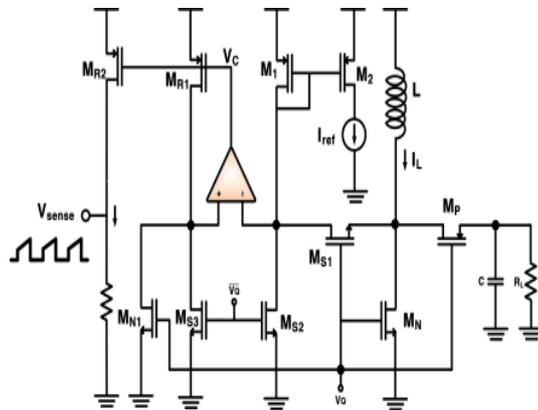


그림 2. Current Sensing Circuit

#### 2.2.2 CMOS-Control Rectifier

그림 3은 CMOS-Control Rectifier의 간단한 구조모양을 나타낸 것이다. DC-DC Boost Converter가 DCM (Discontinuous-conduction mode)에서 동작하게 되면 역전류가 발생하게 되어 전체적인 효율을 떨어뜨리게 된다. 이 때 인덕터 전류가 0으로 되면 LX가 V<sub>in</sub>이 같게 된다. 이 구간을 comparator를 통해 강제로 off 시켜서 역전류에 의한 손실을 줄여 높은 효율을 유지하게 된다.

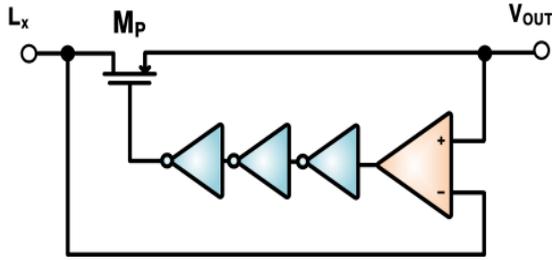


그림 3. CMOS-Control Rectifier 구조

2.2.3 Minimum off-time Circuit

그림 4는 Minimum off-time 회로이다. PFM 동작시 Power MOS가 off일 때 최소 시간동안 off 상태를 유지하도록 도와주는 회로이다. 따라서 회로의 입력에는 Gate Driver의 출력 값이 인가된다. 이 신호는 under voltage detector와 함께 SR latch의 set으로 인가된다.

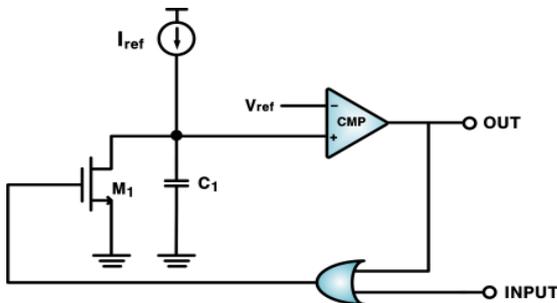


그림 4 Minimum off-time circuit

2.3.4 Maximum on-time Circuit

그림 5는 Maximum on-time 회로이다. 역시 PFM 동작시 Power MOS가 On 일 때 최대 시간만 on 상태를 유지하도록 도와주는 회로이다. 따라서 이 회로도 입력에는 Gate Driver 출력 값이 인가된다. 그리고 이 회로는 Power MOS의 ON 시간을 늘려서 충분한 전류를 흐르게 하여 VDD가 낮을 경우 Power MOS의 구동 능력을 올려준다.

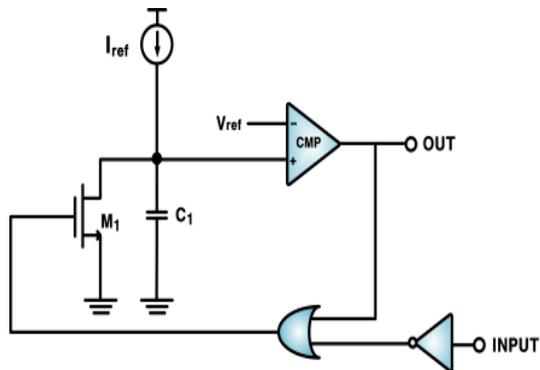


그림 5 Maximum on-time Circuit

III. 모의 실험 결과 및 구현

그림 6과 그림 7은 전체 모의 실험 결과이다. 그림6은 부하전류가 크면서 PWM으로 동작할 때 결과 파형이다. 출력 전압 리플은 4mV이고, 스위칭 주파수가 500kHz로 동작한다. 그림7은 부하전류가 작으면서 PFM으로 동작할 때 결과 파형이다. 출력 전압 리플은 25mV이고, 부하 전류의 상태에 관계없이 일정한 출력 전압을 얻을 수 있다.

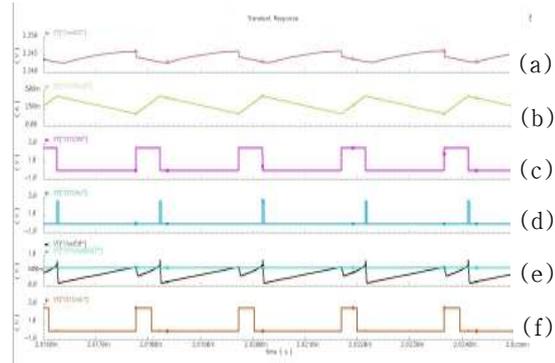


그림 6. PWM mode simulation (Iout=200mA)  
 (a)출력전압 (b)인덕터 전류  
 (c)Gate Driver출력 (d)Modulator출력  
 (e)error amp출력&V-I converter출력 (f)Clock

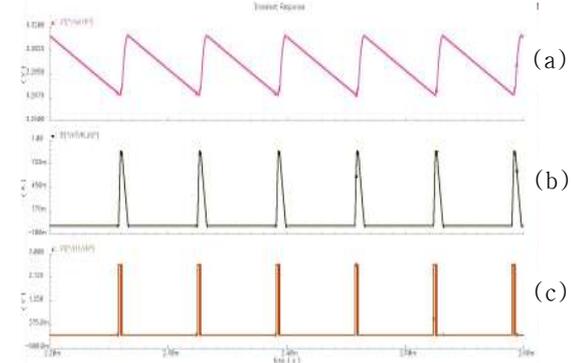


그림 7. PFM mode Simulation (Iout=20mA)  
 (a)출력전압 (b)인덕터 전류  
 (c)Gate Driver출력

설계한 전류모드 PWM/PFM DC-DC Boost Converter의 효율은 그림 8과 같다. 전 load 범위에서 효율은 83%이상이며, 부하전류가 약 225mA 이상에서는 90%이상의 효율을 갖는다. 그리고 부하 전류가 약 400mA일 때 최대 92.1%의 효율을 가진다. 전체 회로의 레이아웃은 그림 9와 같다. 설계한 회로의 칩 크기는 PAD를 포함하여 1300μm × 1070μm 이며, PAD를 제외한 크기는 931μm × 687μm이다.

모의 실험 결과 표1의 기존 연구결과에 요약된 것처럼 적은 칩 면적으로 높은 효율을 유지할 수 있고, 넓은 부하 전류에서도 일정한 출력 전압과

표 1. 연구결과 요약

	[1]	[2]	[3]	[4]	[5]	This Work
Feedback mode	Current	Current	Current	Voltage	Current	Current
Low side Switch	PMOS	PMOS	DIODE	PMOS	PMOS	PMOS
Operation	PWM	PWM	PWM	PWM	PFM	PWM/PFM
Input Voltage(V)	1~3.6	0.8~2.4	2.7~5.5	2.5~3.3	0.15~0.9	2.3 ~
Output Voltage(V)	1.5 ~	1.8~3.3	6~13	~5	1.2	~3.3
Switching Frequency	100KHz	500KHz	1MHz	100MHz	-	500KHz
Max. Efficiency(%)	95.5%	90.7%	93.4%	76.57%	83%	92.1%
Load Current Range(mA)	10~150	100~500	1~200	50~300	0.1~1	20~600
Chip Area(mm <sup>2</sup> )	2.429×2.042	1.9×1.1	-	8.14	0.675×0.615	1.3×1.07
Technology	0.6μm	0.18μm	0.35μm	0.18μm	0.35μm	0.35μm
Year	2005	2005	2008	2009	2008	2011

효율을 얻을 수 있으므로 여러 시스템기기에 응용하는데 적합하다.

전압을 얻을 수 있으며, 작은 부하전류에서 PFM으로 동작하여 높은 효율을 유지할 수 있다. 설계된 회로의 최대 92%의 효율을 얻을 수 있다.

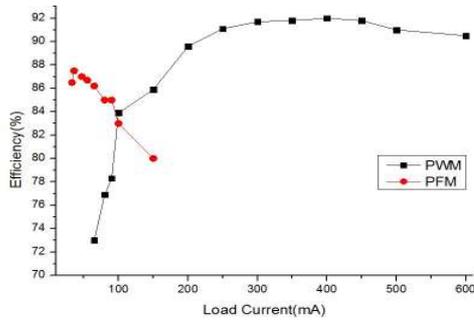


그림 8. Efficiency

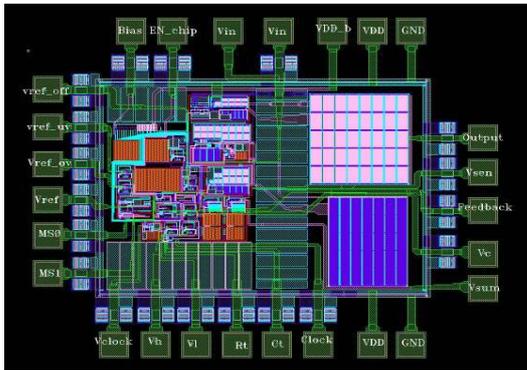


그림 9. Top Layout

IV. 결 론

본 논문에서는 Current mode PWM/PFM DC-DC Boost Converter를 설계하였다. CMOS 0.35μm 공정을 이용하여 설계하였고 설계된 회로를 모의 실험한 결과 스위칭 주파수 500KHz에서 PWM동작은 4mV의 ripple를 가진 안정된 출력

참고문헌

[1] C. Y. Leung, P. K. T. Mok and K. N. Leung, "A 1-V Integrated Current-Mode Boost Converter in Standard 3.3/5-V CMOS Technologies", *IEEE J. of Solid-State Circuits*, vol. 40, pp. 2265-2274, Nov. 2005.

[2] K. S. Jung, J. U. Lim, J. M. Park, H. K. Yang, S. H. Cha and J. H. Choi, "A High Efficiency CMOS DC-DC Boost Converter with Current Sensing Feedback", *48th Midwest Symposium on Circuits and Systems*, vol.2, pp. 1661-1664, Aug. 2005.

[3] F. Lu, X. Liu, S. Wang, Y. Chang, "A PWM DC-DC boost converter with peak current-mode control for TFT LCD power supply", *9th International Conference on Solid-State and Integrated Circuit Technology*, pp. 1945-1948, Oct. 2008

[4] 이민우, 김형중, 노정진, "SoC 전원 관리를 위한 인덕터와 커패시터 내장형 100MHz DC-DC 부스트 변환기", *대한전자공학회지*, 제46권, SD편, 제8호, pp. 31-39, 2009.

[5] Ngok-Man Sze, Wing-Hung Ki, Chi-Ying Tsui, "Threshold Voltage Start-up Boost Converter for Sub-mA Applications", *4th IEEE International Symposium on Electronic Design, Test and Applications*, pp. 338-341, Jan. 2008.

[6] Y. S. Kim, B. M. No, J. S. Min, A. S. S. A. D, "On-chip Current Sensing Circuit for Current-limited Minimum Off-time PFM Boost Converter", *International SoC Design Conference*, pp.544-547, Nov. 2009.