고효율 CMOS PWM DC-DC 벅 컨버터

김승문 · 손상준 · 황인호 · 유성목 · 유종근

인천대학교

High-Efficiency CMOS PWM DC-DC Buck Converter

Seung-moon Kim · Sang-jun Son · In-ho Hwang · Sung-mok Yu · Chong-gun Yu

University of Incheon

E-mail : naamnyam@naver.com

요 약

본 논문에서는 고효율의 CMOS PWM DC-DC 벅 변환기를 설계하였다. 설계된 CMOS PWM DC-DC 벅 변환기는 입력전압(3.4-3.9V)로부터 일정한 출력전압(1-2.8V)을 생성한다. Inductor-based 방식을 택하였고, 제어 대상은 전류이며, Pulse Width Modulation(PWM) 모드로 동작한다. 회로 구성은 Power Switch, Pulse Width Generation, Buffer, Zero Current Sensing, Current Sensing Circuit, Clock & Ramp generation, V-I Converter, Soft Start, Compensator, Modulator 등 이다. 제안된 CMOS PWM DC-DC 벅 컨버터는 Switching Frequency가 약 1MHz이고, 부하 전류가 약 40mA이상부터 CCM동작을 하며 100mA일 때 98.71%의 최대 효율을 갖는다. 또한, 출력전압 리플은 0.98mV이다(입력전압 3.5V, 출력전압 2.5V 기준). 제안된 회로의 검증을 위해 CMOS 0.18μm 공정을 이용하여 시뮬레이션을 수행하였다.

ABSTRACT

This paper presents a high-efficiency CMOS PWM DC-DC buck converter. It generates a constant output voltage(1-2.8V), from an input voltage(3.4-3.9V). Inductor-based type is chosen and inductor current is controlled with PWM operation. The designed circuit consists of power switch, Pulse Width Generation, Buffer, Zero Current Sensing, Current Sensing Circuit, Clock & Ramp generation, V-I Converter, Soft Start, Compensator and Modulator. Switching Frequency is 1MHz, It operates in CCM when the load current is more than 40mA, and the maximum efficiency is 98.71% at 100mA. Output voltage ripple is 0.98mV(input voltage:3.5V, output voltage:2.5V). The performance of the designed circuit has been verified through extensive simulation using a CMOS 0.18μm technology.

키워드

DC-DC 변환기, Buck 변환기, PWM, 고효율

Ⅰ. 서 론

최근 휴대전화, TV, 캠코더 등과 같은 휴대용 멀티미디어 단말기는 양질의 서비스를 제공하기 위해 더욱 높은 사양이 요구되고 있다. 이러한 휴대용 기기들은 배터리로부터 내부 시스템의 다양한 전원 전압을 공급 받아야 하므로 배터리 전압을 내부 시스템 전원 전압으로 변환하는 회로에 대한 전력 변환 효율은 매우 중요한 성능으로 부각되었고, 그에 따라 다양한 전력 관리 회로의 개발이 급속하게 증가하게 되었다. 요컨대, 모바일 응용에서 배터리의 수명을 연장하기 위해서는 효율적인 파워 절약 전략이 필요하게 되었으며, 전력관리는 매우 중요한 문제로 부각되고 있다. 이러한 경향에 따라 전원의 효율을 높여주는 DC-DC 컨버터의 개발에 대한 관심이 매우 높아지고 있으며, DC-DC 컨버터는 그 응용에 따라

본 논문은 지식경제부 출연금으로 ETRI 시스템반도체진흥센터에서 수행한 시스템반도체 설계인력양성사업의 연구결과이며, IDEC 지원에 의해서도 일부 수행되었음.

단일 배터리로부터 원하는 전원전압을 시스템에 공급할 수 있어야 하며, 자체 소비전력을 최소화 하여 효율을 극대화 할 수 있도록 개발되어야 한다.

DC-DC 컨버터 중 인덕터 타입의 PWM모드는 매우 높은 전력 변환 효율을 가지는 장점으로 인해 배터리 수명이 중요시 되는 휴대용 시스템 및 전자 기기에 적합하다. 본 논문에서 제안된 고효율의 CMOS PWM DC-DC 벅 Converter는 PWM 모드이며, 입력전압 3.5V에서 안정된 출력전압 2.5V를 출력하여 기준 부하 전류가 약 100mA일 때 98.71%의 최대 효율을 가진다. 이에 대한 자세한 내용은 Ⅱ에서 다룬다.

Ⅱ. 본 론

설계된 DC-DC 변환기의 블록다이어그램을 그림 1에 보였다. 설계된 회로는 출력에서 feedback된 전압과 기준전압 Vref의 차이를 증폭하는 Error Amp(Compensator), 인덕터 전류를 센싱하는 Current Sensing Circuit, 1MHz의 클럭과 ramp 신호를 만들어주는 Clock & Ramp Generator, 센싱된 전류와 ramp 전류를 합해주는 V-I Converter, Error Amp의 출력 Vc와 V-I Converter의 출력을 비교하는 Modulator로 구성되어 있다. 또한 feedback 신호에 따른 pulse width를 발생시키는 Pulse Width Generator, power swich를 구동하는 Driver Stage, 동작초기에 과전류를 방지하기 위한 Soft Start 회로, 역전류를 감지하는 ZCS(Zero-Current Sensing) 회로 등을 포함하고 있다.

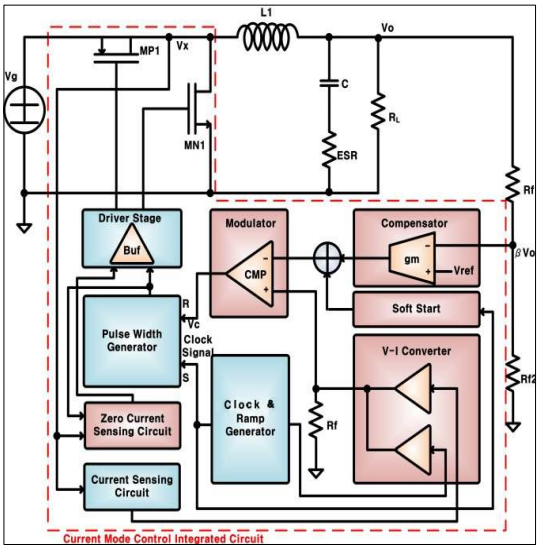

그림 1. Block Diagram

가. CSC(Current Sensing Circuit)

그림 2에 설계된 CSC의 구조를 보였다. [1] Power PMOS MP1이 ON이 되면 이로 인해 M6와 M11의 VDS가 대략적으로 같아진다. M6와 M11의 size 비율을 2000:1로 설계하였다. 그러므로 sensing에 필요한 전류 비율 또한 2000:1이다. 그림 3은 2000:1의 비율을 보여준다. sensing 전류는 ramp 신호와 더해져 일정한 Vc를 생성한다.

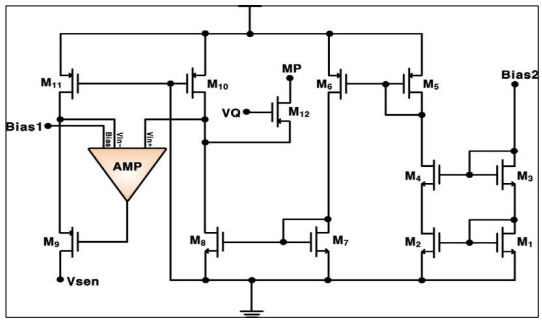

그림 2. Current Sensing Circuit

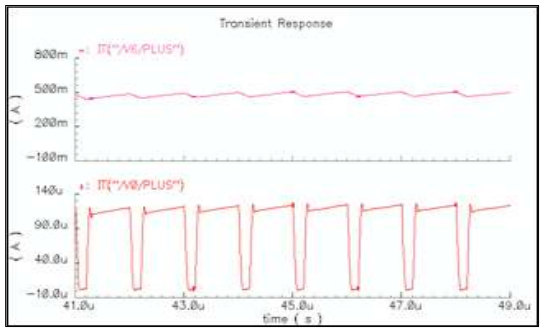

그림 3. 인덕터 전류(위), Sensing 전류(아래)

나. ZCS(Zero Current Sensing)

ZCS의 역전류를 감지해서 NMOS switch를 강제로 끄는 역할을 한다. 벅 컨버터가 CCM(Continuous Conduction Mode)에서 동작할 때에는 Vx가 0보다 항상 작다. 그러나 DCM(Discontinuous Conduction Mode)에서 동작하게 되면 inductor에 역전류가 흐르게 되어 Vx가 0보다 크게 된다. 이것은 벅 컨버터의 효율에 악영향을 준다. [2] 따라서 역전류가 흐를때는 NMOS switch를 강제로 off 시켜 역전류의 흐름을 멈출 필요가 있다. 본 논문에서 제안된 ZCS는 그림 4과 같이 Comparator, D-Flipflop, Multiplexer, Inverter로 구성되어 있다. 그림 5는 ZCS의 모의실험 결과를 나타낸다. ZCS의 작동 검증과 그로 인해 Inductor의 역전류가 제한되는 것을 확인 할 수 있다. Inductor에 역전류가 흐르게 되면 Vx가 0보다 커지게 되고, Comparator의 출력 값이 1에서 0으로 바뀌게 된다. 1에서 0으로 바뀌는 순간에 D-Flipflop의 출력 값은 Inverter를 통하여 Multiplexer의 S에 인가된다. 이 S의 값이 1일 때에는 VN의 값이 그대로 Buffer에 인가되다가 0으로 바뀌면 0인 구간동안 VDD가 인가된다. 그

후 Multiplexer의 출력 값이 Buffer를 통과하게 되면 입력 값이 반전되어서 나오게 되며 이 반전된 값에 의해 NMOS switch가 꺼지고 역전류를 막을 수 있다.

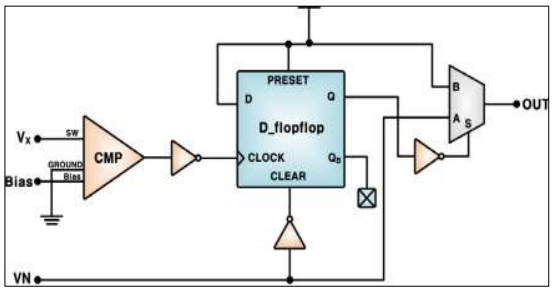

그림 4. Zero Current Sensing Circuit

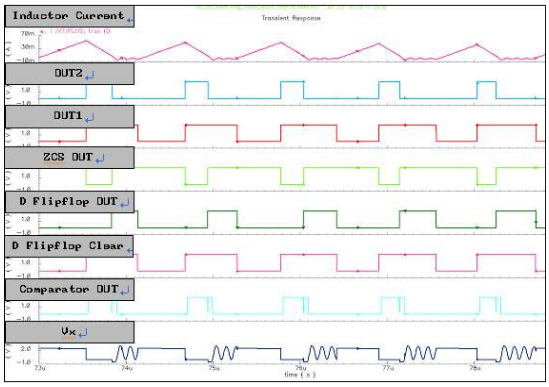

그림 5. Transient response of Zero Current Sensing Circuit

다. Clock & Ramp Generator

Clock & Ramp Generator는 Clock 신호와 Ramp 신호를 생성한다. 이는 그림 6과 같은 구성을 하고 있다. 본 설계의 듀티비는 0.7정도로 0.5 이상의 값이기 때문에 Ramp신호를 이용하여 Sub-harmonic Oscillation 현상을 방지해야 한다. [3] Vref와 Rt는 Ct에 충전되는 전류를 제어하는데 사용된다. Ramp 신호가 Vh에 도달하면 M4가 ON이 되어 Ct를 방전시킨다. 방전된 전류는 충전되는 전류보다 훨씬 크다. Ramp 신호가 Vl까지 떨어지면 Comparator가 상태를 변화시켜서 M4는 OFF가 된다. 그러므로 clock 주파수와 compensation ramp의 기울기는 서로 동시에 생성되며 Vref, Ct, Rt, Vh 그리고 Vl에 의존한다. 그림 7은 Clock와 Ramp 신호의 모의실험 결과이다.

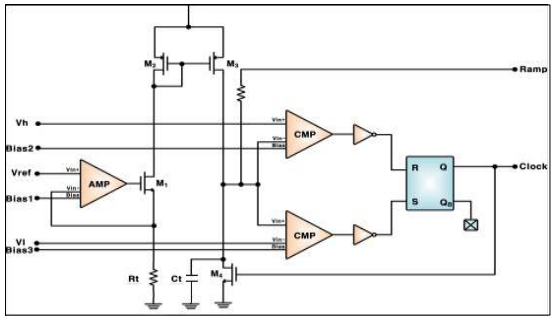

그림 6. Clock and Ramp Generator

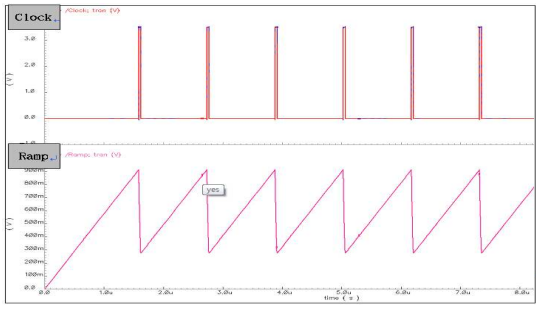

그림 7. Transient response of Clock and Ramp Generator

Ⅲ. 시뮬레이션 결과 및 Layout

그림 8은 Inductor current이며 Soft start 작용 범위 이후 일정한 스윙을 한다. 그림 9는 입력 전압 3.5V일 때 출력 전압 2.1V를 얻었을 때의 파형이며, Soft start가 제대로 작동함을 볼 수 있고, 리플이 작은 안정된 전압이 출력되는 것을 확인할 수 있었다.

부하 전류 변화에 따른 효율을 모의 실험한 결과를 그림 10에 보였다. 설계된 변환기는 부하전류가 500mA이하까지 90%의 높은 효율을 나타냈다. 특히 100mA 일 때 최대 효율 98.71%를 나타냈다. 그리고 Switching Frequency는 약 1MHz이다. 표 1은 시뮬레이션 결과를 정리한 것이다. 그림 11은 설계된 회로의 layout이며, 크기는 1.2㎜ x 1.0㎜이다.

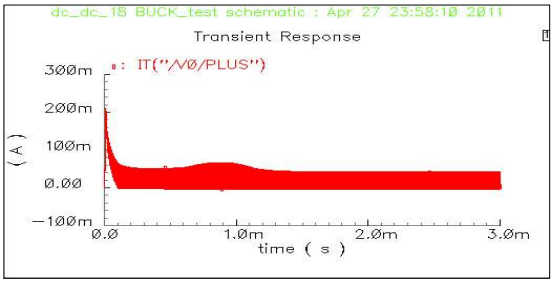

그림 8. Inductor Current

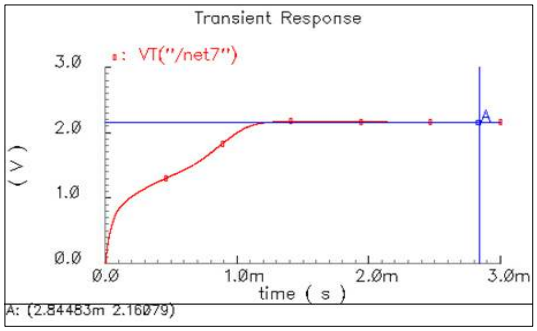

그림 9. Output Voltage

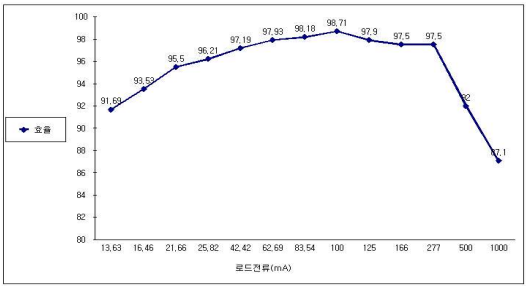

그림 10. 전류에 따른 효율

표1. 성능 요약

	Result
Input Voltage(V)	3.4 ~ 3.9
Output Voltage(V)	1 ~ 2.8
SW Freq.(MHz)	1
Max power Efficiency(%)	98.71
Load Current(mA) Efficiency 90%↑(mA)	<1000 40 ~ 500
Technology(㎛)	0.18
Layout Size(㎛)²	1.2 x 1.0

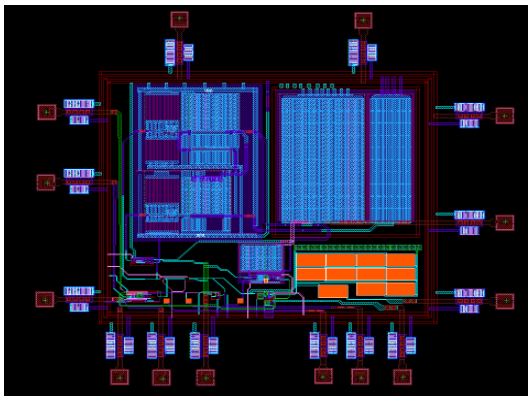

그림 11. Layout

Ⅳ. 결 론

본 논문에서는 고효율 CMOS PWM DC-DC 벅 Converter를 설계하였다. 설계된 CMOS PWM DC-DC 벅 컨버터는 시뮬레이션 결과 스위칭 주파수는 약 1MHz이고, 부하 전류가 약 40mA이상부터 CCM동작을 하며 100mA일 때 최대 효율 98.71%이다. 또한, 입력 전압 3.5V, 출력 전압 2.5V 기준으로 출력전압 리플은 0.98mV이다.

설계된 고효율 CMOS PWM DC-DC 벅 Converter는 전원의 효율을 높여주는 중요한 전력 관리 IC에 적용될 수 있다.

참고문헌

[1] C. Y. Leung, P. K. T. Mok, K. N. Leung and M. S. Chan. “An Inegrated CMOS Current-Sensing Circuit for Low-Voltage Current-Mode Buck Regulator”. Circuits and Systems. vol.52. P.2~3. July 2005

[2] Y. K. Ahn, H. S. Nam, and J. J. Roh. “A 93.5% Efficiency, 400-mA Current-Mode DC-DC Buck Converter with Watchdog Functions”. SoC Design Conference (ISOCC). P.2~3. November 2009

[3] D. H. Heo, H. S. Nam, M. W. Lee, Y. K. Ahn and J. J. Roh. “*400m*A Current-Mode DC-DC Converter for Mobile Multimedia Application”. IEEK. P.5~6 August 2004