

계통사고 발생시 STS 차단시간 최소화 기법과 사고전류 특성

손예, 정재현, 노의철, 김인동, 김흥근*, 전태원**
부경대학교, 경북대학교*, 울산대학교**

Minimization of STS Breaking Time and Characteristic of Fault Current at Utility Side Fault

R. Sun, J.H. Jung, E.C. Nho, I.D. Kim, H.G. Kim*, T.W. Chun**
Pukyong National Univ., Kyungpook National Univ.*, Univ. of Ulsan**

ABSTRACT

This paper describes the design of a new method for the minimization of STS breaking time at utility side fault. The proposed method provides reducing the fault current time use for the STS. In this paper, it is also considered with the characteristic of fault current, it can be avoided to decline the power quality damaged in the utility side fault. The simulation results show the usefulness of the method.

1. 서론

최근 마이크로그리드에 관한 연구가 활발히 진행되고 있다. 마이크로그리드는 계통과 연계하여 계통에서 공급받는 전력 품질을 향상시켜야 하며 계통에 사고 발생 시 그리드 내의 마이크로소스만을 이용하여 부하에 전력을 공급하는 능력이 요구된다. 특히 민감 부하가 존재하는 마이크로그리드의 계통연계 운전 중 계통에 사고가 발생하였을 시에는 그리드를 차단 시간 내에 계통으로부터 분리하고 마이크로소스를 이용하여 부하에 안정적인 전력을 공급해야 한다. 일반적으로 계통과 마이크로그리드의 연결점인 PCC(Point of Common Coupling)에는 계통이나 그리드의 사고 발생 시 사고를 차단하기 위한 STS가 구성되어 있다. 그러나 SCR로 구성된 STS를 사용하는 경우 계통의 사고 발생 시 SCR의 턴-오프 조건인 영전류가 되기까지 최대 8.3[ms]의 시간이 걸리며, 이 시간동안 마이크로그리드의 전원은 제어불가능한 상태가 되어 부하에 공급되는 전력에 심각한 외란이 발생하게 되고, 특히 민감 부하인 경우에는 치명적인 손상을 입히게 되는 요인이 된다.^[1,2]

본 논문에서는 계통사고 발생 시에 STS 차단시간을 최대한 줄이는 방법을 제안하고 사고발생 시에 STS에 흐르는 사고전류의 특성을 시뮬레이션을 통해서 분석하고자 한다.

2. 계통 연계형 PCS와 사고전류

2.1 계통 연계형 PCS의 시스템 구성도

그림 1은 본 논문에서 다루고자 하는 계통 연계형 PCS의 시스템 구성도이다. $V_{as} \sim V_{cs}$ 는 계통전압을 나타낸다. 시뮬레이션 결과 파형의 전류 방향은 그림에 표시한 화살표의 방향을 기준으로 나타내었다. PCS는 PWM 인버터와 LCL 필터로 구성하였으며 부하단은 R-L 부하를 사용하였다. 그림에서

$L_{f1}=2[mH]$, $L_{f2}=900[uH]$, $R_d=4.1[\Omega]$, $C_f=4.1[uF]$, $R=4.1[\Omega]$, $L=6.8[mH]$ 이고 선간전압은 220[Vrms] 이다.

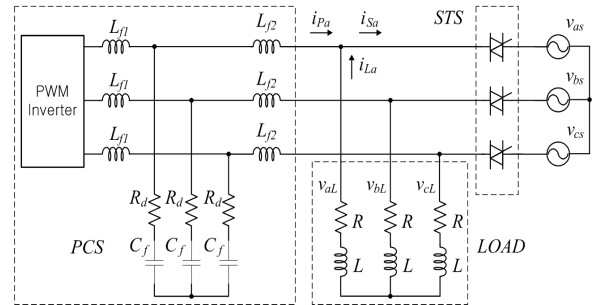


그림 1 시스템 구성도
Fig. 1 System configuration

2.2 STS의 차단시간 최소화 기법

일반적으로 STS는 SCR로 구성되어 있다. 그러나 SCR은 턴-오프 신호를 받게 되더라도 소자에 흐르던 전류가 영전류가 되어야 턴-오프 되는 특성이 있으므로 이 전류를 빠르게 감소시키기 위하여 사고 발생 순간 계통의 전압과는 역방향으로 PCS의 출력 전압을 조정한다. 그림 2와 그림 3은 이러한 방법을 적용한 시뮬레이션 결과 파형이다. 51.85[ms]에서 사고가 발생하였으나 사고전류가 신속히 영으로 감소하는 것을 알 수 있다. 그림 2는 계통으로부터 전력을 공급받는 중에 사고 발생 시 사고전류를 나타내었으며 그림 3은 계통으로 전력을 공급하고 있는 상황에서 사고 발생 시 사고전류를 나타낸다.

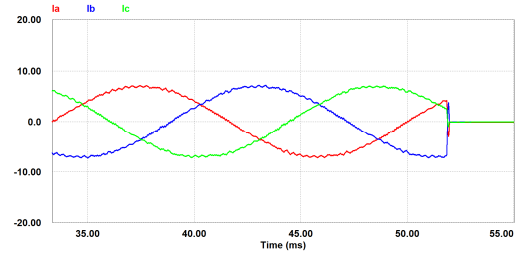


그림 2 STS의 사고전류 파형(계통으로부터 전력공급 받는 경우)
Fig. 2 Line fault current waveform of STS(power from utility)

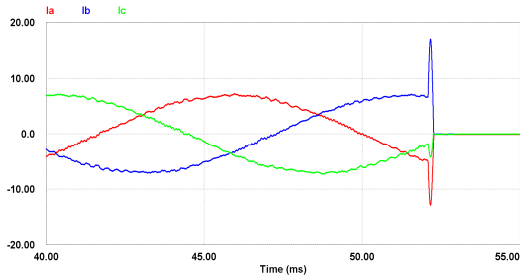


그림 3 STS의 사고전류 파형(계통으로 전력을 공급하는 경우)
Fig. 3 Line fault current waveform of STS(power to utility)

3. STS의 사고전류 특성분석

사고가 발생하는 시점과 계통 측의 전력 흐름의 방향에 따라 STS의 사고전류의 크기가 변하게 된다. 따라서 사고 발생 시점의 변화에 따른 사고전류의 크기를 분석해보고 사고전류가 가장 크게 발생하는 시점을 기준으로 전력흐름의 방향에 따른 사고전류의 변화를 살펴보고자 한다. 계통에서 전력을 공급 받는 상황에서 사고 발생 시에는 그림 2에 나타난 것처럼 사고전류는 항상 정격 전류보다 그 크기가 작기 때문에 계통으로 전력을 공급하는 상황에서 사고전류의 특성을 분석하였다.

3.1 사고 발생 시점에 따른 사고전류 특성

일반적으로 3상 시스템은 60° 마다 각 상의 크기의 절대값이 주기적으로 반복되기 때문에 계통의 한 주기 동안 발생하는 사고전류의 특성은 60° 에 대한 분석을 통하여 알 수 있다. 따라서 V_{as} 를 기준으로 하여 $0^\circ \sim 60^\circ$ 구간을 5° 간격으로 사고를 발생시켜 가면서 STS의 전류특성을 분석하였다.

그림 4는 계통으로 2[kW]의 전력을 공급하고 있는 상황에서 사고가 발생하였을 때 STS의 사고전류를 나타낸다. 전류의 크기는 10[kVA] PCS의 정격 전류를 기준으로 정규화 하여 나타내었다.

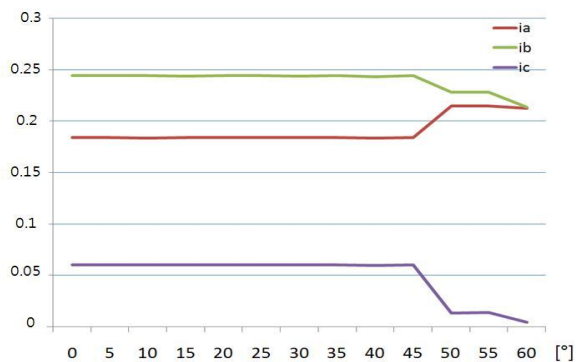


그림 4 사고발생 시점에 따른 STS의 사고전류 크기
Fig. 4 Fault current magnitude according to the fault occurrence instance

STS에 흐르는 사고전류는 사고발생 시점과는 무관하게 거의 일정한 크기가 되는 것을 알 수 있다.

3.2 부하 변동시 사고전류 특성

PCS에서 공급하는 전력을 10[kVA]라 하고 부하가 2[kVA]라 하면 계통 측으로는 8[kVA]가 공급된다. 부하를 2[kVA]씩 증가하여 8[kVA]까지 증가시켰고 반대로 계통으로 공급하는 전력을 8[kVA]~2[kVA]까지 감소 시켰다. 이때의 사고전류 변화를 그림 5에 나타내었다. 부하 용량에 따른 사고전류의 변화 값은 그림 5에서 보이는 것과 같이 계통 쪽으로 공급하는 용량이 커질수록 사고전류의 크기도 증가하고 있음을 알 수 있다.

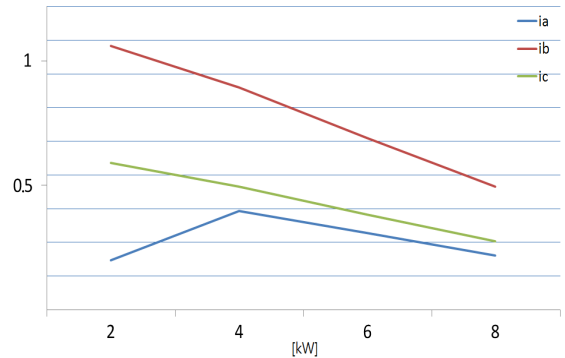


그림 5 부하 용량에 따른 전류 파형
Fig. 5 Line current waveform for variable load

4. 결 론

본 논문은 계통연계형 PCS와 계통의 연계 운전 중 계통 사고 발생시 STS 차단시간을 최소화 하는 새로운 기법을 제안하고 STS의 사고전류 특성을 분석하였다. PCS로부터 계통으로 전력을 공급하고 있는 상황에서 사고 발생 시 STS에 흐르는 사고전류는 정상전류보다 증가하지만 사고 발생 시점에 따른 영향은 거의 받지 않는 것을 알 수 있었다. 따라서 제안한 방식의 유용성을 입증할 수 있었다. 또한 계통으로 공급하는 전력이 클수록 STS의 사고전류는 증가한다. 그러나 정격 용량이 10[kVA]인 PCS가 부하에 2[kVA], 계통으로 8[kW]의 전력을 공급하는 상황에서 사고전류는 PCS 정격전류의 약 1.05배로서 일반적으로 허용되는 PCS의 과전류 크기인 1.2배보다 작은 것을 알 수 있다.

본 연구는 2010년도 지식경제부의 재원으로 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 결과입니다.
(NO. 2010T100100465)

참 고 문 헌

- [1] E.C. Nho, Y.H. Lee, J.K. Seok, I.D. Kim, N.S. Choi, T.W. Chun, H.G. Kim, "Characteristics of a power quality disturbance generator for the test of microgrid with STS" Telecommunications Energy Conference, 2009. INTELEC 2009. 31st International, 2009, pp. 1~4.
- [2] P.T. Cheng, Y.H. Chen, "Design and implementation of solid-state transfer switches for power quality enhancement" Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual, Vol. 2, 2004, pp. 1108~1114.