

플라이백 컨버터의 전압 스트레스 저감을 위한 RCD클램프의 특성 분석

정진우*, 임정규*, 정세교*, 김종해**, 오동성**
 경상대학교 제어계측공학과*, (주)삼성전기**

Characteristic analysis of RCD clamp for reducing voltage stress of Flyback converter

Jin-Woo Jeong, Jeong-Gyu Lim, Se-Kyo Chung, Jong-Hae Kim, Dong-Sung Oh
 Gyeongsang National University, Samsung Electro-Mechanics

ABSTRACT

RCD clamp is used for a low cost flyback converter to clamp the voltage spikes caused by the leakage inductance of the flyback transformer. In this paper, the operational characteristics of the flyback converter with the clamp circuit are analyzed using an equivalent circuit. The simulation and experimental results are provided to verify the proposed analysis.

1. 서론

플라이백 컨버터 회로는 스위치가 오프 되었을 때 스위치 양단에 높은 서지 전압을 발생시킨다. RCD 클램프 회로는 누설 인덕턴스에 저장된 에너지를 소모시킴으로써 이러한 서지 전압을 저감하기 위해 사용된다. 이러한 RCD 클램프 회로의 최적의 클램핑 특성을 얻기 위해서는 RCD 클램프 회로를 갖는 플라이백 컨버터회로의 특성 분석이 요구된다. [1]과[2]의 연구에서는 RCD 클램프 회로를 갖는 플라이백 회로의 전체 효율 및 EMI 등에 대한 분석을 수행하였다. 하지만 파라미터 변동에 따른 클램프 회로 및 스위칭 소자에서 전압 및 전류 특성은 분석되지 않았다. 이러한 특성 분석은 회로 파라미터 및 소자 선정에 중요한 요소이다. 따라서 본 논문에서는 클램프 회로를 갖는 플라이백 회로의 동작 및 추가된 소자에 의해 발생하는 특성을 분석하였다. 또한 근사화를 통해 스위치 양단의 최대 전압 식을 유도하였으며 파라미터 변동에 대한 각 개별 소자의 전류 특성을 분석하여 최적 설계 방법을 제시하였으며 시뮬레이션과 실험을 통해 분석의 타당성을 검증 하였다.

2. 클램프 회로를 갖는 플라이백 컨버터의 분석

2.1 회로 설명 및 동작

그림 1의 (a)는 RCD 클램프를 갖는 플라이백 컨버터 회로를 나타내고 있다.^[1]

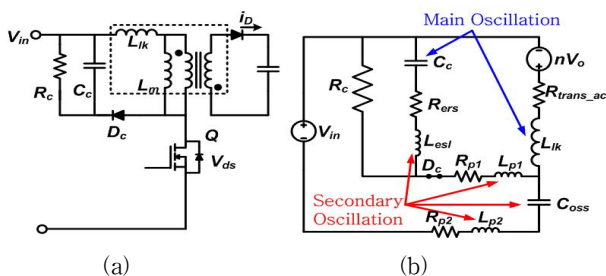


그림 1 (a)클램프를 포함한 플라이백 컨버터 회로 (b)등가회로^[1]

RCD 클램프 회로는 스위치 Q가 꺼졌을 때 변압기 누설 인덕턴스에 저장된 에너지의 흐름을 위한 경로를 제공하여 누설

인덕턴스로 인한 서지 전압을 감소시키는 역할을 하며 이에 대한 등가 회로는 그림 1 (b)와 같다. 그림 1(b)에서는 RCD 클램프 회로의 주 공진 경로 외에도 회로의 패턴 및 구성 소자의 기생 인덕턴스로 인한 부 공진 경로 또한 존재함을 알 수 있다.

그림 2는 스위치가 오프 되었을 때 회로의 주요파형을 나타내며, 위에서부터 스위치의 게이트 전압 V_{gs} , 스위치 Q에 흐르는 전류 I_Q , 클램프 다이오드의 전류 I_{DC} , 스위치 Q의 양단전압 V_{ds} , 클램프 커패시터의 양단전압 V_C 를 나타낸다. 스위치 Q가 오프 되었을 때 회로 동작은 다음과 같다.^[1]

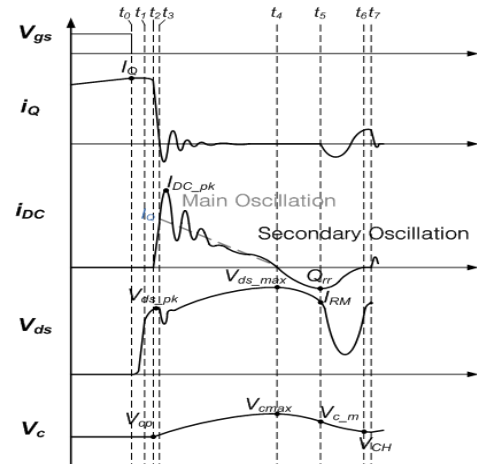


그림 2 스위치 Q 오프 시 동작 파형^[1]

t_0-t_1 : t_0 의 순간에 스위치는 오프 되며 변압기의 자화 전류는 2차 측으로 변환한다. 그러나 변압기의 누설 인덕턴스에 저장된 에너지는 출력으로 전달되지 못하고 스위치 양단 전압이 $V_{in}+V_{cp}$ 가 될 때까지 스위치 출력 커패시터 C_{oss} 를 계속 충전한다. t_1 이후 누설 인덕턴스에 저장된 에너지는 C_{oss} 를 t_2 시간까지 충전시킨다. 여기서 V_{in} 은 변압기 1차 측 입력 전압이다.

t_1-t_4 : t_2 일 때 D_c 는 온 되고 변압기 잔류 에너지는 클램프 회로로 전달된다. 이 구간 동안 주 공진과 부 공진이 발생하며, V_{ds} 와 V_C 의 전압은 최대값이 된다.

$$V_{ds,max} = V_{in} + V_{C,max} \quad (1)$$

t_4-t_7 : i_{DC} 는 역방향 회복에 의해 전류 방향이 반대로 바뀌게 되고 t_5 일 때 최저에 도달하며 클램프 커패시터 전압 V_C 는 감소한다.

$t_7-(t_0+T)$: 이 구간부터 스위치 Q가 다시 켜질 때까지 C_c 에 저장되었던 에너지는 R_c 에서 소모된다.

2.2 회로 분석

그림 2로부터 주 공진 경로에 대한 특성 식을 이용하면 클램

프 커패시터의 최대 전압 $V_{C,max}$ 는 다음과 같이 나타낼 수 있으며, 여기서 수식의 간략화를 위해 클램프 회로 및 패턴의 기생 성분은 생략하였다.^{[1],[2]}

$$V_{C,max} = \frac{nV_o(1-E)}{1-E^2} + \sqrt{\left[nV_o \frac{(1-E)}{1-E^2} \right]^2 + \frac{A}{1-E^2}} \quad (2)$$

$$\text{여기서, } E = e^{-\frac{1}{f_s R_c C_c}} \quad (3)$$

$$A = \frac{aA_1 R_c C_c + I_{peak} R_c - V_{cp}}{\omega_d R_c C_c} \quad (4)$$

식 (1)과 (2)를 이용하면 RCD 클램프 회로의 적용에 따른 $V_{ds,max}$ 의 크기를 얻을 수 있으며, 이 식을 이용하여 다음 절에서 시뮬레이션을 통한 특성 분석을 수행한다.

그림 2에서 스위칭 초기에 V_{ds} 에서는 부 공진 경로에 의한 고주파의 서지 전압이 발생한다. 이러한 서지 전압은 회로 패턴의 최적 설계 및 구성 소자에 따라 감소될 수 있으며 또한 스위치 Q의 양단에 간단한 RC회로를 추가함으로써 크기를 감소시킬 수 있다. 그러나 스위치 Q의 양단에 RC 회로의 추가는 스위치 양단 전압의 상승 시간을 증가시킴으로써 유효 duty를 감소시킬 수 있어 신중하게 선택하여야 한다.

3. 시뮬레이션 및 실험

식 (1)과 (2)를 이용하여 클램프 회로의 파라미터 변동에 대한 주 공진 경로에서 발생하는 회로 특성을 분석하였으며 이때 플라이백 컨버터의 입력 전압은 380V, I_{peak} 는 1.74A, L_{lk} 는 22.4uH, 출력 전압은 13V, 권선비($N_p : N_s$)는 40:7이다.

그림 3은 각 누설 인덕턴스 값에 대하여 클램프 커패시턴스 변동에 대한 클램프 커패시터 양단 전압의 변화를 나타낸 것이다. C_c 가 증가할수록 V_c 의 감소율은 점차 감소함을 알 수 있다. 이는 일정한 R_c 값에서 C_c 의 증가로 인해 시상수가 증가하여 C_c 의 양단의 최저 전압이 상승하기 때문이다.

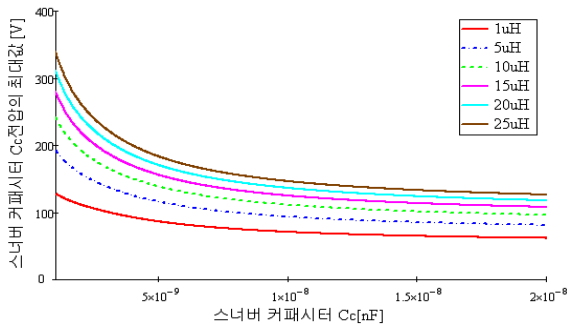


그림 3 누설인덕턴스 L_{lk} 와 C_c 변동에 따른 $V_{C,max}$ 의 변화

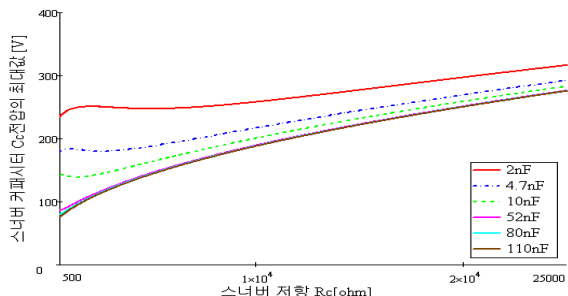


그림 4 R_c 와 C_c 변동에 따른 $V_{ds,max}$ 의 변화

그림 4는 R_c 와 C_c 의 변동에 대한 V_c 의 변화를 나타낸 것이다. C_c 가 증가할수록 R_c 에 대한 V_c 의 변화는 커지게 된다.

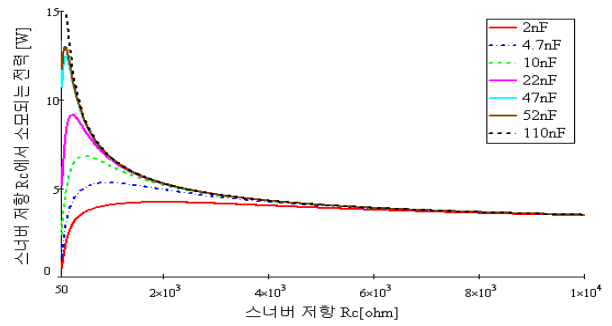


그림 5 R_c 와 C_c 변동에 따른 R_c 전력 손실 변화

그림 5는 R_c 와 C_c 의 변화에 대한 R_c 에서 소모되는 전력을 나타낸 것으로 저항이 증가할수록 커패시턴스의 영향이 줄어들게 된다. 그림 6은 식 (1)과 (2)를 이용하여 계산된 스위치 양단 전압과 실제 실험을 통하여 측정된 결과를 비교한 것이다. 비교 결과에서 각 오차는 10V 내외를 나타내었으며 이는 회로의 기생 성분의 영향으로 판단된다.

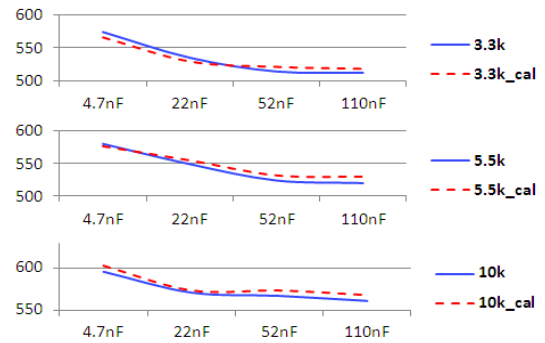


그림 6 RCD 클램프 회로 플라이백 컨버터의 실험 결과

4. 결론

본 논문에서는 RCD 클램프 회로를 포함하는 플라이백 컨버터 회로의 동작 특성과 추가된 소자에 의해 발생하는 고주파 공진 특성에 대해 등가 회로를 이용하여 분석 및 시뮬레이션을 수행하였다. 시뮬레이션 결과에서 알 수 있듯이 R_c 의 감소와 C_c 의 증가는 V_{ds} 를 감소시킨다. 그리고 R_c 가 증가할수록 저항과 소모 전력에 대한 기울기는 감소하며 또한 C_c 변동에 대한 영향 또한 줄어든다. 그러므로 RCD 클램프 회로의 파라미터는 저항에서 소모되는 전력의 기울기가 감소하는 지점에서 저항 값을 결정할 후 스위치 양단의 허용 전압을 고려하여 적절한 커패시턴스의 값을 결정하는 것이 유리함을 알 수 있다. 실험을 통해 분석의 타당성을 검증 하였으며 본 논문의 분석은 플라이백 컨버터의 클램프 회로 최적 설계에 유용한 자료가 될 수 있을 것이다.

이 논문은 (주)삼성전기의 연구비 지원에 의하여 연구되었음

참고 문헌

- [1] Peipei Meng, "Analysis and design considerations for EMI and losses of RCD snubber in flyback converter", Proc.IEEE .APEC 5, 2010 , pp. 642 - 647
- [2] Alenka Hren, "RC-RCD Clamp Circuit for Ringing Losses Reduction in a Flyback Converter", IEEE Trans. Circuits On Circuits and system,II:Express Briefs vol. 53, no. 5, 2006