

SOI 기판 위에 SONOS 구조를 가진 플래시 메모리 소자의 subthreshold 전압 영역의 전기적 성질

유주태, 김현우, 유주형, 김태환

한양대학교 전자통신컴퓨터공학과

Floating gate를 이용한 플래시 메모리와 달리 질화막을 트랩 저장층으로 이용한 silicon-oxide-silicon nitride-oxide silicon (SONOS) 구조의 플래시 메모리 소자는 동작 전압이 낮고, 공정과정이 간단하며 비레 축소가 용이하여 고집적화하는데 유리하다. 그러나 SONOS 구조의 플래시 메모리 소자는 비레 축소에 따라 단 채널 효과와 펀치스루 현상이 커지는 문제점이 있다. 비레 축소를 할 때 발생하는 문제점을 해결하기 위해 플래시 메모리 소자를 FinFET과 같이 구조를 변화하는 연구는 활발히 진행되고 있으나, 플래시 메모리 소자를 제작하는 기판의 변화에 따른 메모리 소자의 전기적 특성 변화에 대한 연구는 많이 진행되지 않았다. 본 연구에서는 silicon-on insulator (SOI) 기판의 유무에 따른 멀티비트를 구현하기 위한 듀얼 게이트 가진 SONOS 구조를 가진 플래시 메모리 소자의 subthreshold 전압 영역에서의 전기적 특성 변화를 조사 하였다. 게이트 사이의 간격이 감소함에 따라 SOI 기판이 있을 때와 없을 때의 전류-전압 특성을 TCAD Simulation을 사용하여 계산하였다. 전류-전압 특성곡선에서 subthreshold swing을 계산하여 비교하므로 SONOS 구조의 플래시 메모리 소자에서 SOI 기판을 사용한 메모리 소자가 SOI 기판을 사용하지 않은 메모리 소자보다 단채널효과와 subthreshold swing이 감소하였다. 비레 축소에 따라 SOI 기판을 사용한 메모리 소자에서 단채널 효과와 subthreshold swing이 감소하는 비율이 증가하였다.

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MEST) (No. 2010-0018877).