

## 레이저 결정화 다결정 실리콘 기판에서의 게이트 산화막두께에 따른 1T-DRAM의 전기적 특성

장현준, 김민수, 조원주

광운대학교 전자재료 공학과

DRAM (dynamic random access memory)은 하나의 트랜지스터와 하나의 캐패시터의 구조 (1T/1C)를 가지는 구조로써 빠른 동작 속도와 고집적에 용이하다. 하지만 고집적화를 위해서는 최소한의 캐패시터 용량 (30 fF/cell)을 충족시켜 주어야 한다. 이에 따라 캐패시터는 stack 혹은 deep trench 구조로 제작되어야 한다. 위와 같은 구조로 소자를 구현할 시 제작공정이 복잡해지고 캐패시터의 집적화에도 한계가 있다. 이러한 문제점을 보완하기 위해 1T-DRAM이 제안되었다. 1T-DRAM은 하나의 트랜지스터로 이루어져 있으며 SOI (silicon-on-insulator) 기판에서 나타나는 floating body effect를 이용하여 추가적인 캐패시터를 필요로 하지 않는다. 하지만 SOI 기판을 이용한 1T-DRAM은 비용측면에서 대량생산화를 시키기는데 어려움이 있으며, 3차원 적층 구조로의 적용이 어렵다. 하지만 다결정 실리콘을 이용한 기판은 공정의 대면적화가 가능하고 비용적 측면에서 유리한 장점을 가지고 있으며, 적층구조로의 적용 또한 용이하다. 본 연구에서는 ELA (eximer laser annealing) 방법을 이용하여 비정질 실리콘을 결정화시킨 기판에서 1T-DRAM을 제작하였다. 하지만 다결정 실리콘은 단결정 실리콘에 비해 저항이 크기 때문에, 메모리 소자로서 동작하기 위해서는 높은 바이어스 조건이 필요하다. 게이트 산화막이 얇은 경우, 게이트 산화막의 열화로 인하여 소자의 오작동이 일어나게 되고 게이트 산화막이 두꺼울 경우에는 전력소모가 커지게 된다. 그러므로 메모리 소자로서 동작 할 수 있는 최적화된 게이트 산화막 두께가 필요하다. 제작된 소자는 KrF-248 nm 레이저로 결정화된 ELA 기판위에 게이트 산화막을 10 nm, 20 nm, 30 nm 로 나누어서 증착하여, 전기적 특성 및 메모리 특성을 평가하였다.

### 감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(No.2010-0015380).