진도-제주 HVDC 시스템의 동특성 해석

김재한, 김찬기, 이성두, 윤종수 한전 전력연구원

Dynamic Characteristics Analysis of Jindo-Cheju HVDC System

Jae-Han Kim, Chan-Ki Kim, Seong-Doo Lee, Jong-Su Yoon KEPCO

ABSTRACT

In case of connecting the weak AC system, a detailed attentions are needed. In particular, since HVDC system can control the flow of AC network freely, have to contain the range of stability and safe operation range.

This paper deals with HVDC control algorithms, which are operated within 1 second on viewpoint of time domain, that is, transient stability. The target of HVDC introduced in this paper is Jindo-Cheju HVDC system, which will be operated at 2011. The introduced algorithm can be actually implemented to Jindo-Cheju HVDC system.

1. 서론

HVDC 시스템은 관성이 영(零: Zero)인 발전기의 특징과 고 조파를 발생시키는 고조파 원 그리고 전력계통을 연계하는 변 압기의 특징을 모두 가지고 있다. 이러한 특징은 계통에서 다 양한 현상을 유발할 수 있기에 기존의 발전기나 변압기 해석모 델을 이용해서 시스템을 해석하는 것은 한계가 있기 때문에 HVDC 시스템을 가진 해석모델의 개발이 필수적이다. 경제성 평가 부분은 샘플링 타임이 Per Hour단위인 반면, 서지현상은 Per µs단위를 가진다. 이러한 계통현상을 동시에 해석할 수 있 는 기술은 아직은 확립되어 있지 않기 때문에 각각의 현상에 대하여 각각의 해석용 프로그램을 이용하여 해석하는 것이 일 반적이다. 발전기와 송전계통이 포함된 전력계통을 해석하기위 해서는 PSS/E를 이용하고, HVDC 시스템과 계통간의 현상을 해석하기 위해서는 EMTDC를 이용한다.

본 논문은 2011년도 준공예정인 진도-제주 HVDC 시스템의 동특성을 해석하기 위해서 EMTDC 프로그램을 이용하여 HVDC 과도해석프로그램을 개발하였으며 이에 대한 검증내용 을 담고 있다.

2. 진도-제주 HVDC 시스템의 특성곡선 결정

진도-제주 HVDC 시스템은 Bipole ±250[kV]와 800[A]의 정 격을 가지고 있으며 신뢰성과 확장성을 고려하여 Double Monopole로 구성되었다. HVDC 시스템의 과도현상을 검토하 기 위해서 AC계통은 SCR(Short Circuit Ratio) 기반의 1기 무한





대 모선으로 축약하였으며, HVDC 시스템은 1도의 오차를 고 려하여 50us의 샘플링타임을 갖는 모델로 개발되었으며, 주된 해석 범위는 HVDC 제어기와 시스템 과도현상으로 한정하였 다. HVDC 시스템의 동작특성을 결정짓는 V-I(전압-전류)특성 곡선은 다음과 같은 절차에 의해서 결정된다.

첫 번째로, 정상상태에서 렉티파이어의 주 제어를 전류제어 로 할 것인지 아니면, 인버터의 주제어를 전류제어로 할 것인 지를 결정해야한다. 일반적으로 렉티파이어에서 전류제어를 하 는 경우가 대부분이나 계통상황이나 통신선의 신뢰성이 보장되 지 않는 경우에는 인버터에서 주 제어기로 전류제어를 수행한 다. 그리고 부 제어기를 선택하는 경우에는 무효전력을 최소화 하거나 시스템의 손실을 최소화 하기위해서 점호각 최소제어 (α_{\min})나 소호각 최소제어(γ_{\min})를 선택한다. 만약 계통의 안 정도를 고려한다면, 전압제어기가 선택되어 질수 있는데, 이는 전적으로 계통상황을 고려해야 한다.

두 번째로, HVDC시스템의 V-I특성곡선에서 HVDC의 운전 영역은 다음과 같이 제한될 수 있다. 우선적으로 HVDC의 운 전영역은 과전압을 제한하는 Vd-max이내에서 존재해야 하고, 시스템이 견딜 수 있는 과전류영역(그림 1에서 Id-max)이내, 그리고 전류의 불연속에 의해서 밸브에 스트레스가 가해지는 것을 막기 위한 Id-min영역 이후에서 HVDC는 동작한다. 또 한, 과도한 손실과 무효전력 불안정을 막기 위해서 안정도 제 한 곡선(Stability limit)이내에서 존재해야 한다.

표 1은 진도-제주 HVDC 시스템의 운전 조건을 보여주는 것으로 렉티파이어 단은 전류제어를 수행하고, 인버터 단은 전 압제어를 수행하는 경우를 보여준다. 표 1에 따라 진도-제주 HVDC 시스템의 전압-전류 운전조건을 구해보면 다음과 같다.

표 1 진도-제주 HVDC 시스템의 운전조건 Table 1 Operation condition of Jindo-Cheju HVDC system

	Rectifier	Inverter
운전 각	13도	23도
중첩 각	22.66도	17.20
운전전압	256.5[kV]	256.5[kV]
운전전류	798[A]	798[A]

그림 2에서 렉티파이어 단의 특성곡선 ABCDE의 존재목적 을 분석해 보면, AB라인은 전압제어 특성을 보여주고 있다. AB라인의 목적은 인버터 단에서 제어기가 고장이 발생한 경우 나 통신선이 고장이 발생한 경우에 렉티파이어 단의 전압을 제 한하는 것이다, 또한, BC라인의 목적은 2가지로써 HVDC 밸브 에 최소 점호각을 보장하고 렉티파이어에서 전압이 강하한 경 우에 특성곡선이 인버터의 전압곡선과 교점(운전점)이 생기는 것이 용이하게 하기위해서 존재하는 것이다

그림 2에서 CD라인은 전류제어 특성곡선이며, DE는 VDCOL(Voltage Dependant Current Order Limit)라인으로써 전압이 0.7p.u이하로 떨어지는 경우에 동작하고, VDCOL의 전 류 지령값은 전류 지령값의 0.5로 계산된다. 이러한 특성곡선은 그림 3에서 보는 바와 같이 HVDC의 전압안정도와 과도안정도 를 고려하여 결정되었다. 또한, 그림 2에서 보여주는 인버터 단 의 특성곡선 VWXYZ의 특성은 다음과 같다. YZ라인은 y제어 기를 보여주는 것이며, XY라인은 전압제어기특성을 보여주고 있다. 그리고 WX라인은 전류제어기 특성이며, VW라인은 인 버터단의 VDCOL라인으로써 고장 후에 HVDC시스템의 고장 회복속도, 무효전력 특성 그리고 AC계통의 충격최소화를 목적으로 한다. 그림 3에서 보여주는 HVDC특성곡선을 구현하기 위한 HVDC제어기의 제어값은 표 2에서 보여주고 있다.



그림 2 진도-제주 HVDC 시스템 제어 특성 곡선 Fig. 2 Control characteristics curve of Jindo-Cheju HVDC diagram



그림 3 진도-제주 HVDC 시스템 제어기의 안정도 커브 Fig. 3 Control stability curve of Jindo-Cheju HVDC system

표 2 진도-제주 HVDC 시스템의 지령값 Table 2 Reference value of Jindo-Cheju HVDC system

		Rectifier	Inverter
1	$dM \ a \ x$	165도	165도
2	$dM \ i \ n$	2도	38도
3	$\mathcal{O} r d$	30도	15도
4	전압	1.1p.u	1.0p.u
5	전류	1.0p.u	0.9p.u
6	AC전압	1.3p.u	1.3p.u

표 2의 α_{max} 는 HVDC제어기가 소호되는 최소 각을 표현한 것으로 $\alpha_{Max} = 180^{\circ} - \gamma_{min}$ 에 의해 구해진다. 또한 표 2의 α_{Min} 은 인버터 단에서 출력되는 최소 점호각을 표현한 것으로 $\alpha_{Min} = 90^{\circ} - \gamma_{ord} - \mu$ (중첩각)으로 구해진다. 그림 4는 표 2의 ②의 개념을 표현한 그림이다. 그리고 표 2의 γ_{Ord} 은 렉티파이 어가 블로킹될 때, 즉 렉티파이어가 인버터 모드로 전환되어 HVDC를 회생제동시킬 때 정류실패를 피하기 위해서 설정된 값이다.



그림 4 진도-제주 HVDC 시스템의 운전각 Fig. 4 Operation angle of Jindo-Cheju HVDC system

3. 진도-제주 HVDC 시스템의 제어기 구조

2장에서 보여준 특성곡선을 구현하기 위해서 HVDC 시스템 의 제어기구조를 살펴보고자 한다.

HVDC 시스템은 기본적으로 계층제어구조를 가지고 있는 것으로 계통의 제어목적과 시정수 그리고 응답특성에 따라 Master제어기, Pole제어기 그리고 Phase 제어기로 구성되어진 다. 그림 5는 Master제어기와 Pole제어기 그리고 Phase제어기 의 피드백 루프와 샘플링타임(시정수 혹은 응답시간)을 보여주 고 있다.



그림 5 진도-제주 HVDC 시스템 제어 계층도

Fig. 5 Control level of Jindo-Cheju HVDC system



(a) AC voltage









(d) DC current(magnified of (c))



(e) Firing angle of rectifier



(f) Extinction angle of rectifier



그림 6 렉티파이어 단에서 단상 지락시 HVDC 응답파형

Fig. 6 HVDC waveforms of single line ground fault at rectifier end



(a) AC voltage









그림 7 렉티파이어 단에서 4상 지락시 HVDC 응답파형 Fig. 7 HVDC waveforms of three phase ground fault at rectifier end

4. 시뮬레이션 및 검토

본 논문에서 EMTDC를 이용한 시뮬레이션 조건은 HVDC 시스템의 동특성을 확인하는 단계이기 때문에 가급적 강인한 계통 조건(SCR: 4이상)에서 수행하였다. 보통 HVDC 시스템이 전기적으로 1도의 오차를 가지고 있기 때문에 시뮬레이션 타임 은 50us로 선택하였다. 그리고 제어기 레벨은 제어기 특성을 확인할 수 있는 10ms이상의 시간 영역을 선택하였다.

그림 6은 HVDC 시스템의 렉티파이어 단에서 단상 지락을 발생시킨 경우의 응답파형으로써, 파형 (c)에서와 같이 HVDC 밸브의 DC전류에 60Hz 기본파성분이 그대로 인가되는 것을 볼 수 있으며(파형 (d)는 파형 (c)를 확대한 그림), 고장시에는 정상적인 제어동작이 수행되지 않으나 고장이 해소된 뒤에는 정상적인 동작을 보여주고 있다.

그림 7은 그림 6과 같은 조건에서 HVDC 시스템의 렉티파 이어 단에서 3상 지락사고를 발생시킨 경우의 파형으로써, 이 경우는 단상지락사고와 다르게 DC 전류에 반복되는 고장전류 가 인가되지 않음을 알 수 있다. 이러한 사실은 일반적인 AC 계통에서는 3상사고가 AC시스템에 큰 충격을 주는 것이 일반 적이나 HVDC 시스템에서는 경우에 따라서는 단상사고가 시스 템에 더 큰 충격을 줄 수 있음을 의미한다.

3.결론

본 논문은 진도-제주 HVDC 시스템의 동특성에 관한 내 용을 담고 있다. HVDC 시스템은 매우 빠른 제어동작을 수행 하며, 계층적으로 각 제어기가 각각 다른 역할을 수행하기 때 문에 세밀한 제어동작을 관찰해야 한다. 따라서, HVDC의 제어 게인과 제어지령 값의 선정이 매우 중요하며, 랙티파이어단의 고장과 인버터단의 고장 시에도 제어특성이 견고히 유지될 필 요가 있다. 본 논문에서 다루는 제어특성은 이러한 요구사항을 반영하였으며, 제어게인 선정에 관한 내용은 좀 더 검토되어야 할 사항으로 사료된다.

참 고 문 헌

- [1] A. Ghosh, S. Devadas, K. Keutzer and J. White, "Estimation of Average Switching Activity in Combinational and Sequential Circuits," ACM/IEE Design Automation Conf., pp. 253-259, 1992.
- [2] F.N. Najm, "A Survey of Power Estimation Techniques in VLSI Circuits," IEEE Trans. on VLSI Systems, pp. 446-455, Dec. 1994.
- [3] J. Monteiro, S. Devadas, and B. Lin, "A Methodology for Efficient Estimation of Switching Activity in Sequential Logic Circuits," ACM/IEEE Design Automation Conf., pp. 12-17, 1994.
- [4] R. Burch, F. N. Najm, P. Yang, and T. N. Trick, "A Monte Carlo Approach for Power Estimation," IEEE Trans. on VLSI systems, vol. 1, No. 1, pp.63-71, March 1993.
- [5] A. Papoulis, Probability, Random Variables, and Stochastic Processes, 3rd Edition, New York: McGraw-Hill, 1991.