전류모드 CMOS에 의한 3치 가산기 및 승산기의 구현

장성원*, 박병호*, 박상주*, 한영환*, 성현경*
*상지대학교 컴퓨터정보공학부
e-mail: bestpolarbear@nate.com, eden200@sangji.ac.kr, sangjoo77@hanmail.net,
yhhan@sangji.ac.kr, hkseong@sangji.ac.kr

Implementation of Ternary Adder and Multiplier Using Current-Mode CMOS

Sung-Won Jang*, Byung-Ho Park*, Sang-Joo Park*
Young-Hwan Han*, Hyeon-Kyeong Seong*

*School of Computer Information and Communication Eng. Sangji University

요 약

본 논문에서 3치가산기와 승산기(multiplier)는 전류모드 CMOS에 의해서 구현된다. 첫째, 3치 T-gate를 집적회로 설계의 유효 가용성을 갖고 있는 전류모드 CMOS를 이용하여 구현한다. 둘째, 3치 T-gates를 이용해 회로가 유한체 GF (3)에 대하여 2변수 3치 가산표 (2-variable ternary addition table) 및 구구표 (multiplication table)가 실현되도록 구현한다. 마지막으로, 이러한 동작 회로들은 1.5 CMOS 표준 기술과 15㎂ 단위전류(unit current) 및 3.3V 소스 전압 (VDD voltage)에 의해 활성화 된다. 활성화 결과는 만족할 만한 전류 특성을 나타냈다. 전류 모드 CMOS에 의하여 실행되는 3치가산기 및 승산기는 단순하며 와이어 라우팅(wire routing)에 대하여 정규적이고, 또한 셀 배열 (cell array)과 함께 모듈성 (modularity)의 특성을 갖고 있다.

1. 서론

최근 2진 논리에 근거한 집적회로 기술의 발전으로 회로의 형태가 VLSI 및 ULSI화 되어 단일 칩 상에 많은 양의 회로를 집적할 수 있게 되었다. 초기의 다치 논리회로의 구현은 주로 전압모드 접합 트랜지스터와 CMOS 회로에 의해 이루어져왔다.[1-2] 그러나 대부분의 전압모드 다치 논리회로는 회로의 복잡성과 전달지연 때문에 2치 논리회로와 경쟁이 되지 못하여 새로운 기술인 전류모드 CMOS 다치 논리회로가 1980년 중반에 소개되었다[3]. Uemura [4]는 다접합 표면 터널 트랜지스터를 사용하여 3치 T-게이트와 3치 데이터 플립플롭을 설계하였으나 이 회로들은 논리 레벨의 전압기준이 0.2V로 매우 낮은 단점이 있으며, 불규칙 회선경로 선택, 복잡한 제어문제, 비모듈화 구조의 부족 때문에 VLSI 설계에 부적합하다.

본 논문에서는 Uemura 등이 제시한 전압모드의 단점을 보완하고, 회선경로의 규칙성, 간단한 전류 제어, 모듈화 구조를 갖는 3치 T-게이트를 전류모드 CMOS로 구현하고, 3치 T-게이트를 이용하여 2변수 3치 가산기 및 승산기를 구현하였다.

2. 전류모드 CMOS 기본회로

전류모드 CMOS회로는 정보를 전류로 표현하므로 공급전원의 크기를 증가할 필요가 없으며, 전류의 가산과 감산이 용이함으로 가산, 감산 및 보수연산을 쉽게 실현할 수 있는 장점이 있다. 아날로그 MOS 회로에서 지금까지 전류미러의 출력을 정전류원으로 이용하는 방법이 자주 사용되고 있다. 그러나 보다 안정하고, 점유면적 면에서 우수한 전류원의 실현은 공핍형 PMOS를 사용한 방법이 제안되고 있으며, 전류원은 다음 식 (1)과 같이 나타낸다.

$$l_{out_\gamma} = K(W/L)(W_{TH})^2[1+\lambda(V_{DD})-V_{out}] \quad (1)$$

식 (1)식에서 λ를 충분히 작게 할 수 있으며, 전원전압 변동에 의해 거의 영향을 받지 않게 할 수 있고 VDD 이외의 바이어스 전압은 필요하지 않다.

2.1 전류차분회로

전류모드 CMOS에 의한 전류차분회로는 그림 1과 같이 구성한다. 그림 1에서 정전류원으로 표시되는 문턱전류 I_C와 다이오드 특성을 나타내는 M1 트랜지스터로 구성된다. 이 회로에 대한 동작특성이 식 (2)와 같다.

$$I_{out} = \begin{cases} I_C - I_i & iff \quad I_C > I_i \\ 0 & iff \quad I_C \le I_i \end{cases} \quad (2)$$

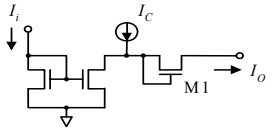


그림 1. 전류차분회로
Fig. 1. Current differential circuit

2.2 전류미러회로

전류모드 CMOS에 의한 전류미러회로는 그림 2와 같이 구성한다. 그림 2의 전류미러회로는 하나의 입력전류 I_i에 대하여 소자 특성이 동일한 경우 여러 개의 출력전류를 갖는다. 전류이득에 관계되는 MOS 소자의 폭(W)과 길이(L)의 비율이 동일하다고 가정한 경우 출력전류는 입력전류와 같은 값을 갖게 된다.

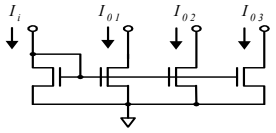
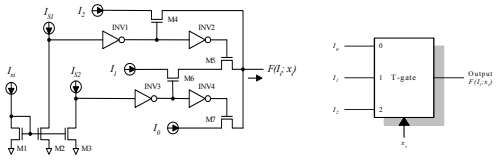


그림 2. 전류미러회로
Fig. 2. Current mirror circuit

3. 전류모드 CMOS에 의한 3치 T-게이트의 구현

전류모드 CMOS에 의한 3치 T-게이트 회로가 그림 3(a)와 같으며, 그림 4(b)는 기호이다.



(a) (b)

그림 3. 3치 T-게이트 (a) 회로 (b) 기호
Fig. 3. T-gate (a) Circuit (b) Symbol

그림 3(a)의 전류모드 CMOS에 의한 3치 T-게이트 회로에서 I_{xi}는 제어신호이며, 기준 전류원 I_{s1}은 30μA이고 I_{s2}은 15μA이다. 입력 전류원은 I_0, I_1, I_2이며, 임의의 전류값을 갖는다. 그림 4는 그림 3(a)의 3치 T-게이트 회로의 시뮬레이션 결과이다.

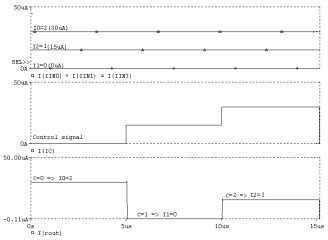


그림 4. 3치 T-게이트 회로의 시뮬레이션 결과
Fig. 4. T-gate circuit simulation results

그림 4에서 $I_0 = 30\mu A$, $I_1 = 0\mu A$, $I_2 = 15\mu A$의 전류를 가하고, 제어신호 x를 0㎂, 15㎂, 30㎂로 변화시켰을 경우 3치 T-게이트의 출력전류는 30㎂, 0㎂, 15㎂를 보인다.

4. 전류모드 CMOS에 의한 3치 가산기 및 승산기 구현

4.1 2변수 3치 가산기 및 승산기 구현

2변수 3치 가산은 식 (3)에 의해 구할 수 있으며, 2변수 3치 승산은 식 (4)와 같이 구할 수 있다.

$$F(x,y) = (x+y)\bmod(3) \quad (3)$$
$$F(x,y) = (x \bullet y)\bmod(3) \quad (4)$$

표 1(a)는 식 (3)에 의한 2변수 3치 가산 진리표이고, 표 1(b)는 식 (4)에 의한 2변수 3치 승산 진리표이다.

표 1. 2변수 3치 진리표 (a) 가산표 (b) 승산표
Table 1. 2 variable 3 value adder Truth-table

(a) 가산표

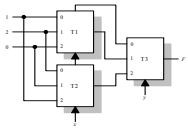
y \ x	0	1	2
0	0	1	2
1	1	2	0
2	2	0	1

(b) 진리표

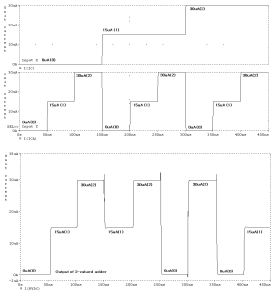
y \ x	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

4.1.1 2변수 3치 가산기 구현

앞장에서 논한 전류모드 CMOS에 의한 3치 T-게이트를 사용하여 표 1(a)의 2변수 3치 가산표를 실현하는 회로가 그림 5(a)와 같으며, 그림 6(b)는 제어신호 x, y의 값에 대한 가산기의 시뮬레이션 결과이다.



(a) 2변수 3치 가산기 회로도



(b) 시뮬레이션 결과

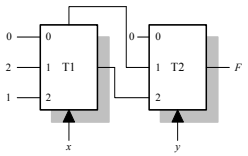
그림 5. 2변수 3치 가산기 회로도 및 시뮬레이션결과
Fig. 5. 2 variable 3 value adder circuit and simulation results

그림 5(a)에서 제어신호 x가 1이면 T1의 출력은 2이고 T2의 출력은 0이 된다. 이 출력들은 T3의 입력으로 가해지며, T3의 0위치에는 x의 값이 그대로 가해진다. 그림 5(b)의

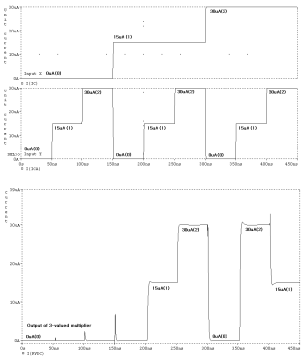
시뮬레이션 결과에서 제어신호 $x=1(15\mu A)$, $y=0(30\mu A)$ 인 150ns에서 2변수 3치 가산기의 출력은 15㎂ (논리값 1)을 보인다.

4.1.2 2변수 3치 승산기 구현

앞장에서 논한 전류모드 CMOS에 의한 3치 T-게이트를 사용하여 표 1(b)의 2변수 3치 승산표를 실현하는 회로가 그림 6(a)와 같으며, 그림 6(b)는 제어신호 x, y 의 값에 대한 승산기의 시뮬레이션 결과이다.



(a) 2변수 3치 승산기 회로도



(b) 시뮬레이션 결과

그림 6. 2변수 3치 승산기 회로도 및 시뮬레이션결과
Fig. 6. 2 variable 3 value multiplier circuit and simulation results

그림 6(a)에서 제어신호 x가 1이면 T1의 출력은 2이고, 이 출력은 T2의 2위치에 입력으로 가해지며, T2의 0위치에는 0의 값이 가해지고 T2의 1위치에는 x의 값이 그대로 가해진다. 그림 6(b)의 시뮬레이션 결과에서 제어신호 $x=1(15\mu A)$, $y=2(30\mu A)$ 인 250ns에서 승산기의 출력은 30㎂, (논리값 2)을 보인다.

5. 결 론

본 논문에서는 전류모드 CMOS를 사용하여 3치 가산기 및 3치 승산기를 구현하였으며, 먼저 효과적인 집적회로 설계 이용성을 갖는 전류모드 CMOS를 사용하여 3치 T-게이트를 구현하였다. 구현된 3치 가산기와 승산기들에 대한 단위전류 I_u는 15㎂로 하였으며, CMOS의 채널 폭과 길이 W/L은 $20\mu m/2\mu m$이다. VDD 전압은 3.3V를 사용하였으며, MOSFET 모델은 LEVEL 3을 사용하였다.

본 논문에서 구현한 전류모드 CMOS의 3치 가산기와 승산기는 일정한 회선경로 선택의 규칙성, 간단성, 셀배열에 의한 모듈성의 이점을 가지며, 특히 차수 m이 증가하는 유한체의 두 다항식의 가산 및 승산에서 확장성을 가지므로 VLSI화 실현에 적합할 것으로 생각된다.

참 고 문 헌

[1] S. L. Hurst, "Multiple-Valued Logic - Its Status and Its Future," IEEE Trans. Computer, vol. C-33, pp. 1160-1170, Dec. 1984.

[2] K. C. Smith, "Multiple-Valued Logic : a Tutorial and Application," IEEE Computer Mag., pp.17-27, Apr. 1987.

[3] S. P. Onneweer and H. G. Kerkhoff, "Current-Mode CMOS High-Radix Circuits," IEEE Proc. of 16th International Symposium on Multiple-Valued Logic, Virginia, USA, pp.60-69, May 1986.

[4] T. Uemura and T. Baba, "Demonstration of a Novel Multiple-Valued T-Gate Using Multiple-Junction Surface Tunnel Transistors and Its Application to Three-Valued Data Flip-Flop," IEEE Proc. of 30th International Symposium on Multiple-Valued Logic, Portland, USA, pp.305-310, May 2000.