

CMOS 소자 응용을 위한 Plasma doping과 Silicide 형성

최장훈, 도승우, 서영호, 이용현

경북대학교 전자전기컴퓨터학부

CMOS 소자가 서브마이크론($0.1 \mu\text{m}$) 이하로 스케일다운 되면서 단채널 효과(short channel effect), 게이트 산화막(gate oxide)의 누설전류(leakage current)의 증가와 높은 직렬저항(series resistance) 등의 문제가 발생한다. CMOS 소자의 구동전류(drive current)를 높이고, 단채널 효과를 줄이기 위한 가장 효율적인 방법은 소스 및 드레인의 얇은 접합(shallow junction) 형성과 직렬 저항을 줄이는 것이다.

플라즈마 도핑 방법은 플라즈마 밀도 컨트롤, 주입 바이어스 전압 조절 등을 통해 저 에너지 이온주입법보다 기판 손상 및 표면 결함의 생성을 억제하면서 고농도로 얇은 접합을 형성할 수 있다. 그리고 얇은 접합을 형성하기 위해 주입된 불순물의 활성화와 확산을 위해 후속 열처리 공정은 높은 온도에서 짧은 시간 열처리하여 불순물 물질의 활성화를 높여주면서 열처리로 인한 접합 깊이를 얇게 해야 한다. 그러나 접합의 깊이가 줄어들어 따라서 소스 및 드레인의 표면 저항(sheet resistance)과 접촉저항(contact resistance)이 급격하게 증가하는 문제점이 있다. 이러한 표면저항과 접촉저항을 줄이기 위한 방안으로 실리사이드 박막(silicide thin film)을 형성하는 방법이 사용되고 있다.

본 논문에서는 (100) p-type 웨이퍼 He(90 %) 가스로 희석된 PH_3 (10 %) 가스를 사용하여 플라즈마 도핑을 실시하였다. 10 mTorr의 압력에서 200 W RF 파워를 인가하여 플라즈마를 생성하였고 도핑은 바이어스 전압 -1 kV에서 60 초 동안 실시하였다. 얇은 접합을 형성하기 위한 불순물의 활성화는 ArF(193 nm) excimer laser를 통해 460 mJ/cm^2 의 에너지로 열처리를 실시하였다. 그리고 낮은 접촉비저항과 표면저항을 얻기 위해 metal sputter를 통해 TiN/Ti를 800/400 Å 증착하고 metal RTP를 사용하여 실리사이드 형성 온도를 $650 \sim 800 \text{ }^\circ\text{C}$ 까지 60 초 동안 열처리를 실시하여 TiSi_2 박막을 형성하였다. 그리고 TiSi_2 의 두께를 측정하기 위해 TEM(Transmission Electron Microscopy)을 측정하였다. 화학적 결합상태를 분석하기 위해 XPS(X-ray photoelectric)와 XRD(X-ray diffraction)를 측정하였다. 접촉비저항, 접촉저항과 표면저항을 분석하기 위해 TLM(Transfer Length Method) 패턴을 제작하여 I-V 특성을 측정하였다. TEM 측정결과 TiSi_2 의 두께는 약 580 Å 정도이고 morphology는 안정적이고 실리사이드 집괴 현상은 발견되지 않았다. XPS와 XRD 분석결과 실리사이드 형성 온도가 $700 \text{ }^\circ\text{C}$ 에서 C54 형태의 TiSi_2 박막이 형성되었고 가장 낮은 접촉비저항과 접촉저항 값을 가진다.