

# FPGA기반의 파장영역 광학단층 영상기를 위한 고속연산 시스템

## FPGA-based high speed imaging system for spectral domain optical coherence tomography

신준근, 이창수\*, 민은정, 이병하

광주과학기술원 정보통신공학과, \*수원대학교 전자공학과

jgshin@gist.ac.kr

**Abstract** We present a high speed imaging system for spectral domain optical coherence tomography (SD-OCT) using a field programmable gate array (FPGA) instead of a conventional computer-based imaging system. The image ( $512 \times 2048$ ) acquisition time of 33 ms per frame was achieved including real time display.

Optical Coherence Tomography (OCT)는 생체나 물질 내부의 미세조직을 비침습 및 비접촉으로 영상화 시킬 수 있는 광단층조영기법으로써<sup>(1)</sup>, 고분해, 고감도로 시료에 대한 2D 단층정보를 빠르게 제공할 수 있다. 최근 여러 분야에서 마이크로 단위의 미세구조 분석이나 의학적 병변의 조기 진단을 위한 장비로서 많은 각광을 받고 있다. 특히 Spectral-domain OCT (SD-OCT)는 Time-domain OCT (TD-OCT)와는 다르게 간섭 스펙트럼을 측정하는 방법을 사용함으로써 기준단의 기계적인 스캔 없이 샘플단의 스캐닝만으로도 2D 및 3D 단층 영상을 빠르게 구현할 수 있다는 장점이 있다<sup>(2)</sup>.

SD-OCT 시스템으로부터 샘플에 대한 깊이 정보를 얻기 위해서는 간섭 스펙트럼을 획득한 후 Inverse Fast Fourier Transform (IFFT)을 비롯한 일련의 신호처리 과정을 거쳐야 한다. 일반적인 시스템의 경우 컴퓨터를 통한 IFFT 연산과 관련 신호처리에 소요되는 시간이 선형 카메라로부터 데이터를 취득하는 시간보다 훨씬 길므로 시스템의 최대 이미징 속도는 실험에 사용되는 컴퓨터의 연산속도에 의하여 결정된다. 컴퓨터를 사용하는 대부분의 시스템에서는 15 frames/s (15,000 lines/s) 이상의 실시간 이미징 속도를 갖기 어려운데 여기에 부가적인 연산이 추가될 경우 이미징 속도는 이보다 더 느려지게 된다. 본 논문에서는 IFFT를 포함한 컴퓨터에서 수행되는 신호처리의 과정을 Field Programmable Gate Array (FPGA)를 사용하여 실시간 SD-OCT의 구현에 적합하도록 고속으로 실행하는 방법에 대한 기초연구를 수행하였다. FPGA를 사용하여 시스템을 구축할 경우 컴퓨터의 연산속도에 구애받지 않고 선형 카메라의 최대 동작속도까지 실시간 이미징 속도를 높일 수 있다.

그림 1은 제안된 시스템의 전체 구성도이다. 기존의 대부분의 시스템과 같이 컴퓨터를 기반으로 한 시스템의 경우 선형 카메라로부터 프레임그래버를 통해 신호가 컴퓨터로 전달되어 IFFT를 비롯한 신호처리 과정을 수행한다. 이러한 시스템은 영상이 신호 처리 과정 이후 구성되어 모니터에 출력되는 반면 제안된 시스템의 경우 신호가 카메라로부터 FPGA를 통해 고속 처리되어 영상이 모니터로 직접 출력이 되고 이는 컴퓨터에 대한 의존성이 없다. 그림 2는 연산시스템 내부의 간략화된 데이터 흐름도로서 간섭 스펙트럼을 선형 카메라로부터 읽어 들이기 위한 프레임그래버,

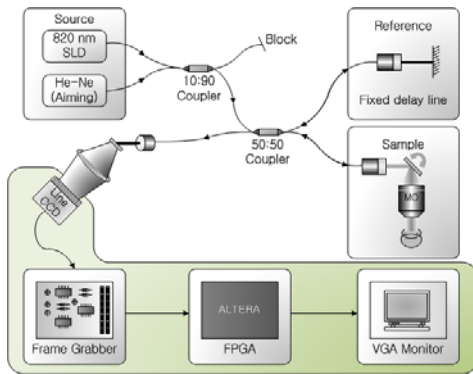


그림 1. SD-OCT 시스템의 전체 구성도

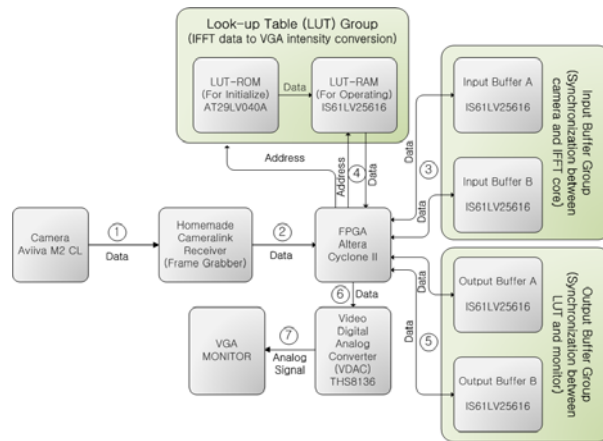


그림 2. 연산 시스템의 개략도 및 데이터 흐름도

신호처리를 위한 FPGA, 다수의 프레임을 저장하고 로그 연산 및 8 비트 이미지 변환을 위한 메모리, 연산 이후의 데이터를 표시하기 위해 사용되는 Video Digital Analog Converter (VDAC)와 모니터 등을 포함하고 있다. 메모리는 한순간에 읽기 또는 쓰기 동작 중 하나만 할 수 있으므로 연속적인 연산 및 출력을 위해서 입출력버퍼가 각각 두개씩 배치 되었다. 기호로 된 숫자는 데이터 흐름의 순서를 나타낸다.

시스템에 전원이 인가되면 FPGA는 상대적으로 읽기 시간이 긴 장치인 Read Only Memory (ROM)로 구성된 Look-up Table (LUT)로부터 읽기 시간이 빠른 고속 연산을 위한 Random Access Memory (RAM)로 LUT의 내용을 이동시킨다. 선형 카메라로부터 획득된 간섭 스펙트럼은 프레임그래버를 통해 한 프레임 (512 × 2048 pixels)이 구성될 때까지 입력버퍼 A에 저장된다. 하나의 프레임에 대해 저장이 완료되면 FPGA에서는 입력버퍼 A로부터 저장된 데이터를 읽어 들여 IFFT를 수행함과 동시에 입력 버퍼 B에 한 프레임이 구성될 때까지 간섭 스펙트럼을 저장한다. IFFT가 수행된 데이터는 RAM으로 구성된 LUT를 통해 8비트 이미지로 변환되어 출력버퍼 A에 저장된다. 입력 버퍼 B에 수집이 완료되면 출력버퍼 A로부터 이미지 데이터를 읽어 들여 VDAC를 통해 모니터에 출력되고 입력 버퍼 A와 B의 역할이 뒤바뀌게 된다. 마찬가지로 다음단계에 입력버퍼 A에 하나의 프레임에 대한 수집이 완료되면 입출력 버퍼 A와 B의 역할이 뒤바뀌게 된다. 이와 같은 동작을 통해 카메라로부터의 간섭 스펙트럼의 수집, IFFT 및 신호처리, 모니터로의 출력을 파이프라인 구조로서 동시에 병렬처리를 수행 하게 된다.

본 연구에서는 SD-OCT 시스템의 신호처리를 FPGA를 이용하여 처리함으로써 실시간 고속 이미징의 가능성을 보여주었다. 현재 선형 카메라로부터 한 프레임 (512 × 2048 pixels)의 이미지를 얻는데 걸리는 시간은 33 ms이며 이는 약 30 frames/s에 해당하나 FPGA의 구조적 개선이 병행되면 18.32 ms 까지 가능하며 이는 약 55 frames/s 에 해당한다. 현재 구성된 시스템에서는 B 스캔을 위한 갈바노미러를 제어하기 위한 신호가 배제되어 있어 A 스캔만 가능하나 향후 제어신호를 발생시킬 Digital Analog Converter (DAC)를 포함하여 고속의 3D 데이터를 얻을 수 있는 시스템을 구현하고자 한다.

## REFERENCES

1. D. Huang et al., "Optical Coherence Tomography," Science, 254, pp. 1178 ~ 1181, 1991.
2. G. Hausler and M. W. Lindner, "Coherence radar and spectral radar - new tools for dermatological diagnosis," J. Biomed. Opt. pp. 21 ~ 31, 1998.