

# 박막트랜지스터를 이용한 메모리소자에 대한 연구

허창우\*

\*목원대학교 전자공학과

## The study on memory device using amorphous transistor

Chang-wu Hur\*

\* Dept. of Electronic Engineering, Mokwon Univ.

E-mail : chang@mokwon.ac.kr

### 요 약

본 연구는 비정질실리콘 박막트랜지스터를 비휘발성 메모리소자로 제작함으로써 스위칭 소자로 사용되는 박막트랜지스터(TFT)의 응용범위를 확대시키고, 비정질 실리콘 사용에 따라 대면적화에 적합하고 아울러 값싼 기판을 사용할 수 있게 한 비정질 실리콘 비휘발성 메모리소자에 관한 것이다. 이와 같은 본 연구는 유리기판과 그 유리기판위에 증착시켜 패터닝한 게이트, 그 게이트를 덮어씌운 제1 절연층, 그 제1 절연층위에 증착시켜 패터닝한 플로우팅 게이트와 그 플로우팅 게이트를 덮어씌운 제2 절연층, 그 제2 절연층위에 비정질실리콘을 증착시킨 액티브층과 그 액티브층위에 n+ 비정질실리콘을 증착시켜 패터닝한 소오스/드레인층 그리고 소오스/드레인층 위에 증착시킨 소오스/드레인층 전극으로 비정질실리콘 박막트랜지스터 비휘발성 메모리소자를 구성한다.

### 1. 서론

비정질(또는 비결정) 과 다결정 그리고 단결정은 구성 원자들 간의 상호 배열에 대한 규칙성에 따라 구별된다. 단결정이나 다결정에 비해 비결정은 원자들 간에 구성이 무질서하여 전자소자로써 사용이 매우 제한되어 왔다. 그러나 이 비결정에서도 원자들간에 상호 단거리 질서(배위수, 원자간격)가 존재하여 전기적인 특성이 단결정에 비하여 상당히 떨어져도 특정한 용도의 전자소자로써 사용이 가능하여 이에 대한 연구가 1980년대 이후 상당히 진척되어 왔다. 특히 비정질 실리콘의 경우 다른 재료에 비하여 광전변환 특성이 매우 우수하여 이 분야에서의 박막 개발은 상당한 성과를 이루고 있다.

특히 수소화된 비정질실리콘(hydrogenated amorphous silicon, a-Si:H)은 비정질실리콘의 dangling bond를 수소와 결합하여 국부적준위(localized states)를 감소시킴으로써 양질의 a-Si:H 박막을 제조할 수 있다.

수소화된 비정질실리콘은 결정질실리콘에 비하여 캐리어의 이동도 및 암전도도 등의

전기적특성은 비교적 낮은 반면에 광흡수계수, 광학적 밴드갭(optical bandgap) 및 광전도도 등의 광학적 특성은 우수하기 때문에 그 광학적 특성을 이용하여 태양전지, LCD, 복사기, pc용 scanner, facsimile 그리고 센서 등 소자의 개발이 확대되고 있다.

정보통신, computer 그리고 multimedia 등의 발달과 함께 기억소자의 개발이 요구되어 현재 ULSI 시대를 맞고 있다.

집적도가 향상 될수록 소자의 크기는 축소되고 이것은 메모리를 위한 저장장소의 감소를 야기 시키고 기억소자의 감도를 저하시킨다. 그러므로 기억소자의 저장전하를 충분히 지속시켜 전원이 가해지지 않아도 계속 데이터를 저장 할 수 있는 메모리소자의 개발은 매우 필요하다.

본 연구는 비정질실리콘 박막트랜지스터를 비휘발성 메모리소자로 제작함으로써 스위칭 소자로 사용되는 박막트랜지스터(TFT)의 응용 범위를 확대시키고, 비정질 실리콘 사용에 따라 대면적화에 적합하고 아울러 값싼 기판을 사용할 수 있게 한 비정질 실리콘 비휘발성 메모리 소자에 관한 것이다.

## 2. 비정질실리콘 박막트랜지스터 비휘발성 메모리소자의 제조 및 특성

본 연구는 비정질실리콘 박막트랜지스터를 사용한 메모리소자에 관한 것으로, 특히 비정질실리콘을 사용하여 비휘발성 메모리소자를 제작함으로써 스위칭소자로 사용되는 박막트랜지스터의 응용범위를 확대시키고, 비정질실리콘 사용에 따른 대면적화에 적합하고 아울러 값싼 기판을 사용할 수 있게 한 비정질실리콘 박막트랜지스터를 이용한 비휘발성 메모리소자에 관한 것이다.

일반적으로 비정질실리콘을 사용해서 휘발성 메모리소자나 비휘발성 메모리소자를 제작하는 경우는 적었으며, 일반적으로 결정질 실리콘을 사용하여 MOSFET 타입의 비휘발성메모리 소자를 제작하고 있다. 종래 기술에 의한 MOSFET 타입의 비휘발성 메모리 소자의 구조는 그림 1에 도시한 바와같이 n-형(또는 p-형) 실리콘 기판의 상부 양측에 p+ 가 도핑되어 소오스/드레인 영역이 형성되고 그 소오스/드레인 영역 사이의 기판위에 소오스/드레인 영역과 약간 중첩되어 얇은 게이트 절연층이 형성되며, 그 위에 플로팅 게이트(Floating gate) 가 형성되며 그 게이트의 위에 상부게이트 절연층 봐 두껍게 절연층이 형성되고, 그 절연층 위에 게이트 메탈 층이 형성된 구조로 구성되어 있다. 이와 같이 구성된 종래의 MOSFET 타입의 비휘발성메모리 소자는 게이트 메탈 층과 기판 사이에 전압이 인가되면 게이트 절연을 통해서 결정질실리콘 웨이퍼인 기판에서 전하가 주입되어 플로팅 게이트에 그 전하가 저장된다. 저장된 전하는 문턱전압을 이동시켜 문턱전압을 상승하여 저장된다. 이렇게 만들어진 메모리소자는 전하유지시간이 약 100년 이상이 되어 비휘발성 메모리소자로 충분한 유지시간을 갖게 된다. 저장된 전하를 지우기 위해서 또 메모리소자의 문턱전압을 낮추기 위해서는 게이트 전압을 인가하던지 자외선 빛을 주사하여 저장된 전하를 지우고 메모리소자의 문턱전압을 낮출 수 있다. 그러

나 종래의 MOSFET 타입의 비휘발성메모리 소자는 기판으로서 결정질 실리콘이 사용되므로 높은 온도공정이 사용되고 제작공정 시설 및 재료비가 비싸게 되는 문제가 있다. 본 연구의 목적은 종래의 문제점을 감안하여 저온공정이 가능하고 재료비가 싼 유리기판위에 비정질실리콘 박막트랜지스터를 사용하여 비휘발성 메모리소자를 구성하도록 함으로써 주로 스위칭 소자로 사용되어 왔던 비정질실리콘 박막트랜지스터의 응용범위를 확대시키고자 한다. 본 연구의 비정질실리콘 박막트랜지스터를 사용한 메모리소자의 구조는 유리기판위에 게이트 메탈을 증착하여 패터닝하고 그 게이트를 제1 절연층으로 덮고 그 위에 플로팅 게이트를 증착 패터닝한 후 제2 절연층, 비정질실리콘 층 및 n+ 비정질실리콘층 증착시켜 패터닝한 소오스/드레인층과 그 소오스/드레인층 위에 증착시킨 소오스/드레인 전극으로 구성되어 있다. 이와 같이 비정질실리콘을 사용하므로 저온 공정이 가능해지고, 유리기판을 사용하므로 재료비가 싸지며 플로팅 게이트를 사용하고 박막공정에 의해 비휘발성 메모리소자를 제조하여 비교적 저렴하고 대면적의 기억소자를 제조할 수 있는 효과를 얻을 수 있다. 그림 2는 본 연구의 비정질실리콘 박막트랜지스터를 이용한 비휘발성 메모리소자의 구조의 상세도를 나타낸다. 제조 공정은 먼저 유리기판위에 Cr 금속을 스퍼터링 장치로 증착시켜 패터닝하고 다음에 300 Å 의  $\text{Si}_3\text{N}_4$  막을 PECVD 장치로 형성한 후 Cr을 스퍼터링 장치로 2000 Å 증착시켜 패터닝한다. 플로팅 게이트 위에 2000 Å 의  $\text{Si}_3\text{N}_4$  박막을 PECVD 장치로 형성한 후 그 위에 3000 Å 의 a-Si:H 층을 PECVD 장치로 증착시켜 활성 층을 형성한다. 활성층위에 n+a-Si:H 층을 500 Å 증착시켜 패터닝하고 그 위에 Al 전극을 5000 Å 증착시켜 소오스/드레인 전극 패턴을 하여 형성시켰다. 이렇게 구성된 비정질실리콘 박막트랜지스터를 이용한 비휘발성 메모리소자의 동작은 다음과 같다. 게이트전극에 전압을 인가하면 그림

3과 같이 활성층의 비정질실리콘에서 전자가 발생되어 얇은 제2 절연층을 터널링하여 플로우팅 게이트에 축적된다. (기억상태) 여기서 전압을 인가하는 게이트 전극은 소오스/드레인 전극과 분리되어 그들의 사이에 형성되는 전극을 말한다. 이어서 게이트 전극에 축적된 전하가 그대로 유지되어 기억상태가 유지된다. 다음에 상부 게이트 전극에 역 바이어스를 인가하면 상부 플로우팅 게이트에 축적된 전하는 제2 절연층을 통해서 활성층의 비정질실리콘 쪽으로 빠져 나가게 된다. 즉 플로우팅 게이트에 전하가 축적된 후에는 문턱전압이 이동되어 역 바이어스를 가하기 전에는 축적된 전하가 그대로 유지되어 메모리소자로서의 기능을 하게 된다. 이때 반도체 층인 상부 비정질실리콘 층에서 발생된 전하Q에 대한 문턱전압 변화는 가우스(Gauss)의 법칙에 의해 결정되는데 게이트전압  $V_G$ 가 제거되면 저장된 전하 Q에 의해  $\Delta V_T = -\frac{d}{\epsilon Q}$  만큼 문턱전압을 쉬프트(shift)시키게 된다. 따라서 본 실험 소자는 게이트 전압의 인가여부에 따라 플로우팅 게이트에 전하를 축적하던지 방출하던지 할 수 있게 된다.

본 실험 소자는 인버티드-스테거드(inverted-staggered) 박막트랜지스터이나 스테거드나 코플라나 그리고 인버티드 코플라나 등에도 적용 가능하다.

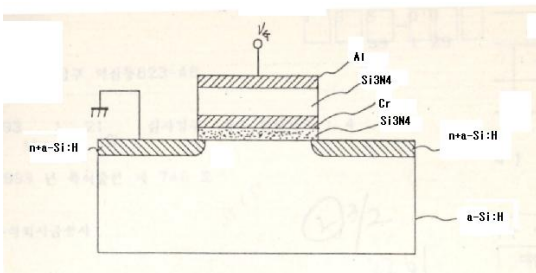


그림1. 본 연구의 비휘발성 메모리소자 구조

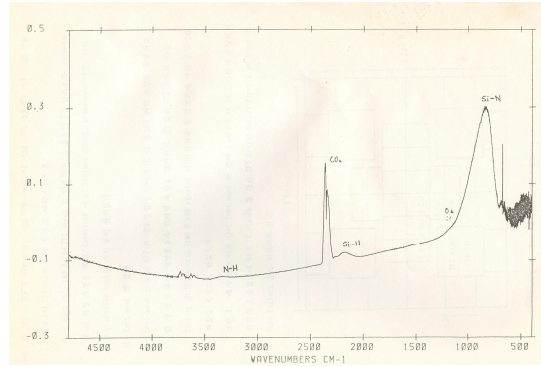


그림2. 수소화된 비정질실화실리콘의 FTIR 측정

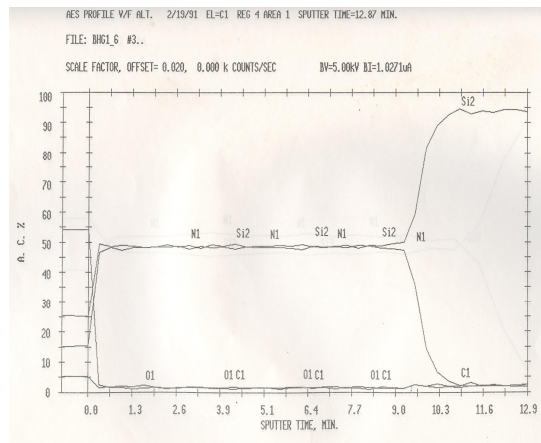


그림3. 수소화된 비정질실화실리콘의 AES 측정

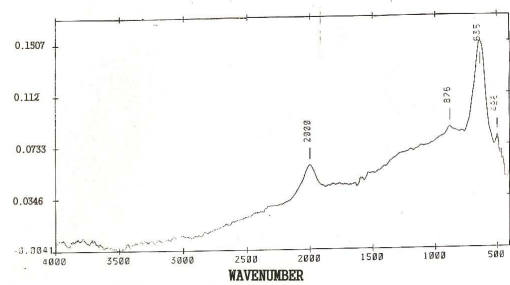


그림4. 수소화된 비정질실리콘의 FTIR 측정

### 3. 결론

본 연구는 비정질실리콘 박막트랜지스터를 비휘발성 메모리소자로 제작함으로써 스위칭 소자로 사용되는 박막트랜지스터(TFT)의 응용 범위를 확대시키고, 비정질 실리콘 사용에 따라 대면적화에 적합하고 아울러 값싼 기판을 사용할 수 있게 한 비정질 실리콘 비휘발성 메모리 소자에 관한 것이다.

본 연구의 비정질실리콘 인버티드-스테거드(inverted-staggered)형 박막트랜지스터를 사용한 메모리소자로 그 구조는 게이트 메탈을 증착하여 패터닝하고 그 게이트를 제1 절연층으로 덮고 그 위에 플로우팅 게이트를 증착 패터닝한 후 제2 절연층, 비정질실리콘 층 및 n+ 비정질실리콘 층을 증착하시켜 패터닝한 소오스/드레인층과 그 소오스/드레인층 위에 증착시킨 소오스/드레인 전극으로 구성되어 있다. 이와 같이 비정질실리콘을 사용하므로 저온 공정이 가능해지고, 유리 기판을 사용하므로 재료가 싸지며 플로우팅 게이트를 사용하고 박막공정에 의해 비휘발성 메모리소자를 제조하여 비교적 저렴하고 대면적의 기억소자를 제조할 수 있는 효과를 얻을 수 있다.

게이트전극에 전압을 인가하면 그림3과 같이 활성층의 비정질실리콘에서 전자가 발생되어 얇은 제2 절연층을 터널링하여 플로우팅 게이트에 축적된다. (기억상태) 여기서 전압을 인가하는 게이트 전극은 소오스/드레인 전극과 분리되어 그들의 사이에 형성되는 전극을 말한다. 이어서 게이트 전극에 축적된 전하가 그대로 유지되어 기억상태가 유지된다. 다음에 상부 게이트 전극에 역 바이어스를 인가하면 상부 플로우팅 게이트에 축적된 전하는 제2 절연층을 통해서 활성층의 비정질실리콘 쪽으로 빠져 나가게 된다. 즉 플로우팅 게이트에 전하가 축적된 후에는 문턱전압이 이동되어 역 바이어스를 가하기 전에는 축적된 전하가 그대로 유지되어 메모리소자로서의 기능을 하게 된다.

본 연구는 비정질실리콘을 사용하여 박막

트랜지스터의 응용범위를 확대시키고, 비정질실리콘 사용에 따른 대면적화에 적합하고 아울러 값싼 기판을 사용할 수 있게 하여 앞으로 그 응용성이 매우 확대되리라 기대된다.

### 참고문헌

1. A. Thean and J.-P. Leburton, "Flash memory: towards singleelectronics," IEEE Potentials, Oct./Nov. (2002), pp. 35-41.
2. S. J. Baik, S. Choi, U.-I. Chung, and J. T. Moon, "High speed and nonvolatile Si nanocrystal memory for scaled flash technology using highly field-sensitive tunnel barrier," IEDM Tech. Dig. (2003), pp. 545-548.
3. Nikkei Microdevice Vol. 2, 2002.
4. Memory Strategies International, Feb. 2005 Edition
5. International Technology Roadmap for Semiconductors 2004 Edition
6. M Bauer et al., "A multilevel-cell 32Mb flash memory," IEEE ISSCC (1995), pp. 132-133.
7. Z. Liu, C. Lee, V. Narayanan, G. Pei and E.C. Kan, IEEE Trans. Electron Devices 49, 1614 (2002).
8. S. Lai, "Tunnel oxide and ETOXtm flash scaling limitation," in Tech. Dig. of Int'l NonVolatile Memory Technology Conference (1998), pp. 6-7.