

전류 부정합을 줄인 PLL Charge Pump

유현철 · 한지형 · 정학기 · 정동수 · 이종인 · 권오신

군산대학교 전자정보공학부

PLL Charge Pump for Reducing Currunt Mismatch

Hyunchul Yu · Jihyung Han · Hakkee Jung · Dongsoo Jeong · Jongin Lee · Ohshin Kwon

School of Electronic and Information Eng., Kunsan National University

E-mail : hkjung@kunsan.ac.kr

요 약

PLL은 위상주파수검출기(PFD), 차지펌프(Charge Pump), 루프필터(Loop Filter), 전압제어발진기(VCO), Divider로 구성하고 있는데 본 논문에서는 설계된 차지펌프 PLL을 시뮬레이션을 해보고 그 결과를 정리하고 레이아웃(layout)까지 하였다. 차지펌프 설계에 있어서 전류 부정합, 전하 공유, 전하 주입, 누설 전류등을 고려할 필요가 있다. 설계된 차지펌프는 전류 부정합을 감소시키기 위해 전류 뺄셈 회로를 이용하여 전류 부정합을 감소시켰으며, spurs를 억제할 수 있도록 설계되었다. 설계된 회로는 0.18 μ m CMOS 공정 기술을 사용하여 CADENCE사의 specter로 시뮬레이션 하였으며, virtuso2로 레이아웃 하였다.

I. 서 론

PLL(Phase Locked Loop)은 위상에 대한 부궤환 루프를 사용하여 입력신호와 출력신호의 위상신호를 줄이거나 0이되게 하는 비선형 아날로그 소자이며 두 신호의 주파수도 같아 지게 된다. 그림 1은 PLL의 블록 다이어그램처럼 위상주파수검출기, 차지펌프, 루프필터, 전압제어발진기, Divider로 구성되어 있다. 여기서 차지펌프는 PLL의 성능을 결정하는 중요한 요소중 하나인데 차지펌프의 설계에 있어서 전류부정합, 전하공유, 전하주입, 누설전류등을 고려할 필요가 있다. 기존의 차지펌프는 두 개의 스위치가 모두 ON이 되는 경우 단락된 회로에 의해서 전압제어발진기의 제어전압이 변하게 되고 또한 두 전류가 정확하게 일치되지 않으면 두 전류의 차는 전압제어발진기의 제어전압을 변화시켜 PLL 전체의 위상 잡음을 발생시켜 reference spur의 발생의 원인이 된다[1].

기존의 PLL의 가지고 있는 이러한 단점을 극복하기 위해 다른 구조로 설계된 차지펌프에 직접 MOSFET의 크기를 설계한 다음 시뮬레이션 결과를 정리하였고 레이아웃해 보았다. 회로 설계는 CMOS 0.18 μ m 공정을 사용하였고

CADENCE사의 specter로 시뮬레이션 하였으며, virtuso2로 레이아웃 하였다.

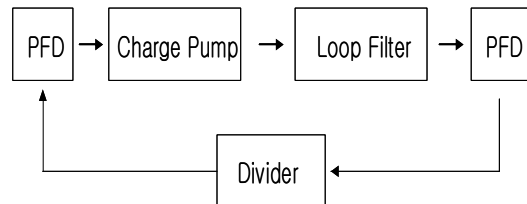


그림 1. PLL 기본구조

II. 차지펌프

차지펌프는 위상주파수검출기(PFD)로부터 나오는 UP / DN 신호를 받아서 루프필터로 전류를 충전하는 부분과 전류를 방전하는 부분으로 구성되어 있고 이것은 전압제어발진기에 공급된다.

문제는 UP / DN 신호가 동시에 1이 되는 경우가 존재한다는 것이다. 두 개의 신호가 모두 ON이 되면 두 충전, 방전 전류가 정확히 일치되어야 전류부정합과 지터(jitter)를 발생시키지 않고 출력전압이 안정되어 일정한 전압제어발진기 주파수를 만들게 된다. 하지만 이 두 전류가 정

확히 일치하는 것은 많은 변수들 때문에 힘들다.

제안된 차지펌프는 전류뿔샘회로[2]를 사용하여 UP과 DN신호가 동시에 1이 되는 경우 두 개의 스위치가 모두 OFF됨으로서 단락전류에 의해 제어전압의 변동을 막을 수 있고, 전류 부정합을 개선시키며, spurs를 억제 할 수 있도록 설계되어있다. 그림 2에서 UP만 1이 되면 IP2의 전류가 PM3와 PM4의 전류미러(current mirror) 회로에 의해 루프필터로 흐르게 된다. DN만 1이 되면 NM7과 NM8의 전류미러 회로에 의해서 루프필터로 흐르게 된다.

UP과 DN이 1인 경우에 PM1에 IP1전류가 흐르고 PM2에 IP2전류가 흐르게 된다. 이때 PM1 < PM2 되게 MOSFET의 크기를 설계하면 PM2가 트라이오드(triode)영역에 들어가게 되어 PM2의 드레인의 전위가 거의 Vdd에 가까워져 PM3의 Vgs값이 문턱전압보다 작게 된다. 그래서 IP2의 전류가 모두 PM2에 흐르게 되고 PM3은 OFF되어 PM3에 흐르는 전류는 0이 된다. 또한 NM5 < NM6되게 MOSFET의 크기를 설계하면 NM6은 트라이오드영역에 들어가게 되고 NM6의 드레인의 전위가 거의 Gnd에 가까워져 NM7의 Vgs값이 문턱전압보다 작게되서 IN2의 전류가 모두 NM6으로 흐르고 되고 NM7은 OFF되어 NM7에 흐르는 전류는 0이 된다. 결국 I1과 I2는 0이 된다.

따라서 그림 2의 차지펌프회로는 UP과 DN신호가 동시에 1이 되는 경우 I1 = I2 = 0이 되어 단락전류에 의한 제어전압의 변동을 막을 수 있고, 두 전류가 정확하게 일치하지 않더라도 MOSFET의 크기를 조절해서 루프필터에 전류가 흐르는 것을 막을 수 있으면 spurs를 억제할 수 있게 설계되어 있다[3].

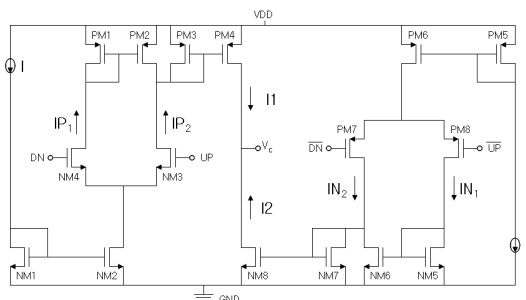


그림 2. 차지펌프 회로

III. 시뮬레이션방법 및 결과

트라이오드영역은

$$I_D = (\mu_n c_{ox}) \frac{W}{L} [(V_{GS} - V_{TH})V_{DS} - \frac{1}{2} V_{DS}^2] \quad (1)$$

포화(Saturation)영역은

$$I_D = \frac{1}{2} (\mu_n c_{ox}) \left(\frac{W}{L}\right) (V_{GS} - V_{TH})^2 \quad (2)$$

표 1. MOSFET 크기 표

PM1	w=6u l=1u	NM1	w=10u l=400n
PM2	w=12u l=180n	NM2	w=10u l=400n
PM3	w=20u l=400n	NM3	w=1u l=180n
PM4	w=20u l=400n	NM4	w=1u l=180n
PM5	w=30u l=400n	NM5	w=3u l=1u
PM6	w=30u l=400n	NM6	w=6u l=180n
PM7	w=3u l=180n	NM7	w=10u l=400n
PM8	w=3u l=180n	NM8	w=10u l=400n

회로의 MOSFET의 크기를 결정하기 위해서 식(1)과 식(2)를 이용하여 시뮬레이션을 통해서 결정할 수 있었다.

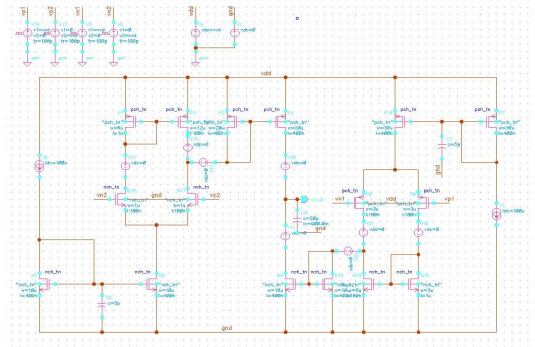


그림 3. Schematic

그림 3은 회로를 시뮬레이션하기 위해 schematic 하였다.

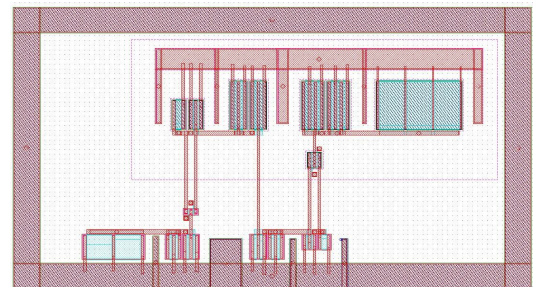


그림 4. 레이아웃

그림 4는 최종 시뮬레이션을 마치고 레이아웃 하였다.

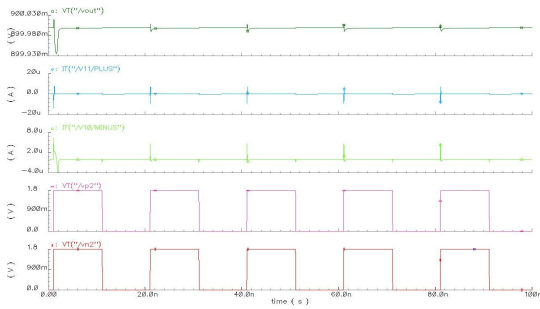


그림 5. UP, DN=1일 때 결과

그림 5는 UP신호, DN신호가 동시에 1일때 전류가 충, 방전 되지 않고 일정하게 유지 하는것을 보여준다.

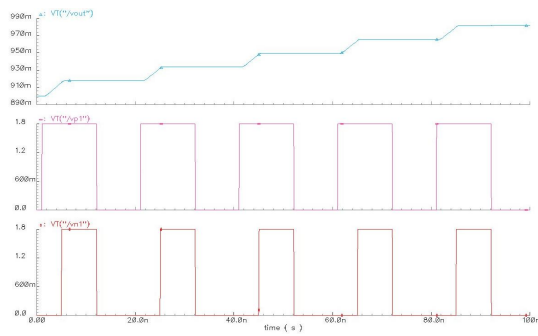


그림 6. UP=1일 때 결과

그림 6은 UP신호만 있을 때 충전 되다가 DN신호가 발생하면 전류를 충, 방전하지 않고 일정하게 유지하는 것을 보여준다.

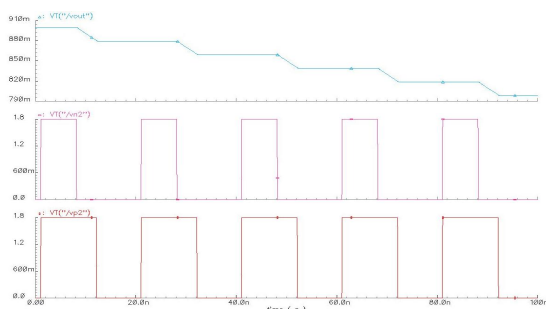


그림 7. DN=1일 때 결과

그림 7은 DN신호만 있을 때 방전 되다가 UP신호가 발생하면 전류를 충, 방전하지 않고 일정하게 유지하는 것을 보여준다.

IV. 결 론

본 논문에서는 전류부정합을 개선시킨 회로를 직접MOSFET의 크기를 구하고 설계 한 후 시뮬레이션을 통해 회로의 특성 결과를 확인 하고 레이아웃까지 하고자 했다. 그래서 시뮬레이션을 통해 스위치가 모두 ON되는 경우 전류가 흐르지 않는 것을 확인 할 수 있었고 UP과 DN이 각각 신호가 들어올 때 충, 방전 되는 것도 확인할 수 있었다. 이것은 즉 입력과 출력의 전류량이 달라서 생기는 전류 부정합에 의해 생기는 오차 특성이 개선되는 것을 확인 할 수 있었다.

감 사 의 글

본 연구는 군산대학교정보통신기술연구소의 부분적인 지원으로 수행되었음

참 고 문 헌

- [1] 김상우, 박준성, 고동현, 부영건, 이강운, "Up/Down Current Mismatch 보상 기능을 추가한 Charge Pump 회로의 설계," 대한전자공학회 하계종합학술대회 제31권 제1호. 2008
- [2] M. G Degrauwe, J. Rijmenants, E. A Vittoz, and H. J. D. Man, "Adaptive Biasing CMOS Amplifiers," IEEE J. Solid-State Circuits, vol. SC-17, no. 3, pp. 522-528, June 1982.
- [3] 최승현, 김종민, 박창선, 이준호, 이근호, 김동용, "듀얼 위상 주파수 검출기를 이용한 CMOS RF Charge-Pump PLL설계," 한국통신학회 논문지 01-10 Vol.26 No.10B, May. 2001