

양자모형을 적용한 실리콘 나노선 트랜지스터의 채널 크기에 따른 전도 및 전하분포 특성 시뮬레이션

황민영, 최창용, 구상모*
광운대학교

Simulation of channel dimension dependent conduction and charge distribution characteristics of silicon nanowire transistors using a quantum model

Min-Young Hwang, Chang-Yong Choi, Sang-Mo Koo*
Kwangwoon Univ.

Abstract : We report numerical simulations to investigate of the dependence of the on/off current ratio and channel charge distributions in silicon nanowire (SiNW) field-effect transistors (FETs) on the channel width and thicknesses. In order to investigate the transport behavior in devices with different channel geometries, we have performed detailed two-dimensional simulations of SiNWFETs and control FETs with a fixed channel length L of 10 μ m, but varying the channel width W from 5nm to 5 μ m, and thickness t from 10nm to 30nm. We have shown that Q_{ON}/Q_{OFF} drastically decreases (from $\sim 2.9 \times 10^4$ to $\sim 9.8 \times 10^3$) as the channel thickness increases (from 10nm to 30nm). As a result of the simulation using a quantum model, even higher charge density in the bottom of SiNW channel was observed than that in the bottom of control channel.

Key Words : SiNW, Nanowire, ON/OFF current ratio, Quantum

*Corresponding Author : smkoo@kw.ac.kr

1. 서론

실리콘 나노선 (SiNWs)은 차세대 Complementary Metal-Oxide Semiconductor (CMOS) Field-Effect Transistors (FETs)와 바이오소자등에 응용가능성으로 주목받고 있는 구조이다[1]. SiNWFETs는 도핑 공정이 생략 될 수 있어서 공정이 간단해 지고 전형적으로 source와 drain Schottky contact과 MOSFETs와 비교하여 gate 컨트롤 능력이 좋아지면서 Short-Channel Effect (SCE)가 줄어들 수 있는 장점을 갖는다. 채널의 폭 및 두께가 작아짐에 따라서 고전적인 모델을 이용한 계산은 양자제한효과를 설명하지 못하므로 양자모형을 적용한 시뮬레이션을 필요로 한다. 이에 본 연구는 SiNWFETs의 채널의 크기에 따른 ON/OFF charge ratio (Q_{ON}/Q_{OFF})와 캐리어 수송에 대한 제한 효과를 시뮬레이션하기위해 양자모델 중에서도 Density Gradient를 사용해 시뮬레이션상의 해석을 비교하였다[2].

2. 실험

시뮬레이션은 2차원 수치해석에 기반한 시뮬레이터를 사용하여 채널의 폭 및 두께에 따른 소자의 특성을 분석하였다.

그림 1에서처럼 실험에 사용된 SiNWFETs의 채널의 길이는 10 μ m로 고정된 상태에서 두께 (t , 10 ~ 30nm), 폭 (W , 5nm ~ 5 μ m)의 변화를 주었다. 실리콘 채널과 기판은 $2 \times 10^{15} \text{ cm}^{-3}$ 로 붕소를 도핑하였다. 또, source와 drain 그리

고 gate의 workfunction은 4.6 eV 으로 하였고 SiO₂와 실리콘 기판의 두께는 각각 100nm와 300nm로 하였다.

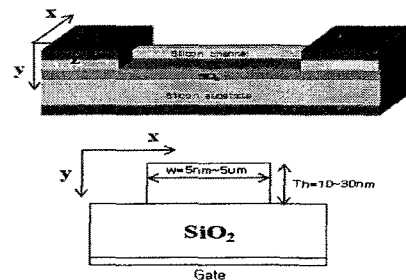


그림 1 SiNWFETs의 개념도

실험은 채널의 폭이 5nm, 5 μ m 크기에서 Q_{ON}/Q_{OFF} 와 채널의 두께가 10nm, 20nm, 30nm일 때의 Q_{ON}/Q_{OFF} 를 구해 소자의 특성을 실험하고, 시뮬레이션 상의 해석을 양자모형을 적용하여 해석의 차이를 실험하였다. 또한 소자의 캐리어가 양자 구속에 미치는 효과를 시뮬레이션 하기 위해서 양자모델 중에서도 Density Gradient를 사용하였는데 Density Gradient 모델의 전류밀도가 각각 다음과 같이 표현 된다.

$$\vec{J}_n = qD_n \nabla n - qn\mu_n \nabla (\psi - \Lambda) - \mu_n n (kT_L \nabla (\ln n_{ie}))$$

$$\vec{J}_p = -qD_p \nabla p - qp\mu_p \nabla (\psi - \Lambda) + \mu_p p (kT_L \nabla (\ln n_{ie}))$$

불확정성의 원리에 의해 전자나 홀의 위치를 동시에 정의하는 것은 불가능하기 때문에 전자나 홀은 분산 Δx 를 가진 웨이브 패킷으로 존재하게 된다. 나노스케일로 작아짐에 따라 Δx 의 크기는 무시할 수 없게 된다. 따라서 반도체 소자의 크기가 작아지면서 반도체 FETs 채널 내부의 국소적인 부분에 전자농도의 기울기가 존재하게 되고 이에 따른 potential에 관한 보정항을 추가한 계산을 해야 하는데 다음과 같이 나타낼 수 있다.

$$A = -\frac{\gamma \hbar^2}{12m} \left[\nabla^2 \log n + \frac{1}{2} (\nabla \log n)^2 \right]$$

$$A = -\frac{\gamma \hbar^2}{6m} \left[\frac{\nabla^2 \sqrt{n}}{\sqrt{n}} \right]$$

3. 결과 및 검토

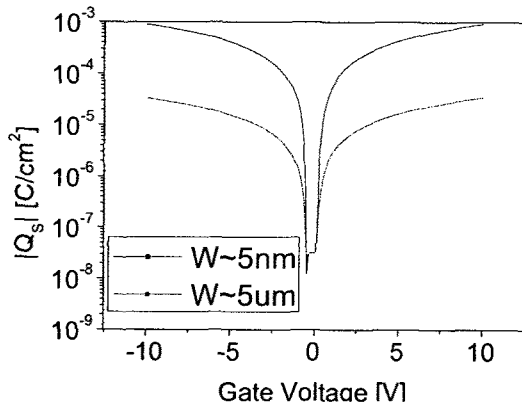


그림 2. 폭에 따른 전하 밀도 $|Q_s|$ 그래프

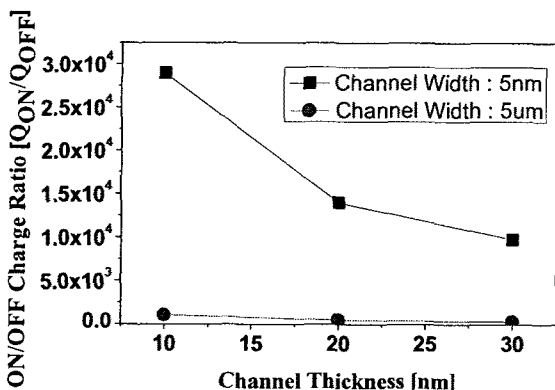


그림 3. 폭 및 두께에 따른 전하 비율 분포

그림 2와 그림 3은 채널의 폭 및 두께 변화에 따른 Q_{ON}/Q_{OFF} 를 비교한 것이다. 채널의 폭이 5nm에서 5um으로 증가하면 각각 $\sim 2.9 \times 10^4$ 에서 $\sim 1.1 \times 10^3$ 으로, $\sim 1.4 \times 10^4$ 에서 $\sim 5.4 \times 10^2$ 으로, $\sim 9.8 \times 10^3$ 에서 $\sim 3.6 \times 10^2$ 으로 작아짐을 확인하였다. 채널의 두께 역시 10nm에서 30nm로 증가하면 $\sim 2.9 \times 10^4$ 에서 9.8×10^3 으로, $\sim 1.1 \times 10^3 \sim 3.6 \times 10^2$ 으로 Q_{ON}/Q_{OFF} 가 약간 감소하는 것을 확인하였다. ON-상태일 때의 전하는 두께에 관계없이 폭이 5um일 때 $\sim 1.73 \times 10^{10}$ 으로 5nm

일 때는 $\sim 4.6 \times 10^{12}$ 으로 동일했고 OFF-상태일 때는 두께가 증가 할 때마다 폭이 5um일 때는 $\sim 1.6 \times 10^{13}$ 에서 $\sim 4.8 \times 10^{13}$ 으로 5nm일 때는 $\sim 1.6 \times 10^{16}$ 에서 $\sim 4.8 \times 10^{16}$ 으로 약간 증가하였고 폭이 5nm에서 5um로 증가하면 약 1000배 커지는 것을 확인하였다.

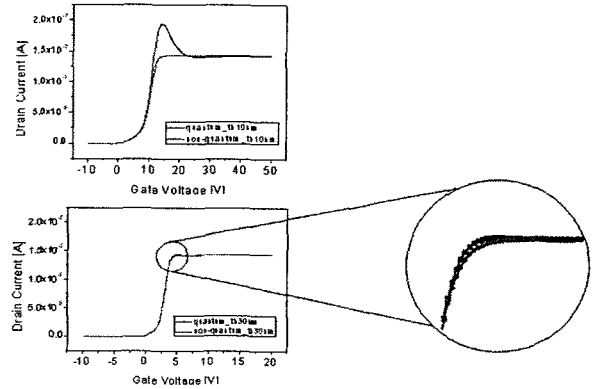


그림 4. 양자모형을 적용한 $I_D V_G$ 그래프 비교

그림 4는 양자모형을 적용했을 때와 그렇지 않을 때의 $I_D V_G$ 특성곡선을 비교한 그래프이다. 채널의 두께가 10nm 일 때를 보면 양자모형을 적용하지 않은 그래프가 포화되는 부분에서 양자모형을 적용한 그래프의 Drain 전류가 급격히 증가하였다가 다시 Gate 전압이 증가하면 전류가 포화되는 곳으로 돌아오는 것을 확인할 수 있다. 채널의 두께가 30nm일 때는 양자모형을 적용하지 않은 모델이 비슷하게 포화되었지만 자세히 보면 약간의 진동하는 구간이 있음을 보았다.

4. 결론

본 연구는 SiNWFETs의 채널의 폭 및 두께에 따른 특성과 양자모형을 적용한 시뮬레이션상의 해석을 비교하기 위하여 연구를 하였다. 채널의 폭이 증가함에 따라 Q_{ON}/Q_{OFF} 가 작아졌고, 두께 역시 증가하면 Q_{ON}/Q_{OFF} 가 작아졌다. 양자모형을 적용한 시뮬레이션 결과 같은 두께에서 양자모형을 적용하지 않은 그래프가 포화되는 부분에서 더 큰 전류가 흘렀다. 두께가 커질 수록 양자모형을 적용한 효과는 감소하였다.

감사의 글

본 논문은 본 논문은 학술진흥재단(KRF-2007-3310173)과 [2008]년도 광운대학교 교내 학술연구비 지원에 의해 연구된 논문임을 밝힙니다.

참고 문헌

- [1] A. Bindal, A. Naresh, Peal Yuan, K. K. Nguyen and S. Hamed-Hagh IEEE Trans. Nanotechnology 6, 291 (2007).
- [2] ATLAS Manual by SILVACO INTERNATIONAL, pp.1-898 (2007)