

## SiO<sub>2</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> 적층구조 터널링 절연막을 적용한 차세대 비휘발성 메모리의 제작

오세만, 박군호, 김관수, 정종완\*, 정홍배, 조원주  
광운대학교, 세종대학교\*

### Fabrication of engineered tunnel-barrier memory with SiO<sub>2</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> tunnel layer

Se-man Oh, Gun-ho Park, Kwan-su Kim, Jong-wan Jung\*, Won-ju Cho  
Kwangwoon Univ., Sejong Univ.\*

**Abstract :** The P/E characteristics of HfO<sub>2</sub> CTF memory capacitor with SiO<sub>2</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> (OHA) engineered tunnel barrier were investigated. After a growth of thermal oxide with a thickness of 2 nm, 1 nm HfO<sub>2</sub> and 3 nm Al<sub>2</sub>O<sub>3</sub> layers were deposited by atomic layer deposition (ALD) system. The band offset was calculated by analysis of conduction mechanisms through Fowler-Nordheim (FN) plot and Direct Tunneling (DT) plot. Moreover the P/E characteristics of HfO<sub>2</sub> CTF memory capacitor with OHA tunnel barrier was presented.

**Key Words :** Tunnel-barrier, High-k, HfO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>

### 1. 서론

서로 다른 유전율을 가지는 절연막을 적층시킴으로서 전계에 대한 터널링 민감도를 높여 메모리 소자의 쓰기/지우기 동작 특성과 보존특성을 동시에 개선하는 TBE (tunnel barrier engineering)에 관한 연구가 최근 많은 관심을 모으고 있다[1]. 또한 터널링 절연막으로 유전율이 큰 high-k 물질을 이용하여 메모리 소자의 동작 특성을 개선시키는 연구 역시 최근 활발히 진행되고 있다. 그러나 아직까지 high-k 물질을 이용한 터널링 절연막에 대한 터널링 특성은 정확히 밝혀지지 않고 있다.

따라서 본 연구에서는 conduction mechanism의 이해를 통해 터널링 절연막의 특성을 연구하고, high-k 물질을 터널링 절연막으로 사용함으로써 소자의 특성을 향상시키는 방법에 대하여 연구하였다.

### 2. 실험

p-type Si 기판을 이용하여 각각 SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub> 단일층 절연막을 가지는 MIS capacitor를 제작하고, 각각의 conduction mechanism에 대해 분석하였다.

또한 분석된 실험 결과를 바탕으로 SiO<sub>2</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> (OHA) 적층구조의 터널링 절연막을 가지는 HfO<sub>2</sub> CTF memory capacitor를 제작하였다. Thermal SiO<sub>2</sub>를 2 nm 성장시키고, HfO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub>는 Atomic layer deposit (ALD)를 이용하여 각각 1 nm, 3 nm 증착하였다. 이어서 charge storage node로 HfO<sub>2</sub>를 8 nm 증착하고 blocking layer로 Al<sub>2</sub>O<sub>3</sub>를 20 nm 증착하였다. E-beam evaporator를 이용하여 TiN전극을 형성하고, C-V측정을 통하여 메모리 특성을 평가하였다.

### 3. 결과

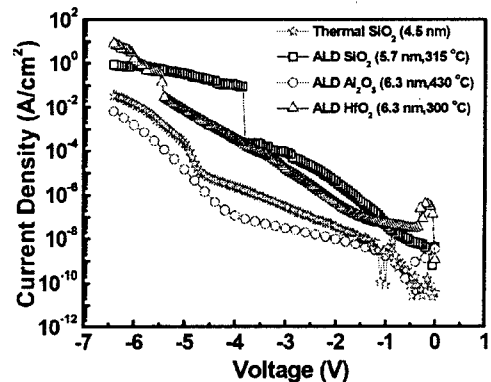


그림 1. 제작된 MIS capacitor의 I-V 특성.

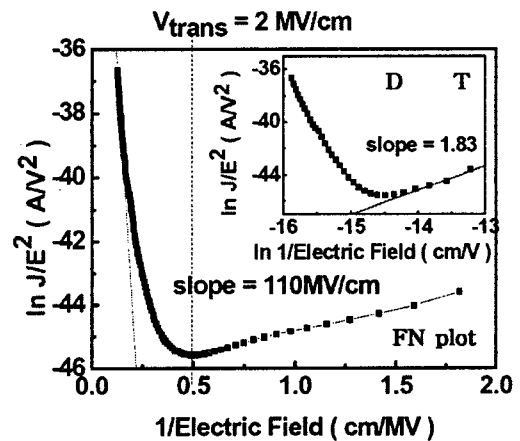


그림 2. HfO<sub>2</sub> 절연막을 가지는 MIS capacitor의 FN plot과 DT plot

그림 1은 SiO<sub>2</sub>, Al<sub>2</sub>O<sub>3</sub>, ZrO<sub>2</sub>, HfO<sub>2</sub>를 이용하여 만든 시료들의 current-voltage 특성을 보여주고 있다. 각각의 절연막이 가지는 고유의 barrier-height를 구하기 위하여 그림 1의 결과를 바탕으로 conduction mechanism을 분석하였다. 절연막이 charge-free 하다고 가정하면, 절연막 내에서의 전

표 1. Fowler-Nordheim (FN) plot 과 Direct Tunneling (DT) plot을 이용하여 계산된 실험결과 정리.

Type	Method	B (MV/cm)	Effective barrier height to Al - $\Phi_0$ (V)	Electron Affinity $\chi$ (V)	Transition voltage $V_{trans}$ (MV/cm)
SiO <sub>2</sub>	Thermal	300	3.35	0.75	10.3
SiO <sub>2</sub>	ALD	25	0.6	3.5	1.4
HfO <sub>2</sub>		110	1.75	2.35	2
Al <sub>2</sub> O <sub>3</sub>		210	2.65	1.45	6.3

자의 FN 터널링은 다음과 같이 표현된다 [2-3].

$$\frac{J}{E^2} = A \exp(-B/E) \quad (1)$$

여기서 J는 전류밀도이고 단위는 A/cm<sup>2</sup>이다. E는 절연막에 걸리는 전기장이며 단위는 V/cm이다. A와 B는 다음과 같이 정리 된다.

$$A = \frac{e^3 m}{16\pi^2 \hbar m_{OX} \Phi_0} = 1.54 \times 10^{-6} \frac{m}{m_{OX}} \frac{1}{\Phi_0} (A/V^2)$$

$$B = \frac{4}{3} \frac{(2m_{OX})^{1/2}}{e\hbar} \Phi_0^{3/2} = 6.83 \times 10^7 \left(\frac{m_{OX}}{m}\right)^{1/2} \Phi_0^{3/2}$$

여기서 e는 전하량이고, m은 자유전자질량, m<sub>ox</sub>는 절연막 내의 전자 질량, 2πħ는 Planck's constant, Φ<sub>0</sub>는 barrier height(eV)이다. FN plot (ln(J/E<sup>2</sup>) vs. 1/E)을 그리면 기울기 B를 구할 수 있고 (그림 2), 이를 통해서 Φ<sub>0</sub>를 계산할 수 있다. 본 연구에서는 m<sub>ox</sub>/m = 0.5로 가정하고 계산하였다.

그림 2는 HfO<sub>2</sub>의 FN plot을 나타내고 있다. 식 (1)을 이용하여 계산한 결과, Al-HfO<sub>2</sub> 접합면의 Φ<sub>0</sub>은 약 1.75 eV였다. 각각의 물질에 대한 계산결과는 표 1에 나타내었다.

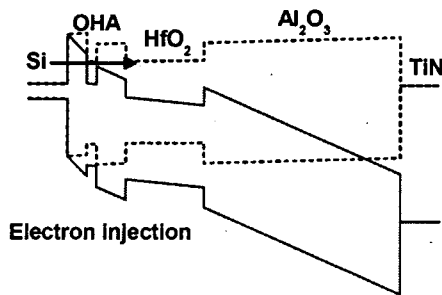


그림 3. OHA 적층구조의 CTF memory capacitor의 Energy Band Diagram

그림 3는 위 결과를 바탕으로 나타낸 OHA 적층구조를 가지는 HfO<sub>2</sub> CTF memory capacitor의 Band Diagram을 나타내고 있다. 2 nm의 매우 얇은 두께의 SiO<sub>2</sub> layer를 가지기 때문에 낮은 P/E 전압으로도 높은 tunneling 효과를 얻을 수 있고, 또한 고유전율의 HfO<sub>2</sub>와 Al<sub>2</sub>O<sub>3</sub>를 이용함으로써 tunnel barrier의 물리적 두께가 증가하게 되어 back tunneling을 효과적으로 억제할 수 있을 것이라 예상된다.

그림 4는 위 결과를 바탕으로 실제로 제작한 OHA 적층구조의 터널링 절연막을 가지는 HfO<sub>2</sub> CTF memory capacitor의 P/E speed 특성을 나타내고 있다. +12V의

program에서 약 1μs부터 program이 시작되는 매우 빠른 speed 특성을 보였고, +12V, 1ms에서 약 3 V의 매우 큰 voltage shift를 보였다. 하지만 erase 특성은 program에 비해 매우 열화된 것을 볼 수 있다. 이러한 erase 특성의 열화는 gate 전극의 work-function에 의한 효과로 예상되며, 더 큰 work-function을 가지는 gate 전극을 사용한다면 개선될 것이라 예상된다.

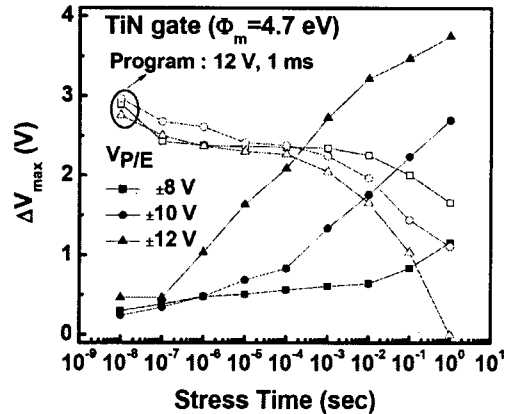


그림 4. OHA 적층구조의 CTF memory capacitor의 P/E speed 특성

#### 4. 결론

본 연구에서는 conduction mechanism의 분석을 통하여 터널링 절연막에 이용되는 high-k 물질들의 터널링 특성에 대하여 연구하였다. 또한 이러한 결과를 바탕으로 실제로 OHA 적층구조의 터널링 절연막을 가지는 HfO<sub>2</sub> CTF memory capacitor를 제작하고 우수한 P/E 특성을 확인하였다.

#### 감사의 글

이 논문은 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.

#### 참고 문헌

- [1] K. K. Likharev, Appl. Phys. Lett. 73, 2137, 1998.
- [2] M. Lenzlinger and E. H. Snow, J. Appl. Phys., 40, 278, 1969.
- [3] Z. A. Weinberg, W. C. Johnson, and M. A. Lampert, J. Appl. Phys. 47, 248, 1976.